



XAPP933 (v1.0) 2006 年 5 月 9 日

二次元リニア フィルタリング

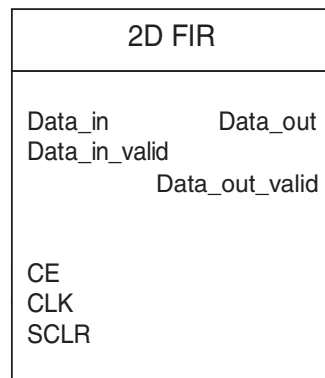
概要

このアプリケーション ノートでは、パラメータ化された VHDL リファレンス デザインを使用した二次元フィルタリングの FPGA ソリューションを説明します。二次元リニア フィルタリング (2D FIR) は画像およびビデオ処理で多数使用されています。非常に高精度な医療画像システムから、低精度の工業用画像や民生用 ビデオ アプリケーションまで、その用途は広範囲に及びます。

最適化された FIR オペレーションについては、CORE Generator または System Generator の FIR Compiler v1.0 を参考にしてください。

はじめに

リファレンス デザインは、CE、CLK および SCLR ポートを使用した完全同期インターフェイスです。Data_In_valid 入力信号は、Data_in バス上の有効なピクセルを示します。Data_out_valid 出力信号は、Data_out バス上の有効な出力データを示します。全体のモジュールは、CE 信号を使用していつでも停止され、リセットには同期クリアを使用します。図 1 にピン配置図を示します。



x933_01_033006

図 1：ピン配置図

パラメータの設定

表 1 に、デザインの入力パラメータ (ジェネリック) を示します。

表 1：デザイン パラメータ

| デザイン パラメータ | タイプ | 設定範囲 | 使用方法 |
|---------------|---------|--------|--------------------------------|
| width | Integer | 4 ~ 16 | 入力データ幅 |
| iwidth | Integer | 4 ~ 32 | 縦および横方向フィルタ間の中間幅 |
| cwidth | Integer | 4 ~ 32 | フィルタ係数用の係数幅およびストップバンドのフィルタ量を決定 |

© 2006 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. PowerPC is a trademark of IBM Inc. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to

表 1: デザイン パラメータ(続き)

| デザイン パラメータ | タイプ | 設定範囲 | 使用方法 |
|---------------|---------------|-----------|---|
| hsize | Integer | 32 ~ 4096 | 画像の水平サイズ |
| vsize | Integer | 32 ~ 4096 | 画像の垂直サイズ |
| owidth | Integer | 4 ~ 32 | 出力されるフィルタリングしたデータのビット数を設定 |
| hcoefs | Integer_array | 4 ~ 64 | 水平係数の合計は、システムの正規化された値に等しい。たとえば、符号付きの項の 10 ビット係数は、正規化された 512 に等しい。 |
| vcoefs | Integer_array | 4 ~ 64 | 垂直係数の合計は、システムの正規化された値に等しい。たとえば、符号付きの項の 10 ビット係数は、正規化された 512 に等しい。 |
| Hnum_taps | Integer | 4 ~ 64 | 水平係数タップがいくつ存在するかを示す整数 |
| Vnum_taps | Integer | 4 ~ 64 | 垂直係数タップがいくつ存在するかを示す整数 |
| h_symmetry | Integer | 0 ~ 1 | 係数が対称で対称的アーキテクチャが使用可能か否かを示す場合に、1 または 0 を設定。この場合デザイン中の hcoefs の半分のみが使用され残りの半分は無視される。 |
| v_symmetry | Integer | 0 ~ 1 | 係数が対称で対称的アーキテクチャが使用可能か否かを示す場合に、1 または 0 を設定。この場合デザイン中の vcoefs の半分のみが使用され残りの半分は無視される。 |

実行

2D FIR フィルタリング

画像およびビデオのフィルタリングは、リニアまたは非リニア技術で実行されます。[\[参考資料 1\]](#)、[\[参考資料 2\]](#)、[\[参考資料 3\]](#) を参照してください。位相レスポンスおよびインプリメントの簡易化のため、リニア フィルタリングには通常 FIR フィルタが使用されます。一般的な入力画像では、 f_{ij} および実行が期待されるオペレーションは g_{ij} です。

$$g_{ij} = \sum_{k=-N}^N \sum_{l=-M}^M H(i-k, j-l) f_{kl} \quad \text{式 1}$$

H がフィルタ カーネルの場合。

H は、2つのベクタの積として表現される場合、切り離せます。その結果、 N の 2乗から $2N$ まで乗算数が著しく削減されます。2D フィルタが切り離せない場合、SVD (Singular Value Decomposition) を使用した分離可能なカーネルのサマリとして表現できます。[\[参考資料 4\]](#) さらに、画像処理に使用されるフィルタの多くはフィルタ係数内で対称的です。乗算数は、奇数フィルタで $2N$ から $(N+1)$ 、偶数フィルタでは N にさらに削減されます。

2D FIR の分離アーキテクチャ

[図 2](#) に、ザイリンクス FPGA に配置する 2D FIR フィルタのアーキテクチャを示します。このアーキテクチャでは、ラインバッファを使用してカーネルの垂直サイズを維持する十分なラインの保持が確認で

きます。図 2 に、5 つの垂直フィルタ係数を例に示します。この段階を経た後、ラインは垂直フィルタ、水平フィルタへと供給されます。

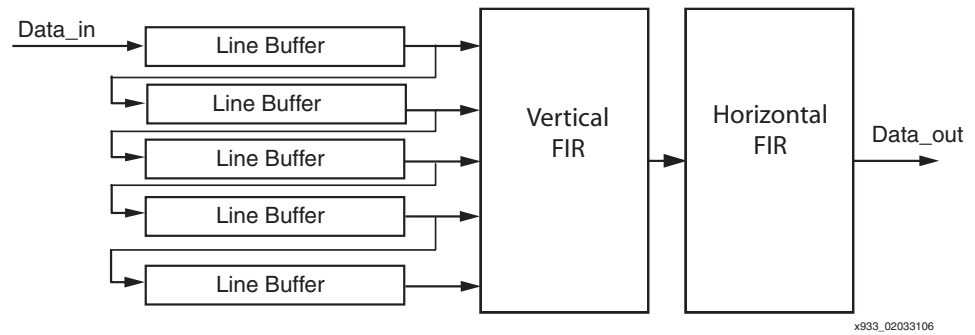


図 2 : 2D FIR の分離化

垂直フィルタは、ラインバッファのデータを取り込み、フィルタ係数を使用した乗算の実行後、加算器ツリーを使用して中間結果を出力し、インプリメントされます。この中間結果は、レジスタの遅延後に水平フィルタされ、適切な空間的關係が出力されます。デザイン全体にはパラメータがあり、プロセスを通してビット数が制御されます。

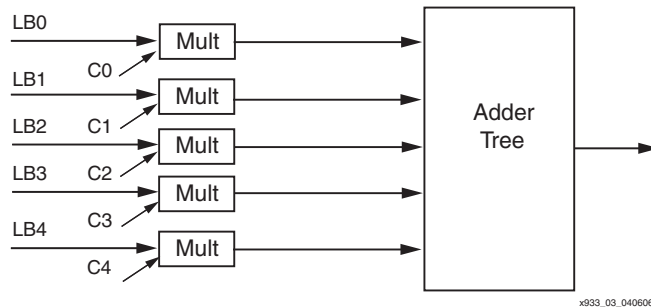


図 3 : 垂直 FIR

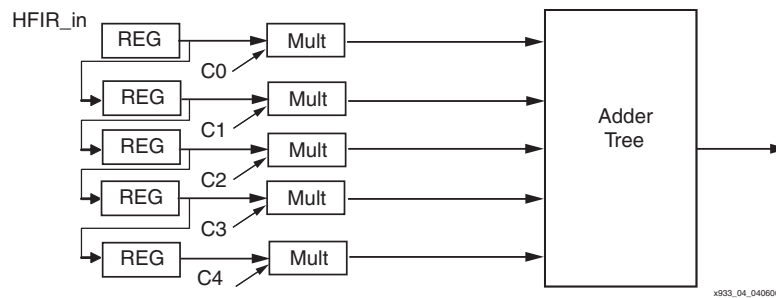


図 4 : 水平 FIR

2D FIR 対称分離アーキテクチャ

このアーキテクチャから対称的インプリメントへの拡張は、垂直 FIR および水平 FIR の Pre-adder を使用した段階を通して実行されます。図 5、図 6、図 7 を参照してください。

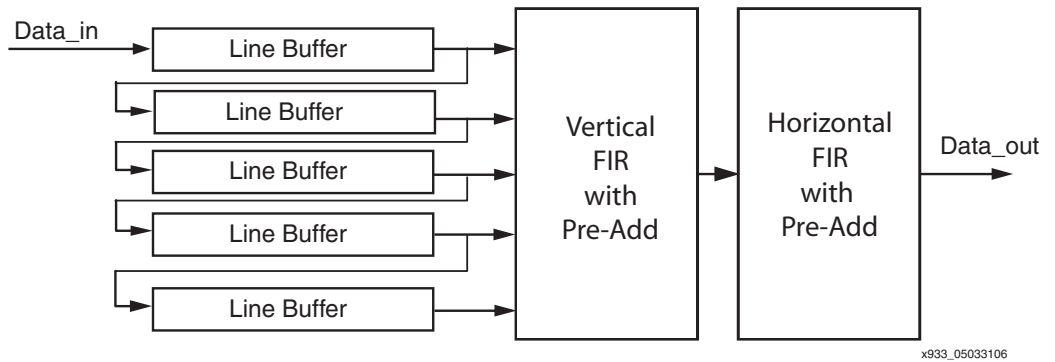


図 5：対称を使用した2D FIR

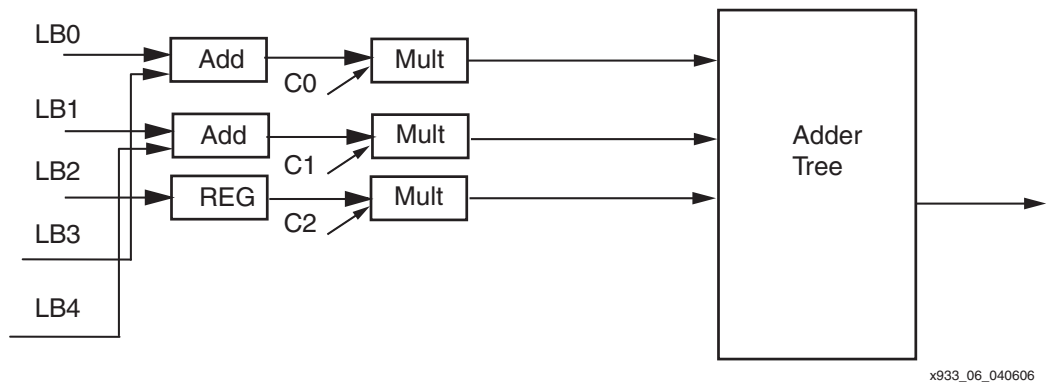


図 6：対称を使用した垂直FIR

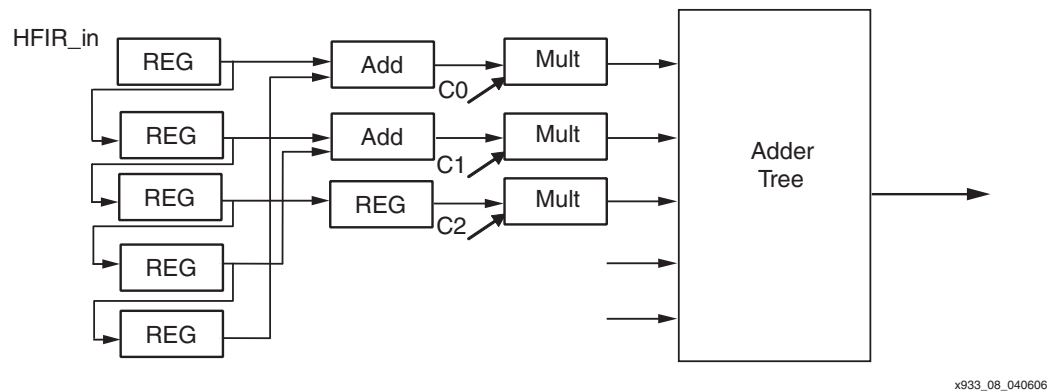


図 7：対称を使用した水平 FIR

2D FIR を使用したリファレンス デザイン

2D FIR のリファレンス デザインでは、ラスタ スキャン ビデオ システムの使用を目的として使用されます。Data_in_valid は High に設定し、ラスタ データの全体のラインは、1 つのクロックから発生する各ピクセルを使用して、Data_in バスに現れます。ラインの最後に、Data_in_valid が Low になるか、または画像の末端の精度がデザインにとってクリティカルでない場合には、ラインが結合されます。

Data_out_valid は、有効な出力データを Data_out バスに送信する 2D FIR 信号にラインを送信後、駆動されます。画像の最後に、フィルタリング後残されたラインを消去する必要があります。これには、フラッシュを実行し、Data_in_valid を駆動して、垂直係数の半分のサイズほどの多数のダミー ラインを消去します。2D FIR をラッピングし、ラインおよびフレームの始めと終わりにパディングを実行してアプリケーションに必要な機能を実行することができます。

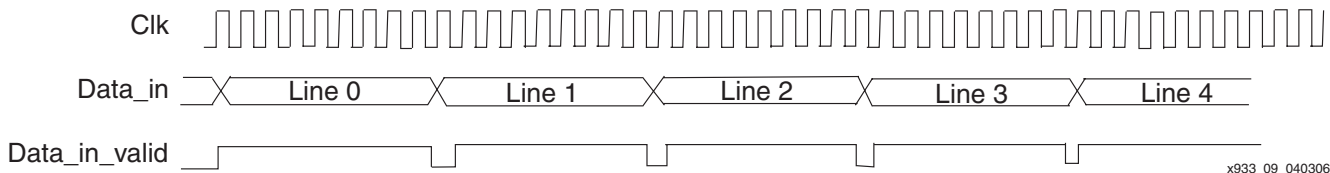


図 8：入力のタイミング図

System Generator およびハードウェア ループ テストでの 検証

System Generator の VHDL コシミュレーション機能を利用して、2D FIR VHDL を検証しました。パラメータは、MATLAB 機能 filter2.m に対するテスト コーナー ケースにより異なります。テスト中には、ゴールド画像も使用されました。ラップトップ環境で System Generator を使用して、WildCard 2 PCMCIA カードと WildCard 4 PCMCIA カードを用いたハードウェアのループ テストも実行しました。デザインのさまざまなパラメータ設定を検証するため、100 以上のテスト ケースが regression_testN.m で実行されました。

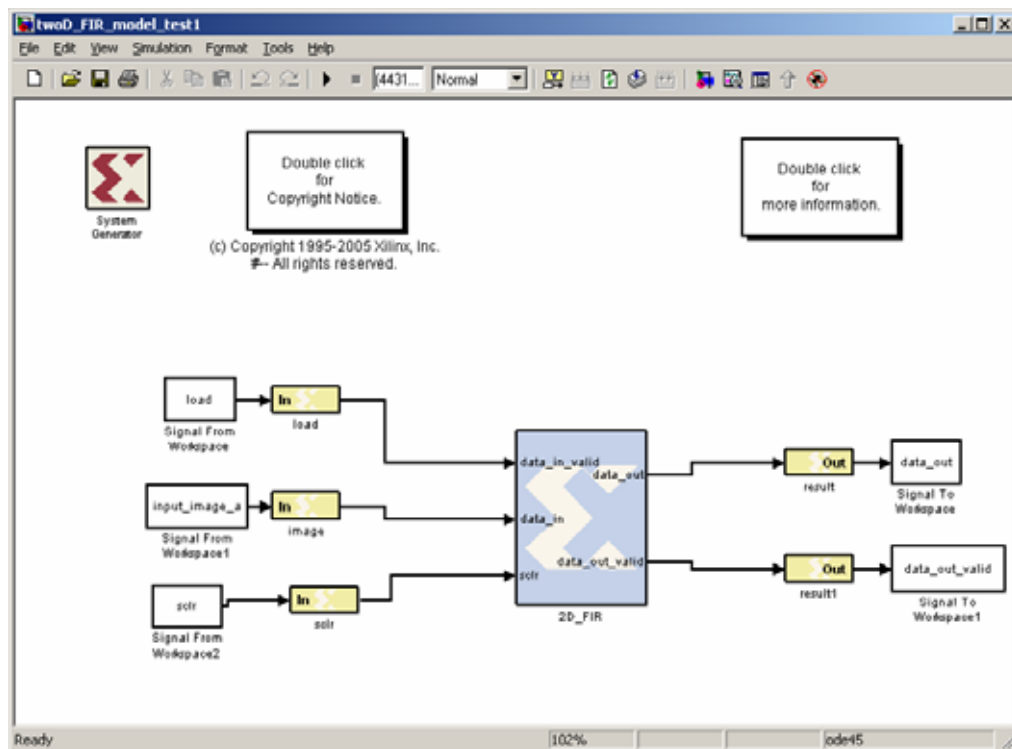


図 9：2D FIR の System Generator デザイン

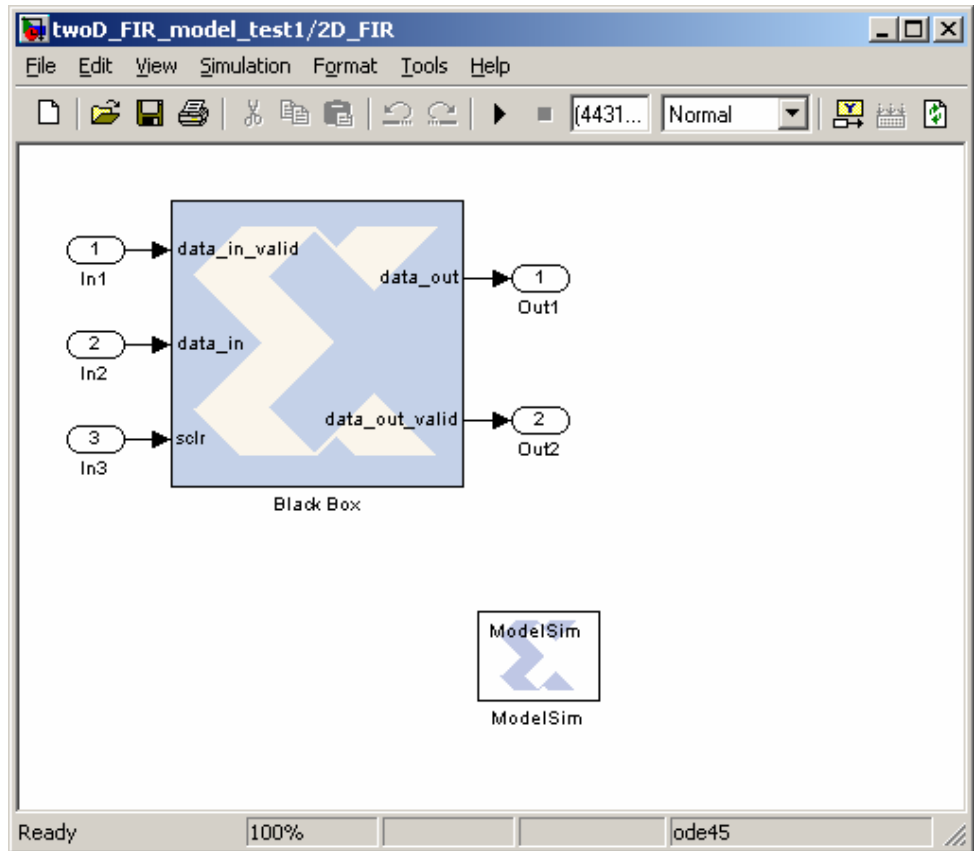


図 10 : 2D FIR の System Generator デザイン

2D FIR の特性

2D FIR リファレンス デザインは、表 2 に示す 3 つのテスト ケースで特性評価されました。これらのテスト ケースでは、各ビット サイズおよび画像サイズでどのようなパフォーマンスが予想されるかを示すパラメータが必要でした。

表 2 : テスト ケースの特性評価データ

| テスト | Width | Cwidth | lwidth | Hnum | Vnum | Hsize | Vsize |
|-----|-------|--------|--------|------|------|-------|-------|
| 1 | 8 | 10 | 10 | 5 | 5 | 720 | 576 |
| 2 | 8 | 12 | 12 | 15 | 15 | 512 | 512 |
| 3 | 10 | 14 | 14 | 31 | 31 | 1528 | 1146 |

表 3 : 非対称的 2D FIR 特性評価の結果

| テスト | 合成 | FPGA ファミリ | スライス | ブロック RAM | MULT/ DSP48 | MHz |
|-----|-----|----------------|------|-------------|----------------|-----|
| 1 | XST | Virtex™-II Pro | 302 | 5 | 10 | 227 |
| 1 | XST | Spartan™-3 | 306 | 5 | 10 | 156 |
| 1 | SYN | Virtex-II Pro | 369 | 5 | 10 | 192 |
| 1 | SYN | Spartan-3 | 371 | 5 | 10 | 107 |

表 3: 非対称的 2D FIR 特性評価の結果(続き)

| テスト | 合成 | FPGA ファミリ | スライス | ブロック RAM | MULT/ DSP48 | MHz |
|-----|-----|---------------|------|-------------|----------------|-----|
| 2 | XST | Virtex-II Pro | 849 | 15 | 30 | 203 |
| 2 | XST | Spartan-3 | 838 | 15 | 30 | 146 |
| 2 | SYN | Virtex-II Pro | 836 | 15 | 30 | 175 |
| 2 | SYN | Spartan-3 | 1013 | 15 | 30 | 90 |
| 3 | XST | Virtex-II Pro | 2010 | 62 | 62 | 180 |
| 3 | XST | Spartan-3 | 1982 | 62 | 62 | 118 |
| 3 | SYN | Virtex-II Pro | 2637 | 62 | 62 | 133 |
| 3 | SYN | Spartan-3 | 2630 | 62 | 62 | 69 |

表 4: 対称的 2D FIR 特性評価の結果

| テスト | 合成 | FPGA ファミリ | スライス | ブロック RAM | MULT/ DSP48 | MHz |
|-----|-----|---------------|------|-------------|----------------|-----|
| 1 | XST | Virtex-II Pro | 257 | 5 | 6 | 225 |
| 1 | XST | Spartan-3 | 401 | 5 | 6 | 137 |
| 1 | SYN | Virtex-II Pro | 301 | 5 | 6 | 214 |
| 1 | SYN | Spartan-3 | 302 | 5 | 6 | 104 |
| 2 | XST | Virtex-II Pro | 727 | 15 | 16 | 201 |
| 2 | XST | Spartan-3 | 716 | 15 | 16 | 131 |
| 2 | SYN | Virtex-II Pro | 849 | 15 | 16 | 165 |
| 2 | SYN | Spartan-3 | 848 | 15 | 16 | 101 |
| 3 | XST | Virtex-II Pro | 1719 | 62 | 32 | 174 |
| 3 | XST | Spartan-3 | 1691 | 62 | 32 | 113 |
| 3 | SYN | Virtex-II Pro | 2064 | 62 | 32 | 144 |
| 3 | SYN | Spartan-3 | 2071 | 62 | 32 | 65 |

リファレンス デザイン ファイル

リファレンス デザイン ファイルは、次のザイリンクス ウェブ サイトから入手できます。
<http://www.xilinx.co.jp/bvdocs/appnotes/xapp933.zip>

参考資料

1. Ronald Bracewell, Two Dimensional Imaging, 1995 Prentice-Hall Inc.
2. William Pratt, Digital Image Processing, 2nd Ed. 1991 John Wiley & Sons, Inc.
3. Rafael Gonzalez, Richards Woods, Digital Image Processing, 1992 Addison-Wesley Inc.
4. Klema, V. C. and A. J. Laub, "The Singular Value Decomposition: Its Computation and Some Applications," IEEE Trans. Autom. Control, Vol. AC-25, pp. 164-176, April 1980
5. Annapolis Micro Systems Inc., WildCard-II™ and WildCard-4™ Reference Manual, 2002-2006

改訂履歴

次の表に、この文書の改訂履歴を示します。

| 日付 | バージョン | 改訂内容 |
|------------|-------|--------|
| 2006/05/09 | 1.0 | 初期リリース |