

## ザイリンクス UltraScale MPSoC アーキテクチャ

### タスクごとの適切なエンジン

スマートシステムの発展に伴いさらに多くの通信及びコンピューティングの帯域幅が必要とされます。スマートフォン、ネットワーク、データセンター、ファクトリー、自動車、エネルギーシステムなどすべてがスマート システムとなっていきます。また、一般消費者から企業、ファクトリー、インフラストラクチャに至るまで、画像と位置情報の利用の急増と新技術の投入により、サービス品質保証や高度なセキュリティなどのニーズ拡大が見られます。「ビッグデータ」向けアプリケーションでは、処理や転送、設定、システム全体の管理などを自動化するために必要とされる解析能力がますます高まります。

スマートシステムの開発に、ハードウェアとソフトウェア両方にプログラマビリティを持たせることができれば、市場へより早く参入することが可能となり、エンド プロダクトの価値を最大にできるだけでなく、適応性や再利用、アップグレード サイクルの短縮といったメリットも同時に実現できます。ザイリンクスが開発した UltraScale™ MPSoC (Multi-Processing SoC) アーキテクチャは、デファクトスタンダードである 28nm Zynq-7000 SoC アーキテクチャと UltraScale All Programmable FPGA アーキテクチャを基盤に構築されているため、以下のような新しいスマートシステムの高度なニーズに対応できます。

- ワイヤレス通信: 複数のスペクトル帯やスマートアンテナのサポート
- 有線通信: 複数の有線通信規格、コンテキスト アウェア ネットワーク サービス
- データ センター : SDN (ソフトウェア ディファインド ネットワーク)、データのプリプロセッシング、解析
- Smarter Vision: ビデオ プロセッシング アルゴリズムの進化、物体検知、解析
- コネクテッド コントロール / M2M: 柔軟で順応可能な製造機器、工場生産能力、品質と安全性

UltraScale MPSoC アーキテクチャは、仮想化のサポートにより、32 ビットから 64 ビットプロセッサのスケールビリティを提供します。また、リアルタイム制御、グラフィックス/ビデオ処理、波形およびパケット処理はソフトエンジンとハードエンジンの連係動作により提供し、次世代インターコネクトとメモリ、最新の電力管理、技術強化によって、マルチレベルのセキュリティや安全性、信頼性も提供します。これらの新しいアーキテクチャ要素は、Vivado® Design Suite およびアブストラクト設計環境と連動し、大幅にプログラミングを簡素化して生産性を向上します。

UltraScale MPSoC アーキテクチャは、UltraScale All Programmable アーキテクチャが備えるいくつかの ASIC クラスのメリットをさらに拡張するものです。UltraScale All Programmable アーキテクチャは、ダブルパターニング リソグラフィに基づく世界初の商用プロセス テクノロジーである TSMC 社の 20nm プロセス テクノロジーを使ってザイリンクスが世界で初めて実装し、実現したアーキテクチャです。

Zynq UltraScale MPSoC デバイス ファミリは、目的の異なるプロセッシングエンジンを最適化した次世代ハイパフォーマンス オンチップ インターコネクトと適切なオンチップ メモリ サブシステムのフォームの上に実装し、これまでにないプロセッシングや I/O、メモリ帯域幅を提供します。UltraScale MPSoC デバイス ファミリのヘテロジニアス プロセッシング エンジンとプログラマブル エンジンはそれぞれ異なるアプリケーション タスクに最適化されているため、次世代のよりスマートなシステムに求められる高度なパフォーマンスと効率を実現することができ、同時に Zynq-7000 All Programmable SoC ファミリとの下位互換性も保持しています。そして、新しい UltraScale MPSoC アーキテクチャは、次世代スマート システムにとって重要な要件であるマルチレベルのセキュリティ対応や安全性の向上、最新の電力管理機能も採り入れています。ザイリンクスの Vivado Design Suite と UltraFast 設計手法は、UltraScale MPSoC アーキテクチャが実現する ASIC クラスの能力を最大限活用できるだけでなく、迅速なシステム開発も可能にしています。

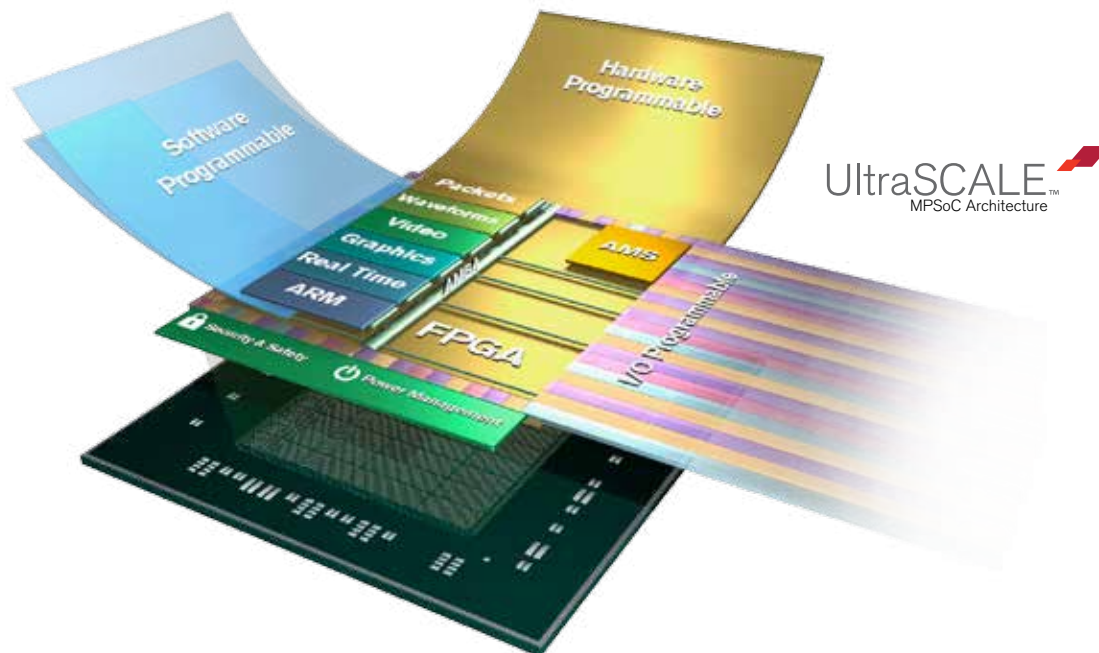


図 1: ザイリンクス UltraScale MPSoC アーキテクチャは、タスクごとの最適なエンジンを提供

ザイリンクス UltraScale MPSoC アーキテクチャは、Vivado Design Suite、さらにアブストラクト設計ツールとの組合せと、数々の技術躍進によりシステムレベルのプロセッシングのボトルネックを打破します。

Zynq UltraScale MPSoC はシングルチップ、All Programmable、ヘテロジニアス マルチプロセッサの包括的ファミリーであり、ソフトウェアやハードウェア、インターコネクト、電力、セキュリティ、I/O のすべてにおいてプログラマビリティを提供します。ただし、ヘテロジニアス マルチプロセッシングの実現は (少なくともこれを正しく実現することは) 口で言うほど容易ではありません。ヘテロジニアス マルチプロセッシング エlement に基づいたデザイン手法では、次のような課題があります。

- 特定のパワーエンベロープの範囲内でアプリケーションのパフォーマンス要件を満たす
- ヘテロジニアス プロセッシング ミックスのためにメモリのアクセスと帯域幅を最適化する
- 多数のハード/ソフト プロセッシング エンジンのあいだで適切な帯域幅による低レイテンシで整合性の取れた通信を可能にする
- システムの開発と配備を迅速に行うことができ、かつ利用可能なすべてのリソースに対してシステムレベル タスクのマッピングを最適化できるような、プログラミング アブストラクションの組み合わせを見つける
- すべての動作モードでシステムの消費電力を管理し最適化する
- ネットワーク接続型の脅威や過酷な環境に対して、システムの堅牢性を維持する

こうした課題のすべてに遅滞なく、かつ予算の範囲内で対処できなければプロジェクトは失敗してしまいます。

## UltraScale MPSoC アーキテクチャ必須要素

- タスクごとの最適なエンジン
- 64 ビットまでの拡張
- 次世代のインターコネクとメモリ
- ASIC クラスのスケラビリティとパフォーマンスを備えた FPGA
- マルチレベルのセキュリティ、安全性、信頼性
- 最新の電力管理
- 16nm FinFET によるワット当たりの優れたパフォーマンス
- 高レベルのデザイン アブストラクション
- デファクトスタンダードである Zynq-7000 SoC、そのソフトウェアおよびエコシステムとの互換性

### タスクごとの最適なエンジン: さまざまなアプリケーション タスクに最適化された新たな次世代プロセッシング およびプログラマブル エンジンの組み合わせ

5 つのプロセッシング ボトルネック (DSP、グラフィックス、ネットワーク プロセッシング、リアルタイム プロセッシング、総合的コンピューティング パフォーマンス) は、ひとつのプロセッシング アーキテクチャだけでは解消できません。こうしたプロセッシング タスクをすべて処理できる「万能」アーキテクチャを構築しようとする試みが数多く行われてきましたが、そのアプローチはこれまですべて失敗に終わっています。複雑なシステム デザインを確実に成功させる唯一の方法は、それぞれのタスク カテゴリをターゲットとしたプログラマブル プロセッシング エンジンを複数利用したヘテロジニアス マルチプロセッシングです。市場で求められる効率的で効果的な、よりスマートなシステムに必要なパフォーマンスや消費電力およびコスト面でのメリットは「タスクごとの最適なエンジン」を用いることによって提供されます。

### 64 ビットまでの拡張: 仮想化をサポートし、32 ビットから 64 ビットまで拡張可能。拡張性は CPU だけでなく、オンチップ インターコネク、ペリフェラル、プロセッシング エンジン、テラバイト アドレス空間にも対応

より大規模で優れた CPU とヘテロジニアス プロセッシング エンジンは、チップ全体のみならず、さらに向上したプロセッシング能力を発揮できなければなりません。新しい UltraScale MPSoC は、必要なペリフェラルに加え、大規模な帯域幅をサポートするオンチップ インターコネクと巨大なアドレス空間も提供するため、将来のシステム要件とパフォーマンスを制限するさまざまな障害を克服することが可能となります。

### 次世代のインターコネクとメモリ: システム パフォーマンス、メモリ帯域幅、タスク アクセラレーションを最大化する次世代のコヒーレント インターコネクおよびメモリ サブシステム

ソフトウェア/ハードウェア プログラマブル エンジンがあらゆるプロセッシング要件を満たしたとしても、I/O やメモリ サブシステムがプロセッシング スループット要件を満たしていなければ意味がありません。UltraScale MPSoC アーキテクチャは、UltraScale All Programmable ロジック アーキテクチャの大規模な I/O 帯域幅とメモリ帯域幅をさらに進化させた、先進的かつスケラブルなコヒーレント インターコネクを提供します。このインターコネクは、UltraScale MPSoC アーキテクチャのオンチップ ヘテロジニアス プロセッシング エンジンが必要とするデータ スループットに最適化されています。また、この性能はプロセッシングおよびプログラマブル ロジックの両ドメイン全体でも共有されているため、MPSoC にかつてないパフォーマンスと帯域幅の実現をもたらしています。

### ASIC クラスの拡張性とパフォーマンスを備えた FPGA: ASIC 同様の機能を持った UltraScale ASIC クラス ロジック ファブリックの最適化による究極のリアルタイム FPGA パフォーマンス

ソフトウェアのプログラマビリティは多くのプロセッシング ボトルネックを解消しますが、すべてを解消するわけではありません。場合によっては、ハードウェアにプロセッシング ソリューションを実装するだけで必要なシステム パフォーマンス レベルを達成することが出来ます。UltraScale MPSoC アーキテクチャの先進的 ASIC クラス性能は、ザイリンクスの 20nm UltraScale プログラマブル ロジック アーキテクチャを基にしています。アーキテクチャ上の多くのメリットは、Vivado Design Suite の先進的開発ツールによって現実化され、最先端プログラマブル ロジックのパフォーマンス上のメリットを引き出すことによって、カスタムデザインによるハードウェアでなければ対処できない最も厳しいプロセッシング要件に対応することを可能としています。

## マルチレベルのセキュリティ、安全性、信頼性: 業界の主要規格を満たす改ざん防止機能や信頼性/情報保証、動作の安全性と信頼性の強化

「モノのインターネット (IoT)」やマシン ツー マシン (M2M) 通信、よりスマートなコネクテッド コントロールなどが爆発的に成長している現在、安全性に問題がある通信や製品は考えられません。Zynq-7000 All Programmable SoC のリーダーシップを基盤とする UltraScale MPSoC は、あらゆる不正アクセスを防止するため、防衛レベルのセキュリティ プロトコルを複数備えています。また UltraScale MPSoC は、安全性が重要なアプリケーションの動作の信頼性を確保し、ユーザーとデザイナーが自分のシステムに完璧な自信を持てるような機能を持っています。この新しいアーキテクチャは、インターネットに接続する数多くの機器が置かれている過酷な環境で動作し、そうした環境においてスマートシステムのニーズを満たせるように構築されています。

## 先進的な電力管理: 電力最適化と電力管理によってシステム レベルできめ細かく消費電力を削減し、ソフトウェアとランタイムの最適化を実現

UltraScale MPSoC アーキテクチャはヘテロジニアス プロセッシング エンジンを提供するため、特定のタスクに最も効率的なエンジンを選択することができ、タスクベースでシステムレベルの電力最適化が可能になります。UltraScale MPSoC アーキテクチャのプログラマブル ロジック電力管理では、幅広い機能要素にわたって静的/動的電力管理が可能なので、さらに大幅に消費電力を削減できます。電力管理機能は、システム動作時にこれらのタスクを管理する適切なエンジンを選択することにより、ソフトウェア プログラマブル プロセッシング要素へも拡張可能です。

## 16nm FinFET によるワットあたりのパフォーマンス: FinFET プロセス テクノロジーを最大限に活用することにより、UltraScale MPSoC のプロセッシング要素およびロジック ファブリック全体にわたり、ワットあたりのパフォーマンスを 60% 向上

デザインチームは FinFET が提供する消費電力削減、パフォーマンス向上、小型化といったメリットを利用することを望み、また必要としています。同時に、戦略的に差別化された製品デザインを迅速かつ容易にマーケットに送り出すことも必要です。これを実現するための選択肢として、ザイリンクスの UltraScale MPSoC アーキテクチャは他のどの製品よりも優れています。なぜならば、FinFET テクノロジーのパフォーマンスおよび消費電力上のメリットをすべて提供するうえ、カスタム SoC や ASIC にとって必要不可欠な物理的なデザイン リスクやコスト、長期の開発スケジュールなどの心配は不要だからです。デファクトスタンダードである 28nm Zynq-7000 All Programmable SoC と業界をリードする 20nm UltraScale FPGA によって構築されてきたパートナーシップを活用することにより、TSMC 社の 16nm FinFET プロセスに基づいて Zynq UltraScale MPSoC を構築ことが可能となり、28nm プロセス テクノロジーと比べてワットあたりのパフォーマンスを最大 60% 向上させることができます。

## 高レベルデザイン アブストラクション: IP サブシステムの再利用をベースとしたデザインフローにより C、C++、OpenCL をベースとするカスタマイズされたシステムレベル デザイン環境

ザイリンクスの UltraScale MPSoC アーキテクチャは、複数のアブストラクション レイヤーをサポートし、従来の RTL デザイン手法を大幅に前進させています。Vivado Design Suite に加え、C や C++、SystemC、OpenCL、OpenCV、MATLAB、LabView といったデザイン アブストラクションを利用できるため、業界でもっとも広範で、多数のアブストラクションを組み合わせることができるシステム デザイン環境となっており、システム開発のあらゆる面を自動化できます。この環境では、生産性が向上しソフトウェア互換ハードウェア アクセラレータの開発を迅速に行えるだけでなく、UltraScale MPSoC アーキテクチャをベースとしてデバイスにアルゴリズムを迅速に導入でき、かつターゲット アプリケーションに最も適したデザイン アブストラクションの組み合わせをデザインチームが選んで利用できます。

## デファクトスタンダードである Zynq-7000 SoC、ソフトウェアおよびエコシステムの互換性: ソフトウェア マイグレーション機能によって、現在のデファクトスタンダードであるザイリンクス Zynq-7000 All Programmable SoC に使われるアプリケーション、OS、ミドルウェア、IP、ツールおよび幅広いエコシステムのアップグレードが可能

Zynq-7000 All Programmable SoC は一世代以上先行するシリコンで構成されています。これが業界のデファクトスタンダード All Programmable SoC となったのは、ソフトウェア ソリューションや各種ツール、IP、ボードの広範なエコシステムを擁する総合的なプラットフォームだからです。なかでも、業界をリードする Vivado HLS 高位合成ツールは、C、C++ または OpenCL で書かれた記述に基づいてハードウェアデザインが可能で、生産性を大幅に向上します。MathWorks 社の MATLAB と Simulinkや、National Instruments 社のグラフィカル デザイン環境である LabView といった、広く利用されている先進的デザイン ツールも、すでに Zynq-7000 プラットフォームに対応しているため、多角的で高度なシステム デザインが可能であり、デザイナーの生産性が大幅に向上します。

Zynq-7000 All Programmable SoC では主要なオペレーティングシステムをすべて利用できます。さらに、多数の SOM (System on Modules) に加え、各種アプリケーションに特化したミドルウェアやプログラマブル IP の幅広いエコシステムも利用できるので、現在数多くのアプリケーションの多様なニーズに対応することが可能です。こうした幅広いエコシステムも、すでにザイリンクス UltraScale MPSoC アーキテクチャへの拡張にも対応を表明しています。

これらの要素をすべて集約したものが次の図です。

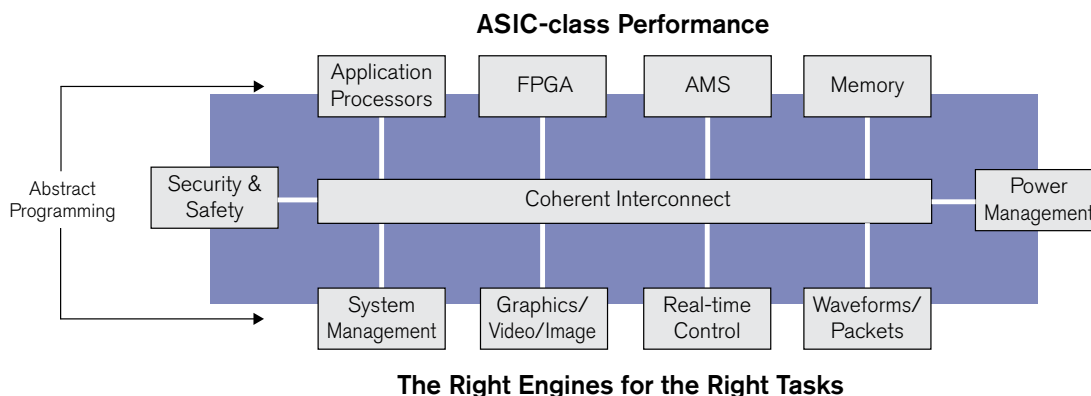


図 2: ザイリンクス UltraScale MPSoC アーキテクチャはシステム デザインにおいて「タスクごとの適切なエンジン」を実現

イノベーションや実行力、品質、All Programmable や UltraScale のようなアーキテクチャを組み合わせる能力、その他の必要なテクノロジーを利用する能力など、Zynq All Programmable UltraScale MPSoC ファミリのような ASIC クラス デバイスを生み出すために必要な実績を持つ企業はザイリンクスだけです。そうした必要なテクノロジーには次のようなものが含まれます。

- リーダーシップが実証されている UltraScale All Programmable アーキテクチャを最先端の TSMC 16nm FinFET プロセス テクノロジーで製造
- 多くの賞を受賞し業界のデファクトスタンダードとなった Zynq SoC アーキテクチャ、さらにこれを拡張したヘテロジニアス UltraScale MPSoC アーキテクチャ
- 第二世代 SSI (スタックド シリコン インターコネクト) 3D IC テクノロジー、ムーアの法則を超える拡張を実現し、競合プログラマブル ロジック製品より 2 倍以上の容量と 50% 以上の帯域幅を達成
- Vivado Design Suite をベースとする業界唯一の ASIC クラス、SoC 開発環境とそして MPSoC への拡張、C、C++、OpenCL 規格をはじめ、多数のデザイン アブストラクションに対応

ザイリンクス Zynq UltraScale MPSoC をベースにした一世代先のシステムデザインについての詳細は、ザイリンクス販売代理店へお問合わせください。

#### ザイリンクス株式会社

<東京>  
〒141-0032 東京都品川区大崎 1-2-2  
アートヴィレッジ大崎セントラルタワー 4F  
TEL : 03-6744-7777 (代)  
<大阪>  
〒532-0003 大阪市淀川区宮原 3-4-30  
ニッセイ新大阪ビル 13F  
TEL : 06-6150-5515 (代)  
<http://japan.xilinx.com>

#### 販売代理店