

# ML501 評価プラットフォーム

## ユーザー ガイド

UG226 (v1.1) 2007 年 3 月 15 日



Xilinx (以下「ザイリンクス」といいます)では、ザイリンクス FPGA におけるデザインの開発目的のみにこの文書を開示します。この文書に明記されている場合を除き、電子、機械、複写、録音を含め、いかなる形態または手段においても、ザイリンクスの書面による事前の許可なく資料をコピー、複製、配布、再発行、ダウンロード、表示、掲載、転送することはできません。この文書に含まれている資料を許可なく使用すると、著作権法、商標法、秘密保護と公示の法律、通信規定と法規の違反となる可能性があります。

ザイリンクスでは、この文書の適用および使用により生じる損害の責任を一切負いません。また、ここに明記されている場合を除き、この法定通知のいずれの部分も、黙示、禁反言、その他の法律論理による特許、商標、著作権、その他の知的資産権のライセンスや権利の付与とは見なされません。この文書の内容の使用および実施に必要ないかなる権利の取得もユーザー個人の責任となります。文書中のエラーの訂正や、ユーザーに提供されるエンジニアリングのソフトウェア サポートおよびヘルプの正確性や正当性については責任を負いかねます。また、文書をアップデートする確約もいたしません。ザイリンクスはこれらの条件および条項を独自の判断によって変更する権利を有します。

この文書は「現状のまま」で提供され、ユーザーは自己責任でこの文書を使用することに同意したものとみなされます。ザイリンクス、ザイリンクスの従業員、およびザイリンクスの販売特約店の従業員によるその他の口頭または書面によるいかなる情報、アドバイス等によっても、新たな内容の保証が創設されたり上記の制限保証の範囲を拡大させたりするものではありません。ザイリンクスでは、特許や著作権その他の知的資産権の不侵害、商品性、および特定目的への適合性は明示黙示を問わず保証いたしません。

ザイリンクスでは、文書の使用または使用不能の結果生じた間接的、懲罰的、特別、または付随的いかなる損害 (利益の損失、業務の中断、交換品の費用、情報の消失や破損を含む) については、その可能性を事前に通告されていた場合でも一切責任を負いません。ユーザーに対するザイリンクスの損害賠償責任総額は、いかなる場合にもユーザーがザイリンクスに支払った文書の代金を上限とします。たとえいかなる救済手段もその実質的目的を達せない場合でも、上記の制限責任および免責条項が法律上最大限認められる限度で適用されます。

この文書は、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用を目的にしたものではありません。原子力施設、航空機操縦・通信システム、航空管制、生命維持装置、武器の作動・運転等 (以下高リスク行為とします)、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用、再販売を意図しての設計・製造または停止・誤作動対策措置がなされたものではありません。ザイリンクスは、高リスク行為用途への適性に関する明示的・黙示的を問わず一切の保証を、ここに明確に排除します。

Copyright © 2006-2007 Xilinx, Inc. All Rights Reserved. 本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。

---

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2006/08/30	1.0	初版リリース
2006/09/18	1.0.1	タイプミス修正
2007/03/15	1.1	<ul style="list-style-type: none"><li>17 ページの「4. オシレータ ソケット」を変更。</li><li>17 ページの表 1-4 を変更。</li><li>付録 A : 「IDT クロック チップのプログラミング」を変更。</li></ul>



# 目次

---

## このマニュアルについて

マニュアルの内容	7
その他のリソース	7
その他のサポート リソース	8
表記規則	8
オンライン マニュアル	8

## 第 1 章： ML501 評価プラットフォーム

概要	9
機能	9
パッケージの内容	10
その他の情報	10
詳細説明	11
1. Virtex-5 FPGA	14
コンフィギュレーション	14
I/O 電圧レール	14
2. DDR2 SODIMM	16
DDR2 メモリの拡張	16
DDR2 クロック信号	16
DDR2 信号	16
3. SMA コネクタ付き差動クロック入力/出力	16
4. オシレータ ソケット	17
5. LCD の輝度およびコントラストの調整	17
6. DIP スイッチ (アクティブ High)	17
7. ユーザーおよびエラー LED (アクティブ High)	18
8. ユーザー プッシュボタン (アクティブ High)	19
9. CPU リセット ボタン (アクティブ Low)	19
10. XGI 拡張ヘッダ	19
差動拡張 I/O コネクタ	19
シングルエンド拡張 I/O コネクタ	21
その他の拡張 I/O コネクタ	22
11. ステレオ AC97 オーディオ コーデック	24
12. RS-232 シリアル ポート	24
13. 16 文字 X 2 行の LCD	25
14. 8Kb EEPROM 付き IIC バス	25
15. DVI コネクタ	25
16. PS/2 マウスおよびキーボード ポート	25
17. System ACE および CompactFlash コネクタ	26
18. ZBT 同期 SRAM	26
19. リニア フラッシュ チップ	26
20. ザイリンクス XC95144XL CPLD	27

21. 10/100/1000 トライスピード イーサネット PHY .....	27
22. ホストおよびペリフェラル付き USB コントローラ .....	27
23. ザイリンクス XCF32P プラットフォーム フラッシュ コンフィギュレーション ストレージ デバイス 28	28
24. JTAG コンフィギュレーション ポート .....	28
25. オンボード電源供給 .....	28
26. ACアダプタおよび入力電源スイッチ/ジャッキ .....	29
27. パワー インジケータ LED .....	29
28. INIT LED .....	29
29. DONE LED .....	29
30. プログラム スイッチ .....	29
31. コンフィギュレーション アドレス/モード DIP スイッチ .....	30
32. 暗号キー バッテリ .....	31
33. SPI フラッシュ .....	31
34. IIC ファン コントローラおよび温度/電圧モニタ .....	31
35. ピエゾ .....	31
36. 電源解析用 FMC コネクタ .....	32
<b>コンフィギュレーション オプション .....</b>	<b>32</b>
JTAG (ザイリンクスのダウンロード ケーブルおよび System ACE コントローラ) コンフィギュレーション .....	32
プラットフォーム フラッシュ メモリ コンフィギュレーション .....	33
リニア フラッシュ メモリ コンフィギュレーション .....	33
SPI フラッシュ メモリ コンフィギュレーション .....	34
<b>付録 A: IDT クロック チップのプログラミング</b>	
<b>概要 .....</b>	<b>35</b>
<b>ML50x ボードヘダダウンロード .....</b>	<b>35</b>

## このマニュアルについて

---

ML50x 評価プラットフォームを使用すると、Virtex™-5 FPGA の機能が評価できます。本ユーザーガイドでは、ML501 評価プラットフォームの機能および動作について説明します。

### マニュアルの内容

本ユーザーガイドは、次の章で構成されています。

- **第1章**: 「ML501 評価プラットフォーム」では、ボードコンポーネントについて説明します。
- **付録A**: 「IDT クロックチップのプログラミング」では、ML501 ボードのクロックチップをプログラムする手順をチュートリアル形式で紹介します。

### その他のリソース

次の資料は、<http://japan.xilinx.com/virtex5> からダウンロードできます。

- Virtex-5 ファミリの概要  
Virtex-5 ファミリの特性と種類について記載されています。
- Virtex-5 データシート: DC 特性およびスイッチ特性  
Virtex-5 ファミリの DC 特性とスイッチ特性について記載されています。
- XtremeDSP™ ユーザーガイド  
XtremeDSP スライスの説明と、DSP48E スライスを使用するためのリファレンスデザインを含みます。
- Virtex-5 コンフィギュレーション ユーザーガイド  
コンフィギュレーション インターフェイス (シリアルおよび SelectMAP)、ビットストリーム暗号化、バウンダリ スキャン、JTAG コンフィギュレーション、リコンフィギュレーション方法、SelectMAP と JTAG インターフェイスからのリードバックに関する章が含まれています。
- Virtex-5 パッケージおよびピン配置の仕様  
デバイス/パッケージの組み合わせと最大 I/O 数、ピン定義、ピン配置表、ピン配置図、機械図、温度仕様などを示す表が含まれます。

## その他のサポート リソース

シリコンやソフトウェア、IP に関するアンサー データベースを検索したり、テクニカル サポートのウェブ ケースを開くには、次のウェブ サイトにアクセスしてください。

<http://japan.xilinx.com/support>

## 表記規則

このマニュアルでは、次の表記規則を使用しています。各規則について、例を挙げて説明します。

表記規則	使用箇所	例
<u>アンダーライン テキスト</u>	ウェブ ページへのリンク	<a href="http://japan.xilinx.com/virtex5">http://japan.xilinx.com/virtex5</a>

## オンライン マニュアル

このマニュアルでは、次の規則が使用されています。

表記規則	使用箇所	例
青色の文字	マニュアル内の相互参照を示します。	詳細については、「 <a href="#">その他のリソース</a> 」を参照してください。 詳細については、第 1 章の「 <a href="#">タイトルフォーマット</a> 」を参照してください。
赤色の文字	ほかのマニュアルへの相互参照を示します。	詳細については、『Virtex-II Platform FPGA ユーザー ガイド』の <a href="#">図 2-5</a> を参照してください。
<a href="#">青色の下線付き文字</a>	ウェブサイト (URL) へのハイパーリンクです。	最新のスピード ファイルは、 <a href="http://www.xilinx.co.jp">http://www.xilinx.co.jp</a> から入手できます。



## ML501 評価プラットフォーム

---

### 概要

ML501 評価プラットフォームを使用することによって、設計者は Virtex™-5 LX FPGA の機能を検証できます。本ユーザー ガイドは、ML501 評価プラットフォームの機能および動作について説明します。

### 機能

- Virtex-5 XC5VLX50-1FFG676 FPGA
- EDK でサポートされる IP およびソフトウェア ドライバと互換性のある 64 ビット DDR2 SODIMM (Small Outline Dual In-line Memory Module)
- プログラム可能なシステム クロック ジェネレータ チップ
- SMA コネクタに接続する差動クロック入力と差動クロック出力各 1 対
- 100MHz のオシレータを挿入した 3.3V クロック オシレータ ソケット
- 汎用 DIP スイッチ、LED、およびプッシュボタン
- ボタン、LED、電源、JTAG チェーン拡張機能および IIC バス拡張で共有する、32 個のシングルエンド I/O、16 個の LVDS 差動ペアおよび 14 個のスペア I/O を持つ拡張ヘッダ
- ステレオ AC97 オーディオ コーデック (ライン入力、ライン出力、50mW ヘッドフォン、マイクロフォン ジャッキ、および SPDIF デジタル オーディオ ジャッキ)
- RS-232 シリアル ポート
- 16 文字 X 2 行の LCD
- 8Kb の IIC EEPROM 1 個
- DVI ビデオ コネクタ (付属アダプタで VGA サポートされている)
- PS/2 マウスおよびキーボード コネクタ
- Type I CompactFlash コネクタ付き System ACE™ CompactFlash コンフィギュレーション コントローラ

- 4つのパリティビット、32ビットデータバスをサポートする9MbのZBT同期SRAM
- Intel P30 StrataFlash リニアフラッシュチップ(32MB)
- シリアルペリフェラルインターフェイス(SPI)フラッシュ(2MB)
- 10/100/1000トリスピードイーサネットPHYトランシーバ
- ホストおよびペリフェラルポート付きUSBインターフェイスチップ
- ビエゾオーディオトランスデューサ
- FPGA暗号キーを保持する再充電可能リチウムバッテリー
- グルーロジック用ザイリンクスXC95144XL CPLD
- ザイリンクスXCF32Pプラットフォームフラッシュコンフィギュレーションストレージデバイス
- パラレルケーブルIII、パラレルケーブルIV、またはプラットフォームUSBダウンロードケーブルを接続するJTAGコンフィギュレーションポート
- 必要な電圧に対応する内蔵電源
- ファン制御付き温度および電圧監視チップ
- 5V/3A ACアダプタ
- 電力インジケータLED

## パッケージの内容

- ザイリンクスのVirtex-5 ML501評価プラットフォーム
- System ACE CompactFlashカード
- 電源
- DVI VGAアダプタ

## その他の情報

ML501評価プラットフォームの最新情報は、[japan.xilinx.com/ml501](http://japan.xilinx.com/ml501) を参照してください。

最新情報には次が含まれます。

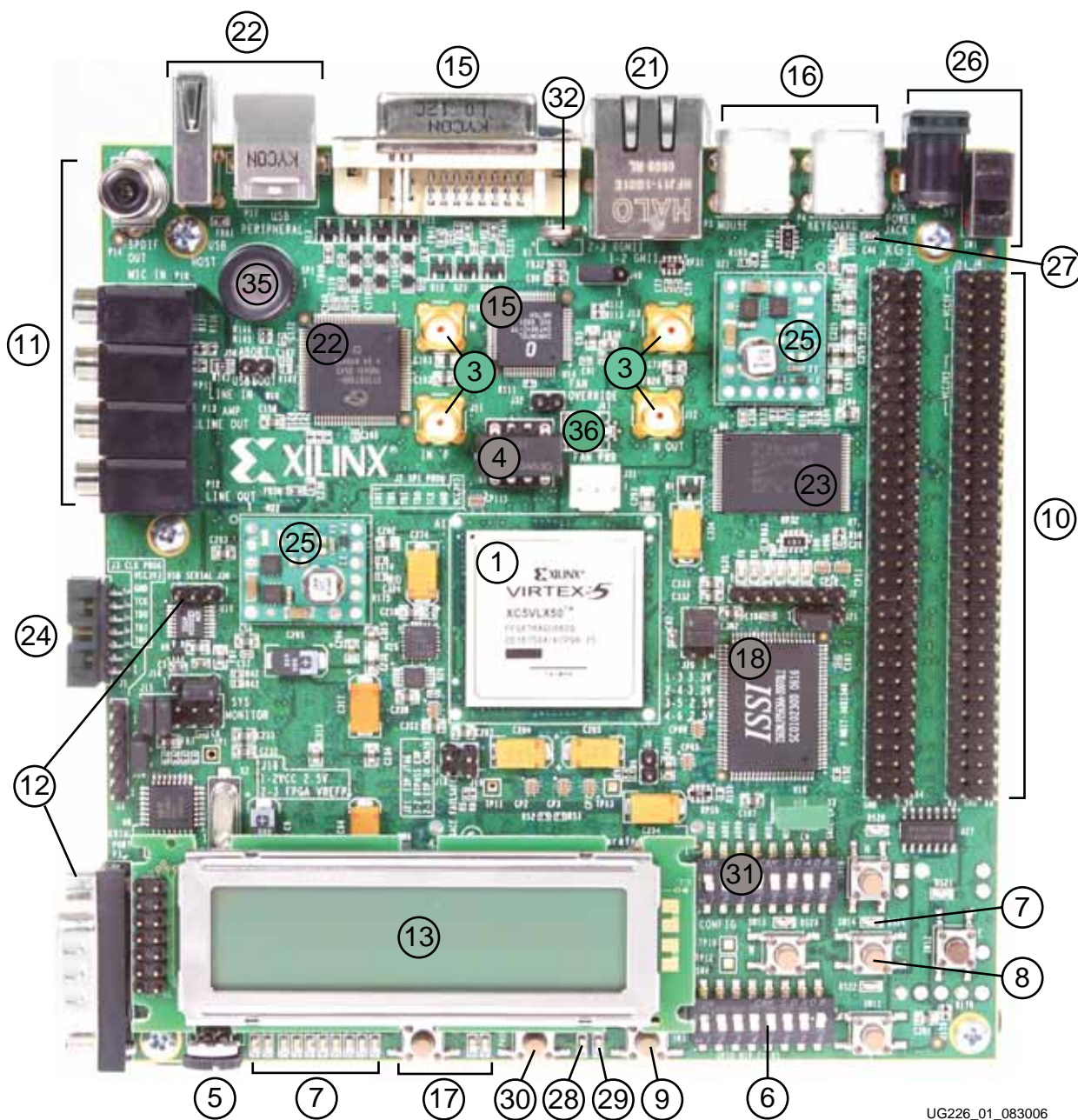
- 本ユーザーガイド(PDF版)の最新バージョン
- Virtex-5の機能および技術のデモ用サンプルデザインファイル
- System ACEコントローラ、Platform Flashコンフィギュレーションストレージデバイス、CPLD、およびリニアフラッシュチップ用のデモンストレーションハードウェアおよびソフトウェアコンフィギュレーションファイル
- MicroBlaze™ EDKリファレンスデザインファイル
- PDFフォーマットおよびViewDraw回路図フォーマットでの完全回路図
- Allegro PCBフォーマットのPCボードレイアウト
- PCボード用のガーバーファイル(これらのファイルを表示/印刷する場合は、インターネットから入手可能な無償またはシェアウェアのガーバーファイルビューアを使用します)
- その他の文書、エラッタ、よくある質問(FAQ)、および最新情報

製品ハイライト情報、データシート、ユーザーガイド、およびアプリケーションノートなどを含むFPGAデバイスのVirtex-5ファミリに関する情報は、Virtex-5のウェブサイトを

[www.xilinx.com/virtex5](http://www.xilinx.com/virtex5) から入手できます。その他の情報は、コンポーネントの製造者が発行するデータシートおよびアプリケーション ノートを参照してください。

## 詳細説明

ML501 評価プラットフォームの表面を図 1-1 に、裏面を 12 ページの図 1-2 に示します。以降のページでは、図に含まれる各機能の詳細を番号順に説明します。



UG226\_01\_083006

図 1-1 : Virtex-5 ML501 評価プラットフォーム コンポーネント (表面) の詳細

メモ：ボードに搭載されている CompactFlash (CF) カードのラベルは、図のラベルと異なる場合があります。

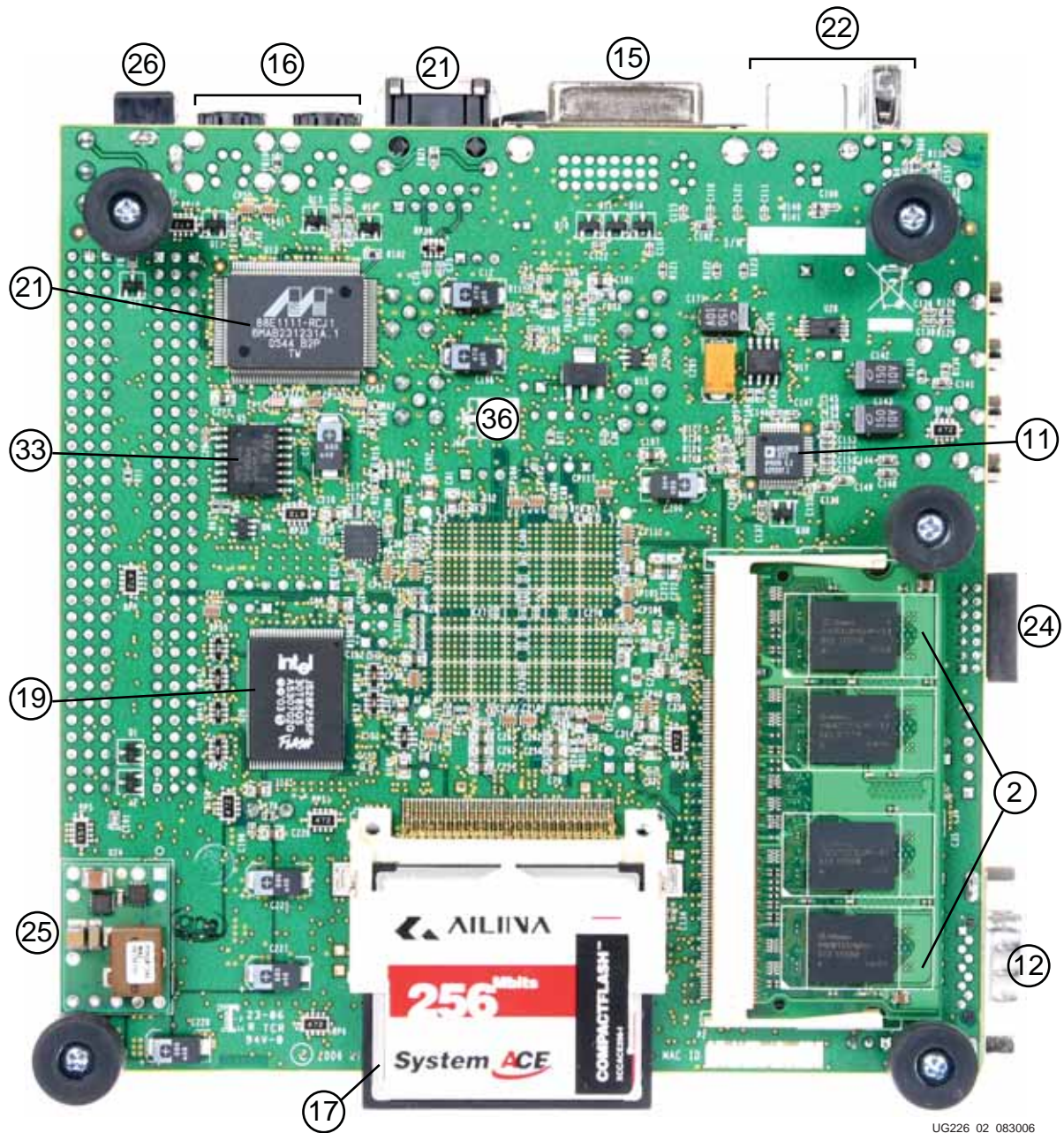
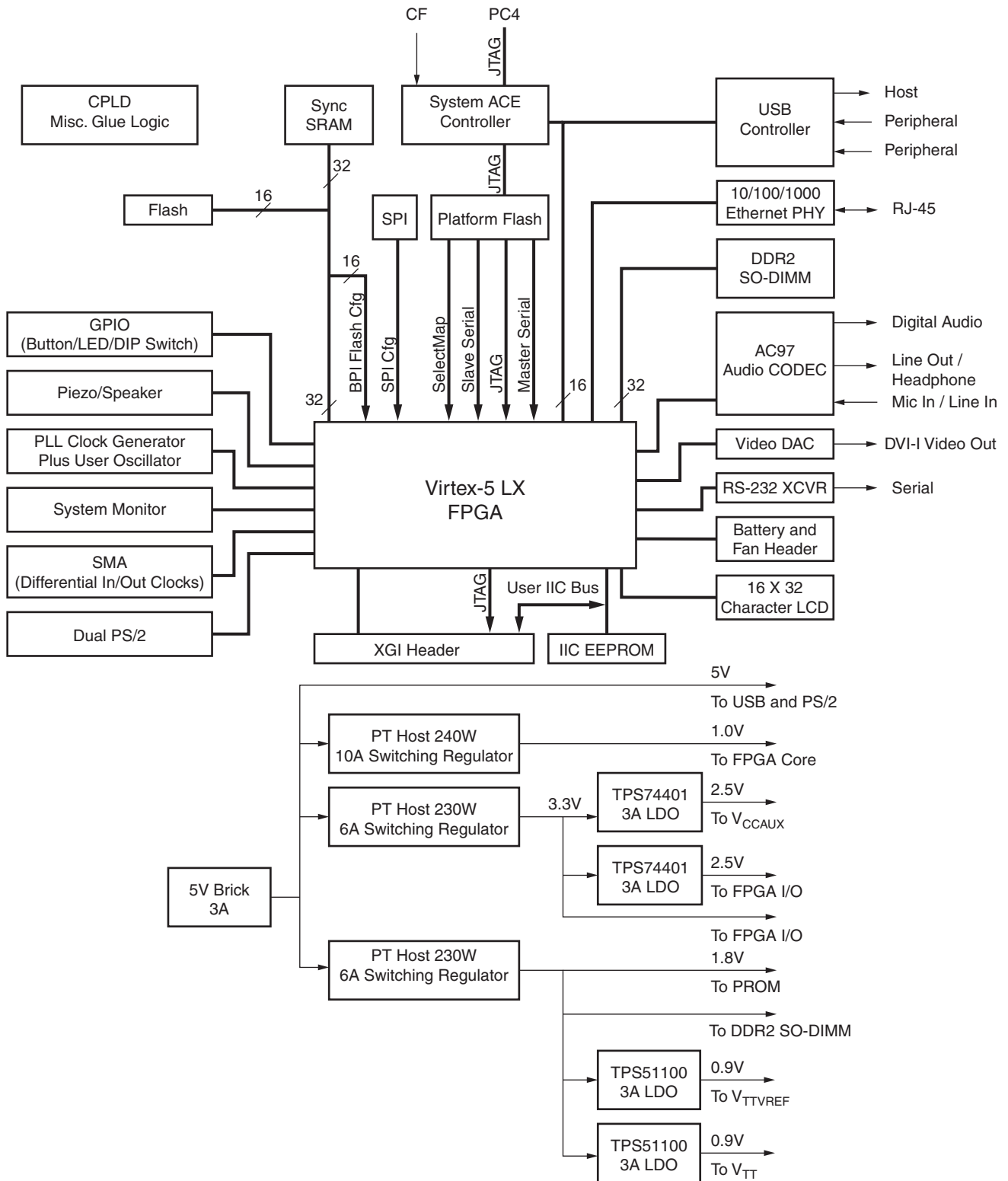


図 1-2： Virtex-5 ML501 評価プラットフォーム コンポーネント (裏面)

## ブロック図

図 1-3 に、ML501 評価プラットフォーム (ボード) のブロック図を示します。



UG226\_03\_083006

図 1-3 : Virtex-5 ML501 評価プラットフォームのブロック図

## 1. Virtex-5 FPGA

この評価プラットフォーム (ボード) には、ザイリンクスの Virtex-5 FPGA XC5VLX50-1FFG676 が搭載されています。

### コンフィギュレーション

このボードは、コンフィギュレーションの全モード (JTAG、マスタ シリアル、スレーブ シリアル、マスタ SelectMAP、スレーブ SelectMAP、BPI (Byte-wide Peripheral Interface) Up、BPI Down、および SPI モード) をサポートしています。詳細は、[32 ページの「コンフィギュレーション オプション」](#)を参照してください。

### I/O 電圧レール

FPGA には 14 個のバンクがあります。表 1-1 に、各バンクに適用される I/O 電圧のサマリを示します。

表 1-1 : FPGA バンクの I/O 電圧範囲

FPGA バンク	I/O 電圧レール
0	3.3V
1	3.3V
2	3.3V
3	2.5V
4	3.3V
11	ジャンパ J20 を使用して 2.5V または 3.3V に切り替え可能
12	3.3V
13	ジャンパ J20 を使用して 2.5V または 3.3V に切り替え可能
14	1.8V
15	3.3V
16	1.8V
17	3.3V
18	1.8V
21	1.8V

## デジタル制御インピーダンス

一部の FPGA バンクは、Virtex-5 FPGA の DCI (デジタル制御インピーダンス) 機能をサポートしています。表 1-2 に、DCI 機能のサポートについて示します。

表 1-2 : FPGA バンクの DCI 機能

FPGA バンク	DCI 機能
1	サポートなし。
2	サポートなし。
3	サポートなし。
4	サポートなし。
11	サポートあり。49.9Ω の抵抗が付いている。
12	サポートなし。
13	サポートあり。49.9Ω の抵抗が付いている。
14	サポートあり。49.9Ω の抵抗が付いている。
15	サポートあり。49.9Ω の抵抗が付いている。
16	サポートあり。49.9Ω の抵抗が付いている。
17	サポートあり。49.9Ω の抵抗が付いている。
18	サポートなし。
21	サポートあり。49.9Ω の抵抗が付いている。

## 2. DDR2 SODIMM

ML501 評価プラットフォームには、単一ランクの抵抗なし 256MB SODIMM が搭載されています。使用される DDR2 SODIMM は、通常 Micron 社の MT4HTF3264HY-53E モジュールまたはそれと類似したモジュールです。IIC インターフェイスを使用して DDR DIMM に接続する SPD (Serial Presence Detect) も FPGA でサポートされています。

メモ：このボードは、400MHz データ レートの DDR2 SDRAM 動作向けにのみテストされています。この速度以上のデータ レートも使用可能ですが、テストされていません。

### DDR2 メモリの拡張

DDR2 インターフェイスでは、SODIMM モジュールのインストール時に上位のアドレス信号およびチップ セレクト信号も SODIMM から FPGA に配線されることを考慮し、メモリ拡張がサポートされています。

### DDR2 クロック信号

同一の長さの DDR2 クロック信号 2 対が、FPGA から DODIMM に送信されます。FPGA デザインは、この両方のクロック ペアでスキューを抑えて駆動されるように設計されています。クロック トレースの遅延は、その他の DDR2 制御信号の遅延に一致するように設計されています。

### DDR2 信号

DDR2 SDRAM 制御信号には、すべて 47 の終端抵抗が付けられており、VTT リファレンス電圧値は 0.9V となっています。FPGA の DDR2 インターフェイスでは、SSTL18 信号がサポートされており、すべての DDR2 信号のインピーダンスが制御されます。DDR2 のデータ信号、マスク信号、およびストロボ信号の長さは、バイト グループ内で一致しています。SODIMM の ODT 機能を使用する必要があります。

## 3. SMA コネクタ付き差動クロック入力/出力

50 の SMA コネクタを介した差動クロック信号を使用し、FPGA へ高精度のクロック信号を入力できます。これにより、外部のファンクション ジェネレータやその他のクロック ソースで FPGA のグローバル クロック入力ピンに直接クロックを供給する差動クロック入力を駆動できます。FPGA では、100 の終端インピーダンスを持つようにコンフィギュレーションできます。

FPGA の差動クロック出力は、SMA コネクタの 2 番目のペアから出力されます。これにより、FPGA でテスト装置などの外部デバイスへの高精度クロックを駆動できます。表 1-3 に、差動 SMA クロック ピンの接続のサマリを示します。

表 1-3：差動 SMA クロック接続

ラベル	クロック名	FPGA ピン
J10	SMA_DIFF_CLK_IN_N	F10
J11	SMA_DIFF_CLK_IN_P	F9
J12	SMA_DIFF_CLK_OUT_N	F19
J13	SMA_DIFF_CLK_OUT_P	E18



## 4. オシレータ ソケット

ボードには、標準的な LVTTTL 型のオシレータ用のクリスタル オシレータ ソケット (X1) が 1 つ含まれており、表 1-4 に示すように FPGA クロック ピンに接続されています。X1 ソケットでは 100MHz のオシレータを使用でき、3.3V 電源が供給されます。

また、このボードには、IDT5V9885 (U8) EEPROM プログラマブル クロック ジェネレータ デバイスも搭載されています。このデバイスを使用してさまざまなクロックを生成し、ボード ペリフェラルや FPGA へ供給します。プログラマブル クロック ジェネレータは、次のような工場デフォルトのシングル エンド出力を提供します。

- Ethernet PHY (U13) へ 25MHz
- オーディオ コーデック (U16) へ 24.5MHz
- USB コントローラ (U18) へ 27MHz
- 33MHz からザイリンクスの System ACE CF (U2) へ 33MHz
- ザイリンクス FPGA へ 33MHz、27MHz および差動 200MHz

クロック ジェネレータ チップの工場デフォルト設定を変更した場合は、関連するリファレンス デザイン マテリアルが予想どおりに動作しない可能性があります。IDT5V9885 を工場デフォルト設定に戻す方法は、付録 A 「IDT クロック チップのプログラミング」を参照してください。

表 1-4: オシレータ ソケット 接続

ラベル	クロック名	FPGA ピン	説明
X1	USER_CLK	AD8	100MHz シングル エンド
U8	CLK_33MHZ_FPGA	AB12	33MHz シングル エンド
U8	CLK_27MHZ_FPGA	AD13	27MHz シングル エンド
U8	CLK_DIFF_FPGA_P	E16	200MHz 差動ペア (pos)
U8	CLK_DIFF_FPGA_N	E17	200MHz 差動ペア (neg)

## 5. LCD の輝度およびコントラストの調整

ポテンショメーター R87 のねじを回すことで LCD ディスプレイの表示文字のコントラストを調節できます。ポテンショメーターのねじは必ずドライバを使用して回してください。

## 6. DIP スイッチ (アクティブ High)

8 個の汎用 (アクティブ High) DIP スイッチは、FPGA のユーザー I/O ピンに接続されています。表 1-5 に、接続のサマリを示します。

表 1-5: DIP スイッチの接続 (SW4)

SW4	FPGA ピン
GPIO_DIP_SW1	U4
GPIO_DIP_SW2	V3
GPIO_DIP_SW3	T4
GPIO_DIP_SW4	T5

表 1-5：DIP スイッチの接続 (SW4) (続き)

SW4	FPGA ピン
GPIO_DIP_SW5	U6
GPIO_DIP_SW6	U5
GPIO_DIP_SW7	U7
GPIO_DIP_SW8	T7

## 7. ユーザーおよびエラー LED (アクティブ High)

FPGA で直接制御できるアクティブ High の LED は 15 個あります。

- 8 個の緑色 LED は汎用 LED で、1 列に配置されています。
- 5 個の緑色 LED は、East、West、South、North、および Center から構成されるプッシュボタンの隣にあります (11 ページの図 1-1 では、Center プッシュ ボタンのみが表示されています)。
- 2 個の赤色 LED は、バス エラーなどのエラーを示すために使用するだけでなく、任意の目的にも使用できます。

一部の LED はバッファを介して CPLD に接続すると、XGI 拡張コネクタによって高速 I/O として使用できます。表 1-6 に、LED の定義および接続のサマリを示します。

表 1-6：ユーザーおよびエラー LED の接続

リファレンス番号	ラベル/定義	色	FPGA ピン	バッファの有無
DS20	LED North	緑	Y8	あり
DS21	LED East	緑	Y18	あり
DS22	LED South	緑	AA8	あり
DS23	LED West	緑	AA18	あり
DS24	LED Center	緑	T22	あり
DS17	GPIO LED 0	緑	E13	あり
DS16	GPIO LED 1	緑	D14	あり
DS15	GPIO LED 2	緑	E12	あり
DS14	GPIO LED 3	緑	F12	あり
DS13	GPIO LED 4	緑	D15	No
DS12	GPIO LED 5	緑	E15	No
DS11	GPIO LED 6	緑	E10	No
DS10	GPIO LED 7	緑	E11	No
D56	エラー 1	赤	N4	No
D55	エラー 2	赤	P5	No

## 8. ユーザー プッシュボタン (アクティブ High)

5個のアクティブ High 汎用ユーザー プッシュボタンを使用できます。これらのプッシュ ボタンは、East、West、South、North、および Center から構成されています (11 ページの図 1-1 では、Center プッシュ ボタンのみが表示されています)。表 1-7 に、ユーザー プッシュボタンの接続のサマリを示します。

表 1-7: ユーザー プッシュボタンの接続

リファレンス番号	ラベル/定義	FPGA ピン
SW10	N (GPIO North)	A22
SW12	E (GPIO East)	A23
SW11	S (GPIO South)	B22
SW13	W (GPIO West)	C21
SW14	C (GPIO Center)	B21

## 9. CPU リセット ボタン (アクティブ Low)

CPU リセット ボタンはアクティブ Low のプッシュ ボタンで、システム リセット ボタンまたはユーザー リセット ボタンとして使用します。このプッシュ ボタンのスイッチは、汎用のプッシュ ボタン スイッチとして使用できるように FPGA の I/O ピンにのみ接続します (表 1-8 を参照)。

表 1-8: CPU リセットの接続

リファレンス番号	ラベル/定義	FPGA ピン
SW3	CPU RESET	T23

## 10. XGI 拡張ヘッダ

この評価ボードには、その他のアプリケーション向けにボードを拡張、適応できるようにする拡張ヘッダが含まれています。拡張コネクタでは、標準の 0.1 インチ ヘッダが使用されます。この拡張コネクタには、FPGA のシングルエンドおよび差動 I/O、グラウンド、2.5V/3.3V/5V 電源、JTAG チェーン、および IIC バスへの接続が含まれています。J4 および J6 コネクタに含まれるすべての信号トレース長は一致しています。

### 差動拡張 I/O コネクタ

ヘッダ J4 には、FPGA I/O への 16 対の差動信号接続が含まれており、これらの信号で LVDS データなどの高速の差動信号を伝搬できます。すべての差動信号は、100 の差動トレース インピーダンスを使用して配線されています。J4 の差動信号すべてで同一のトレース長が使用されているので、これらの信号を FPGA I/O に接続すると、独立したシングルエンド ネットとして使用できます。これらの信号の  $V_{CCIO}$  は、ジャンパ J20 を設定することで、2.5V または 3.3V に設定できます。20 ページの表 1-9 に、この拡張 I/O コネクタの差動接続のサマリを示します。

表 1-9 : 拡張 I/O 差動信号の接続 (J4)

J4 差動ピン ペア		回路図ネット名		FPGA ピン	
正	負	正	負	正	負
4	2	HDR2_4	HDR2_2	F24	F25
8	6	HDR2_8	HDR2_6	E25	E26
12	10	HDR2_12	HDR2_10	G21	G22
16	14	HDR2_16	HDR2_14	P19	N19
20	18	HDR2_20	HDR2_18	J25	J26
24	22	HDR2_24	HDR2_22	R22	R23
28	26	HDR2_28	HDR2_26	N22	N21
32	30	HDR2_32	HDR2_30	V26	U26
36	34	HDR2_36	HDR2_34	K23	K22
40	38	HDR2_40	HDR2_38	G26	H26
44	42	HDR2_44	HDR2_42	L20	L19
48	46	HDR2_48	HDR2_46	P23	N23
52	50	HDR2_52	HDR2_50	G24	G25
56	54	HDR2_56	HDR2_54	M20	M19
60	58	HDR2_60	HDR2_58	H24	J24
64	62	HDR2_64	HDR2_62	P21	P20

## シングルエンド拡張 I/O コネクタ

ヘッダ J6 には、FPGA I/O へのシングルエンド信号接続が 32 個含まれており、これらの信号で高速のシングルエンド データを伝搬できます。コネクタ J6 のシングルエンド信号のトレース長は、すべて一致しています。これらの信号の  $V_{CCIO}$  は、ジャンパ J20 を設定することで、2.5V または 3.3V に設定できます。表 1-10 に、この拡張 I/O コネクタのシングルエンド接続のサマリを示します。

表 1-10 : 拡張 I/O シングルエンド信号の接続 (J6)

J6 ピン	回路図ネット名	FPGA ピン
2	HDR1_2	J20
4	HDR1_4	J23
6	HDR1_6	J21
8	HDR1_8	H23
10	HDR1_10	M22
12	HDR1_12	K20
14	HDR1_14	K21
16	HDR1_16	M21
18	HDR1_18	L25
20	HDR1_20	L24
22	HDR1_22	K26
24	HDR1_24	K25
26	HDR1_26	M26
28	HDR1_28	M25
30	HDR1_30	N24
32	HDR1_32	M24
34	HDR1_34	AB25
36	HDR1_36	N26
38	HDR1_38	P25
40	HDR1_40	P24
42	HDR1_42	T24
44	HDR1_44	T25
46	HDR1_46	U24
48	HDR1_48	U25
50	HDR1_50	W25
52	HDR1_52	W26

表 1-10：拡張 I/O シングルエンド信号の接続 (J6) (続き)

J6 ピン	回路図ネット名	FPGA ピン
54	HDR1_54	Y25
56	HDR1_56	Y26
58	HDR1_58	P26
60	HDR1_60	AA25
62	HDR1_62	AC26
64	HDR1_64	AB26

### その他の拡張 I/O コネクタ

高速 I/O バスに加え、ML501 ボードに接続する拡張カードをサポートする追加の I/O 信号および電源接続が使用できます。汎用プッシュボタン スイッチおよび LED の 14 個の I/O ピンを拡張コネクタ J5 に接続することで、プッシュボタン スイッチおよび LED を使用しない場合に、拡張コネクタに接続する I/O を増やすことができます。このように接続することで、拡張カードでボード上のプッシュボタンおよび LED の使用も可能です。

また、ジャンパ J21 を設定することで、拡張コネクタを使用してボードの JTAG チェーンを拡張カードに接続することもできます。

ボード上の IIC バスも拡張コネクタに接続することで、バス接続する IIC デバイスを増やすことができます。拡張 IIC バスを使用する場合は、IIC プルアップ抵抗を拡張カードに付ける必要があります。双方向のレベルシフト トランジスタを使用することで、拡張カードで IIC バスに 2.5V ~ 5V の信号が使用できます。

拡張コネクタの電源接続には、グランド、2.5V、3.3V、および 5V 電源ピンが含まれています。拡張カードで ML501 ボードの電力が著しく使用される場合は、ボードで全電力が供給可能かどうかを確認してください。

ML501 拡張コネクタは、ML40x、ML32x、および ML42x ボードの拡張コネクタと互換性があるため、ML501 評価プラットフォーム上でもこれらのドーターカードを使用できます。23 ページの表 1-11 に、追加の拡張 I/O 接続のサマリを示します。

表 1-11 : 追加の拡張 I/O 接続 (J5)

J5 ピン	ラベル	FPGA ピン	説明
1	VCC5	-	5V 電源
2	VCC5	-	5V 電源
3	VCC5	-	5V 電源
4	VCC5	-	5V 電源
5	NC	-	未接続
6	VCC3V3	-	3.3V 電源
7	VCC3V3	-	3.3V 電源
8	VCC3V3	-	3.3V 電源
9	VCC3V3	-	3.3V 電源
10	NC	-	未接続
11	FPGA_EXP_TMS	-	拡張 TMS
12	FPGA_EXP_TCK	-	拡張 TCK
13	FPGA_EXP_TDO	-	拡張 TDO
14	FPGA_EXP_TDI	-	拡張 TDI
15	GPIO_LED_N	Y8	LED North
16	SW3 (N)	A22	GPIO スイッチ North
17	GPIO_LED_C	T22	LED Center
18	SW14 (C)	B21	GPIO スイッチ Center
19	GPIO_LED_W	AA18	LED West
20	SW13 (W)	C21	GPIO スイッチ West
21	GPIO_LED_S	AA8	LED South
22	SW11 (S)	B22	GPIO スイッチ South
23	GPIO_LED_E	Y18	LED East
24	SW12 (E)	A23	GPIO スイッチ East
25	GPIOLED 0	E13	GPIO LED 0
26	GPIOLED 1	D14	GPIO LED 1
27	GPIOLED 2	E12	GPIO LED 2
28	GPIOLED 3	F12	GPIO LED 3
29	NC	-	未接続
30	NC	-	未接続

表 1-11：追加の拡張 I/O 接続 (J5) (続き)

J5 ピン	ラベル	FPGA ピン	説明
31	IIC_SCL_EXP	R20	拡張 IIC SCL
32	IIC_SDA_EXP	T20	拡張 IIC SDA

## 11. ステレオ AC97 オーディオ コーデック

ML501 ボードには、音声処理を実行する AC97 オーディオ コーデック (U16) が含まれています。Analog Devices 社の AD1981 オーディオ コーデックでは、16 ビットのステレオ オーディオが最大 48kHz のサンプリング レートでサポートされています。録音および再生のサンプリング レートは異なる場合があります。

メモ：AC97 コーデックのリセット信号は、フラッシュ メモリ チップのリセット信号と共有され、電源投入時またはシステム リセット時にアサートされるように設計されています。

マイクロフォン、ライン入力、ライン出力、およびヘッドフォン用には個別のジャッキが提供されています。マイクロフォン用を除くすべてのジャッキはステレオです。ヘッドフォン ジャッキは、オーディオ コーデックの内部 50mW アンプによって駆動されます。SPDIF ジャッキは、コーデックのデジタル オーディオ出力から供給されます。表 1-12 に、オーディオ ジャッキのサマリを示します。

表 1-12：ML501 オーディオ ジャッキ

リファレンス番号	機能
P10	マイクロフォン入力
P11	アナログ ライン入力
P12	アナログ ライン出力
P13	ヘッドフォン出力
P14	SPDIF 出力

## 12. RS-232 シリアル ポート

ML501 ボードには、DB-9 (オス) RS-232 シリアル ポートが含まれており、FPGA とほかのデバイス間でシリアル データ通信ができます。シリアル ポートは、ホスト (DCE) デバイスとして配線されるため、通常ボードとコンピュータ上のシリアル ポートを接続するのに、ヌル モデム ケーブルが必要です。このシリアル ポートは、最大 115200Bd で動作するように設計されています。FPGA および RS-232 信号間の電圧レベルをシフトするために、インターフェイス チップが 1 個使用されます。

メモ：FPGA は、シリアル ポートの TX および RX データ ピンにのみ接続されるため、ハードウェア フロー制御信号などのその他の RS-232 信号は使用されません。フロー制御は、コンピュータとの通信時にはディスエーブルにする必要があります。

ヘッダ J30 を使用すると、セカンダリ シリアル インターフェイスが使用でき、USB コントローラ チップのデバッグが可能になります。ヘッダ J30 では、RS-232 のグラウンド、TX データ、および RX データの電圧レベル信号が使用されます。



## 13. 16 文字 X 2 行の LCD

ML501 ボードには、テキスト情報を示す 16 文字 X 2 行の LCD (Tianma 社製 TM162VBA6) があります。ポテンショメータ R87 では、LCD のコントラストが調整されます。LCD へのデータインターフェイスは FPGA に接続され、4 ビット モードのみをサポートしています。FPGA と LCD 間の電圧レベルのシフトには、CPLD が使用されます。LCD モジュールにはコネクタが 1 個あるため、LCD をボードから切り離し、その下のコンポーネントにアクセスできるようになっています。

**注意：** LCD ウィンドウの表面を損傷しないように注意してください。

## 14. 8Kb EEPROM 付き IIC バス

ML501 ボードには、IIC EEPROM (ST マイクロエレクトロニクス社製 M24C08) が 1 個搭載されており、イーサネット MAC アドレスなどの不揮発性データを格納できます。EEPROM は、取り外し可能な LCD の下に配置されており、[図 1-1](#) には表示されていません。EEPROM の書き込み保護はボードでディスエーブルにされています。IIC バスのプルアップ抵抗がボードに付けられています。

IIC バスを拡張コネクタに接続すると、IIC デバイスを追加して FPGA に含まれる IIC コントローラを共有できます。拡張 IIC バスを使用する場合は、IIC プルアップ抵抗を拡張カードに付ける必要があります。双方向のレベルシフト トランジスタを使用することで、拡張カードで IIC バスに 2.5V ~ 5V の信号を使用できます。

## 15. DVI コネクタ

DVI コネクタ (P7) では、外部ビデオ モニタがサポートされます。DVI 回路では、24 ビット カラー、解像度 1600 X 1200 の Chrontel 社製 CH7301C が使用されます。ビデオ インターフェイス チップは、DVI コネクタへのデジタル信号およびアナログ信号の両方が駆動されます。DVI モニタは、ボードに直接接続できます。また、提供される DV-VGA アダプタを使用すると VGA モニタも接続できます。Chrontel 社製の CH7301C は、VGA の IIC バスを使用して制御されます。

DVI コネクタでは、モニタのコンフィギュレーション パラメータをボードで読み出せるようにする IIC プロトコルがサポートされています。これらのパラメータは、VGA の IIC バスを使用して FPGA で読み出すことができます。

## 16. PS/2 マウスおよびキーボード ポート

ML501 評価プラットフォームには、マウス用 (P5) とキーボード用 (P4) に 2 個の PS/2 ポートがあります。双方向のレベルシフト トランジスタを使用すると、FPGA の 1.8V I/O と PS/2 ポートの 5V I/O を接続できます。ボード上の PS/2 ポートは、5V の主要電源ジャッキにより直接電源が供給されます。このジャッキからは、ボード上のその他のパーツへも電源供給します。

**注意：** 接続した PS/2 デバイスの電力付加は、AC アダプタをオーバーロードしないように注意を払う必要があります。

## 17. System ACE および CompactFlash コネクタ

ザイリンクスの System ACE CompactFlash (CF) コンフィギュレーション コントローラを使用すると、Type1 の CompactFlash カードで JTAG ポートを介して FPGA をプログラムできます。ハードウェアおよびソフトウェアデータの両方が JTAG ポートを介してダウンロードできます。System ACE コントローラでは、1 個の CompactFlash カードで最大 8 個のコンフィギュレーション イメージをサポートできます。コンフィギュレーション アドレス スイッチを使用して、8 個のコンフィギュレーション イメージから使用するイメージを選択できます。

System ACE エラーおよびステータス LED では、System ACE コントローラの動作状態が示されます。

- 点滅する赤色エラー LED は、CompactFlash カードが検出されないことを示します。
- 点灯の赤色エラー LED は、コンフィギュレーション中にエラーが発生したことを示します。
- 点滅する緑色ステータス LED は、コンフィギュレーションが実行中であることを示します。
- 点灯の緑色ステータス LED は、ダウンロードが正しく完了したことを示します。

CompactFlash カードが System ACE ソケットに挿入されるたびに、コンフィギュレーションが初期化されます。System ACE のリセット ボタンを押すと、FPGA が再プログラムされます。

メモ：System ACE のコンフィギュレーションは、DIP スイッチを使用してイネーブルにされます。詳細は、「31. コンフィギュレーション アドレス/モード DIP スイッチ」を参照してください。

このボードでは、System ACE failsafe モードも使用できます。このモードでは、System ACE コントローラでコンフィギュレーション エラーが検出された場合に、自動的に定義済みのコンフィギュレーション イメージに戻されます。failsafe モードは、J18 と J19 間に 2 個のジャンパを垂直または水平に挿入することでイネーブルにできます。

**注意：** 金属面に露出している CompactFlash カードは、注意して挿入してください。正しく挿入しないと、ボード上のトレースまたはコンポーネントでショートする可能性があります。

System ACE の MPU ポートは、FPGA に接続されています。これにより、FPGA で System ACE コントローラを使用してシステムのリコンフィギュレーションを実行したり、CompactFlash カードを汎用の FAT ファイルシステムとして使用できます。System ACE の MPU ポートのデータバスは、USB コントローラと共有されます。

## 18. ZBT 同期 SRAM

ZBT 同期 SRAM (ISSI IS61NLP25636A-200TQL) は、高速でレイテンシの短い外部メモリです。メモリは 256K X 36 ビット構成で、32 ビットのデータバスでパリティ ビット 4 個がサポートされています。

メモ：SRAM および FLASH メモリでは、同じデータバスが共有されます。

## 19. リニア フラッシュ チップ

32MB のフラッシュ メモリである NOR リニア フラッシュ デバイス (Intel 社製 JS28F256P30T95) がこのボードに搭載されています。このメモリでは、不揮発性データ、ソフトウェア、またはビットストリームが格納されます。このフラッシュ チップは 16 ビット幅で、データバスは SRAM と共有されます。このフラッシュ メモリは、FPGA のプログラムにも使用できます。

メモ：AC97 コーデックのリセット信号は、フラッシュ メモリ チップのリセット信号と共有され、電源投入時またはシステム リセット時にアサートされるように設計されています。

## 20. ザイリンクス XC95144XL CPLD

ザイリンクスの XC95144XL CPLD は、汎用のグルー ロジックです。この CPLD は、取り外し可能な LCD の下に配置されているため、[図 1-1](#) には表示されていません。CPLD は、ボードの主要 JTAG チェーンからプログラムされます。CPLD は主にレベル変換器、単純ゲート、およびバッファのインプリメントに使用されます。

## 21. 10/100/1000 トライスピード イーサネット PHY

ML501 評価プラットフォームには、10/100/1000Mb/s で動作する Marvell 社の Alaska PHY デバイス (88E1111) が含まれています。このボードでは、FPGA に対して MII、GMII、および RGMII インターフェイス モードがサポートされています。PHY は、Halo 社の内蔵マグネティクス付き HFJ11-1G01E RJ-45 コネクタに接続されています。PHY は、電源投入時のデフォルト値に設定されるか、または[表 1-13](#) に示す設定にリセットされます。これらの設定は、ソフトウェアを介して上書きできます。PHY のデフォルト モードを RGMII モード (ピン 2-3) と GMII モード (ピン 1-2) 間で切り替えるには、ジャンパ J40 を使用します。

表 1-13 : PHY コンフィギュレーション ピンのボード接続

コンフィギュレーション ピン	ボード上の接続	ビット[2] 定義および値	ビット[1] 定義および値	ビット[0] 定義および値
CONFIG0	V <sub>CC</sub> 2.5V	PHYADR[2] = 1	PHYADR[1] = 1	PHYADR[0] = 1
CONFIG1	グラウンド	ENA_PAUSE = 0	PHYADR[4] = 0	PHYADR[3] = 0
CONFIG2	V <sub>CC</sub> 2.5V	ANEG[3] = 1	ANEG[2] = 1	ANEG[1] = 1
CONFIG3	V <sub>CC</sub> 2.5V	ANEG[0] = 1	ENA_XC = 1	DIS_125 = 1
CONFIG4	V <sub>CC</sub> 2.5V または LED_DUPLEX (J40 で設定)	HWCFG_MODE[2] = 0 または 1 (J40 で設定)	HWCFG_MODE[1] = 1	HWCFG_MODE[0] = 1
CONFIG5	V <sub>CC</sub> 2.5V	DIS_FC = 1	DIS_SLEEP = 1	HWCFG_MODE[3] = 1
CONFIG6	LED_RX	SEL_BDT = 0	INT_POL = 1	75/50Ω = 0

## 22. ホストおよびペリフェラル付き USB コントローラ

Cypress 社 CY7C67300 エンベデッド USB ホスト コントローラでは、ボードの USB 接続が提供されます。この USB コントローラでは、ホストおよびペリフェラルモードの動作がサポートされています。この USB コントローラには、2 個のシリアル インターフェイス エンジン (SIE) が含まれており、個別に使用できます。SIE1 は USB ホスト コネクタ (P19) に、SIE2 は USB ペリフェラル コネクタ (P17) のみに接続されます。

この USB コントローラには、USB のコマンド処理を補助する内部マイクロプロセッサが含まれています。このプロセッサのファームウェアは、独自の専用 IIC EEPROM (U28) に格納するか、またはペリフェラル コネクタを介してホスト コンピュータからダウンロードできます。この USB コントローラのシリアルポートは、デバッグを補助するために RS-232 トランシーバを介して J30 に接続されます。ジャンパ J50 を取り付けると、USB コントローラで IIC EEPROM に格納されているファームウェアの実行を回避できます。

## 23. ザイリンクス XCF32P プラットフォーム フラッシュ コンフィギュレーション ストレージ デバイス

ザイリンクスの XCF32P プラットフォーム フラッシュ コンフィギュレーション ストレージ デバイスは、簡単で使いやすい FPGA のコンフィギュレーション ソリューションを提供します。プラットフォーム フラッシュ メモリでは、最大 2 個のコンフィギュレーション イメージ (圧縮時には最大 4 個) を格納できます。このイメージには、コンフィギュレーション アドレス スイッチを使用してアクセスできます。プラットフォーム フラッシュ メモリを使用して FPGA をコンフィギュレーションするには、コンフィギュレーション DIP スイッチを正しく設定する必要があります。

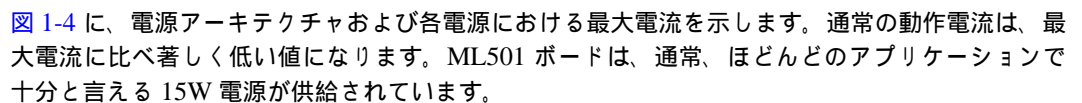
プラットフォーム フラッシュ メモリは、シリアルまたはパラレル (SelectMap) モードのマスタまたはスレーブ コンフィギュレーションを使用して FPGA をプログラムできます。プラットフォーム フラッシュ メモリは、ザイリンクスの iMPACT ソフトウェアを使用してボードの JTAG チェーンからプログラムします。詳細は、[32 ページの「コンフィギュレーション オプション」](#)を参照してください。

## 24. JTAG コンフィギュレーション ポート

ボードの JTAG コンフィギュレーション ポート (J1) では、デバイスのプログラムおよび FPGA のデバッグを実行できます。このポートでは、ザイリンクス パラレル ケーブル III、パラレル ケーブル IV、またはプラットフォーム USB ケーブルがサポートされています。サードパーティのコンフィギュレーション製品も一部サポートされています。JTAG チェーンは、ジャンパ J21 を設定することで拡張ボードに接続することも可能です。詳細は、[32 ページの「コンフィギュレーション オプション」](#)を参照してください。

## 25. オンボード電源供給

ボードの電源回路では、ボード上のコンポーネントに供給される 0.9V、1.0V、1.8V、2.5V、および 3.3V 電圧が生成されます。1.0V、1.8V、および 3.3V 電源は、Texas Instruments 社の PTH08T2 スイッチング電圧レギュレータによって駆動されます。これらのレギュレータは、互いに同期するように 400kHz クロックで駆動されるため、ビート周波数で発生するノイズが低減されます。また、各レギュレータに送信されるクロックは、入力時の反射ノイズを低減するために位相がずらされています。これに加え、ボードではレギュレータの Turbo Trans 機能を使用し、出力の過渡応答を向上できます。

 図 1-4 に、電源アーキテクチャおよび各電源における最大電流を示します。通常の動作電流は、最大電流に比べ著しく低い値になります。ML501 ボードは、通常、ほとんどのアプリケーションで十分と言える 15W 電源が供給されています。

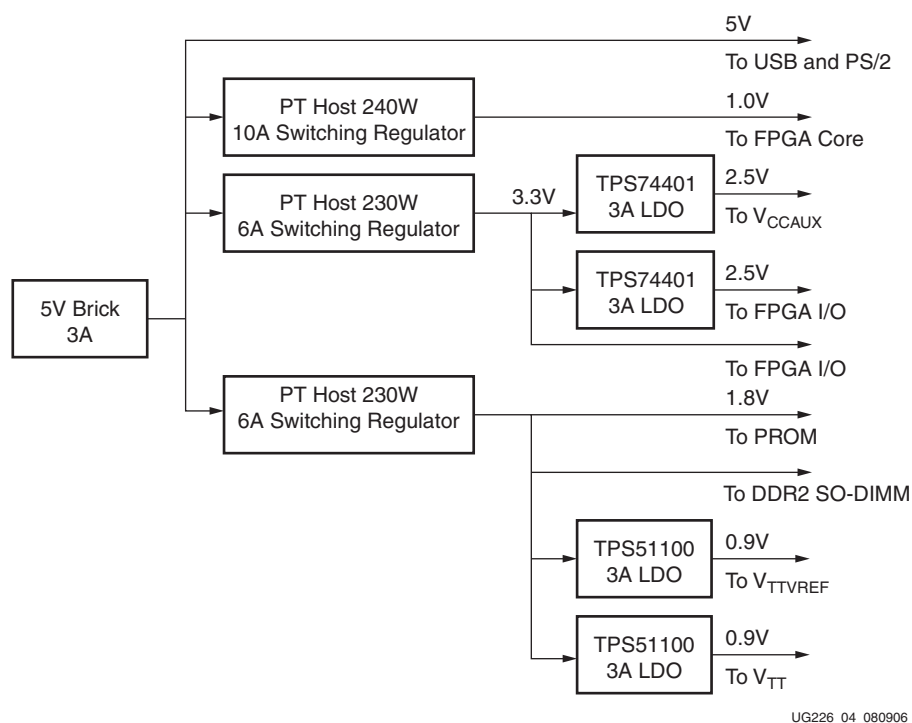


図 1-4：電源およびその最大電流

## 26. ACアダプタおよび入力電源スイッチ/ジャッキ

ML501 オードには、付属品として 15W (5V/3A) AC アダプタが含まれています。電源コネクタは、2.1mm X 5.5mm のバレル型プラグ (中心-正) です。多大な電力を使用する拡張カードの使用など、追加電力が必要なアプリケーションでは、大型の AC アダプタが必要になる場合があります。別の AC アダプタを使用する場合は、ロードレギュレーションを 10% 以下にするか、または ±10% 向上させる必要があります。ボードの電源は、電源スイッチで 5V 電源をオン/オフすることで切り替えられます。

## 27. パワーインジケータ LED

5V 電源が供給されると、PWR Good LED が点灯します。

## 28. INIT LED

FPGA に正しく電源が投入され、内部電源投入プロセスが完了すると、パワーアップ時に INIT LED が点灯します。

## 29. DONE LED

FPGA の DONE ピンのステータスを示し、FPGA が正しくコンフィギュレーションされると点灯します。

## 30. プログラムスイッチ

このスイッチを押すと、FPGA の PROG ピンがグランドに接続され、FPGA がクリアされます。

## 31. コンフィギュレーション アドレス/モード DIP スイッチ

コンフィギュレーション アドレスおよびコンフィギュレーション モードは、8 個の DIP スイッチ (SW15) によって設定されます。この DIP スイッチでは、プラットフォーム フラッシュのフォールバック コンフィギュレーションおよび System ACE コンフィギュレーションをイネーブルにすることもできます。表 1-14 に、各スイッチの機能を示します。

表 1-14：コンフィギュレーション アドレスの DIP スイッチ設定

スイッチ (SW15)	機能
1	コンフィギュレーション アドレス [2]
2	コンフィギュレーション アドレス [1]
3	コンフィギュレーション アドレス [0]
4	モード [2]
5	モード [1]
6	モード [0]
7	プラットフォーム フラッシュ フォールバック (On = イネーブル、Off = ディスエーブル) <sup>(1)</sup>
8	System ACE コンフィギュレーション (On = イネーブル、Off = ディスエーブル)。イネーブル時には、カードを挿入するかまたは SYSACE RESET ボタンを押したときにいつでも System ACE コントローラによって CF カードから FPGA がコンフィギュレーションされます。

メモ：

1. 将来的な使用のために予約されています。現在のところインプリメントされていません。

コンフィギュレーション アドレス [2:0] では、複数のコンフィギュレーション イメージから 1 つを選択できます。System ACE コンフィギュレーションでは、最大 8 個のコンフィギュレーションを CF カードに格納できます。プラットフォーム フラッシュおよびリニア フラッシュでは、コンフィギュレーション アドレス [2:0] で選択可能な最大 4 個のビットストリームを格納できます。

Mode[2:0] では、表 1-15 に示すように FPGA コンフィギュレーション モードを選択できます。

表 1-15：コンフィギュレーション モードの DIP スイッチ設定

Mode[2:0]	モード
000	マスタ シリアル (プラットフォーム フラッシュ、最大 4 個のコンフィギュレーション)
001	SPI (1 個のコンフィギュレーション)
010	BPI Up (パラレル NOR フラッシュ、最大 4 個のコンフィギュレーション)
011	BPI Down (パラレル NOR フラッシュ、最大 4 個のコンフィギュレーション)
100	Master SelectMAP (プラットフォーム フラッシュ、最大 4 個のコンフィギュレーション)
101	JTAG (PC4、System ACE、最大 8 個のコンフィギュレーション)

表 1-15: コンフィギュレーション モードの DIP スイッチ設定 (続き)

Mode[2:0]	モード
110	スレーブ SelectMAP (プラットフォーム フラッシュ、最大 4 個のコンフィギュレーション)
111	スレーブ シリアル (プラットフォーム フラッシュ、最大 4 個のコンフィギュレーション)

## 32. 暗号キー バッテリ

再充電が可能な内蔵リチウム バッテリは、FPGA の  $V_{BATT}$  ピンに接続されており、FPGA の暗号キーが格納されています。

## 33. SPI フラッシュ

ML501 ボードには、16Mb の SPI フラッシュ (ST Microelectronics 社製 M25P16) が搭載されています。SPI フラッシュは、FPGA のコンフィギュレーションに使用したり、ユーザー データを格納するときに使用できます。SPI フラッシュは、ザイリンクスのダウンロード ケーブルを使用してインシステム プログラムが可能です。SPI フラッシュ メモリを使用した FPGA のプログラムの詳細は、[XAPP445](#) を参照してください。

## 34. IIC ファン コントローラおよび温度/電圧モニタ

内蔵の温度/電圧モニタおよび制御は、Analog Devices 社製の ADT7476A チップによって処理されます。このチップは IIC を介して制御され、次の機能を使用できます。

- 5V、3.3V、1.8V、および 1.0V 電圧の計測
- FPGA 上の DXP/DXN ピンを使用した FPGA 温度の計測
- 静止温度の計測
- 2.5V リニア レギュレータのパワー グッド信号の読み出し
- ファン速度の PWM 制御
- ファンのタコメータの読み出し
- 読み出しに基づく割り込み/アラームの生成

コネクタ J31 は、コンピュータに含まれる 3 ピン ファン ヘッドに類似しています。このコネクタでは、5V DC のファンがサポートされるように設計されています。ファンの制御チップをバイパス接続して、ファンをフルスピードで動作するには、コネクタ J32 を使用します。

高電力での動作に対応するように、FPGA 用のヒートシンクやファンをボードに搭載することも可能です。ML501 ボードには、ヒートシンクやファン ユニットの付属していませんが、Calgrec Electronics 社の Smart-CLIP ファミリのヒートシンク/ファン アセンブリなどを搭載できます。

## 35. ピエゾ

ピエゾ オーディオ トランスデューサでは、単純なピープ音、トーン、および音楽を再生できます。このトランスデューサは、FPGA で制御されるトランジスタによって駆動されます。

## 36. 電源解析用 FMC コネクタ

FMC コネクタ (Rosenberger 社製 16P101-40M L4) は、SFF (スモール フォーム ファクタ) 形の表面実装用 50Ω 同軸コネクタで、高周波数信号の解析に適しています。

ML501 ボードでは、1 対の FMC コネクタが 1.0 電源に接続されています。このコネクタを使用し、ボードの動作中の電源動作のスペクトラム解析が実行できます。スペクトラム解析を実行することで、電源の減結合回路網を調整してパフォーマンスを最適化できます。2 つの FMC コネクタはボードの反対面の同じ電源に接続されているため、一方の FMC コネクタを使用して高周波数信号を電源プレーンに送り、もう一方の FMC コネクタをテスト装置に接続し、ボードの応答を計測します。

デフォルトでは、FMC コネクタはハンダ付けされていません。FMC コネクタを注文する場合は、Rosenberger 社 ([www.rosenbergerna.com](http://www.rosenbergerna.com)) にお問い合わせください。Rosenberger 社では、SMA ベースのテスト装置に接続するアダプタ ケーブルや FMC コネクタに接続するケーブルなども販売しています。

メモ：ザイリンクスでは、FMC コネクタをボードにハンダ付けする際に伴う破損の責任は、一切負いません。

## コンフィギュレーション オプション

ML501 評価プラットフォームの FPGA は、次の 5 つのデバイスを使用してコンフィギュレーションできます。

- ザイリンクスのダウンロード ケーブル (JTAG)
- System ACE コントローラ (JTAG)
- プラットフォーム フラッシュ メモリ
- リニア フラッシュ メモリ
- SPI フラッシュ メモリ

次のセクションでは、FPGA のコンフィギュレーション方法について説明します。

## JTAG (ザイリンクスのダウンロード ケーブルおよび System ACE コントローラ) コンフィギュレーション

FPGA、プラットフォーム フラッシュ メモリ、および CPLD は、JTAG ポートを介してコンフィギュレーションできます。図 1-5 に、ボードの JTAG チェーンを示します。

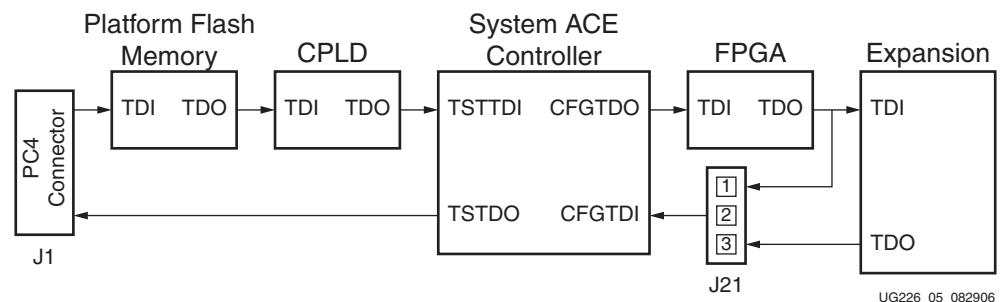


図 1-5 : JTAG チェーン



JTAG チェーンは、PC4 コネクタ、System ACE コントローラ、プラットフォーム フラッシュ メモリ、FPGA、CPLD、およびオプションの拡張カードへの拡張チェーンの順番に進みます。ジャンパ J21 では、JTAG チェーンを拡張カードに拡張するかが決定されます。

JTAG チェーンを使用すると、FPGA のプログラミングやハードウェアおよびソフトウェアのデバッグが可能となります。またプラットフォーム フラッシュ メモリや CPLD をプログラムする場合にも使用されます。

JTAG チェーンに PC4 JTAG を接続することにより、iMPACT ソフトウェアを使用してホスト コンピュータから FPGA ヘビットストリームをダウンロードできます。また、この PC4 を使用することで、ChipScope™ Pro Analyzer やソフトウェア デバッガなどのデバッグ ツールを使用した FPGA へのアクセスも可能になります。

System ACE コントローラでも、JTAG ポートを使用して FPGA をプログラムできます。挿入した CompactFlash カードを使用して、コンフィギュレーション情報の格納および FPGA のコンフィギュレーションができます。System ACE コントローラでは、コンフィギュレーション アドレスの DIP スイッチを使用して選択した最大 8 個までのコンフィギュレーション イメージをサポートしています。FPGA を使用して System ACE チップを制御し、8 個のコンフィギュレーション イメージの中からリコンフィギュレーションを指示できます。

System ACE によるコンフィギュレーションを実行する場合は、コンフィギュレーション モードを「101」に設定し、スイッチ SW15 およびピン 8 をオンにしてください。正しく設定されていると、CompactFlash カードが挿入されている場合での電源投入時や CompactFlash カードの挿入時に System ACE コントローラにより FPGA がプログラムされます。CompactFlash カードが挿入されている場合は、System ACE のリセット ボタンを押しても、System ACE コントローラが FPGA をプログラムします。

## プラットフォーム フラッシュ メモリ コンフィギュレーション

プラットフォーム フラッシュ メモリを使用しても FPGA をプログラムできます。このメモリでは、最大 2 個のコンフィギュレーション イメージ (圧縮時は最大 4 個) を格納でき、使用するイメージはコンフィギュレーション アドレスの DIP スイッチの下位 2 ビットを使用して選択できます。

ボードは、プラットフォーム フラッシュ メモリがマスタ シリアル、スレーブ シリアル、マスタ SelectMAP (パラレル)、またはスレーブ SelectMAP (パラレル) モードでビットストリームをダウンロードできるように配線されています。iMPACT を使用してプラットフォーム フラッシュ メモリをプログラムすることで、FPGA のプログラムに使用するモードを選択できます。コンフィギュレーション モードの DIP スイッチの設定は、プラットフォーム フラッシュ メモリで使用するプログラム手法と一致する必要があります。

正しく設定されていると、電源投入時または **Prog** ボタンを押したときに FPGA がプログラムされます。

## リニア フラッシュ メモリ コンフィギュレーション

リニア フラッシュに格納されたデータを使用して、FPGA を BPI モードでプログラムできます。最大 4 個のコンフィギュレーション イメージがサポートされています。

コンフィギュレーション モードの DIP スイッチの設定は、BPI\_up の場合は **010**、BPI\_down の場合は **011** に設定してください。

正しく設定されていると、電源投入時または **[Prog]** ボタンを押したときに FPGA がプログラムされます。

## SPI フラッシュ メモリ コンフィギュレーション

SPI に格納されたデータを使用して FPGA をプログラムできます。SPI コンフィギュレーションの場合、コンフィギュレーション モードの DIP スイッチを **001** に設定してください。

正しく設定されていると、電源投入時または [**Prog**] ボタンを押したときに FPGA がプログラムされます。

## IDT クロック チップのプログラミング

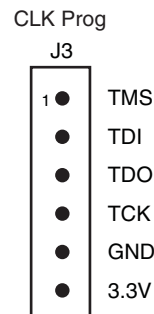
### 概要

ML50x 評価ボードには、IDT (Integrated Device Technology) 社製の工場プログラムされた 3.3 V EEPROM プログラマブルクロック ジェネレータが搭載されています。この付録では、プログラミングを変更後、次の 2 つの装置を使用して、再び工場のデフォルト設定に戻す方法を説明します。

- ザイリンクスのダウンロード ケーブル
- JTAG フライング ワイヤ

### ML50x ボードへダウンロード

1. ジャンパ J3 に接続されているフライング リードを使用してザイリンクスのダウンロード ケーブルをボードに接続します。(図 A-1)



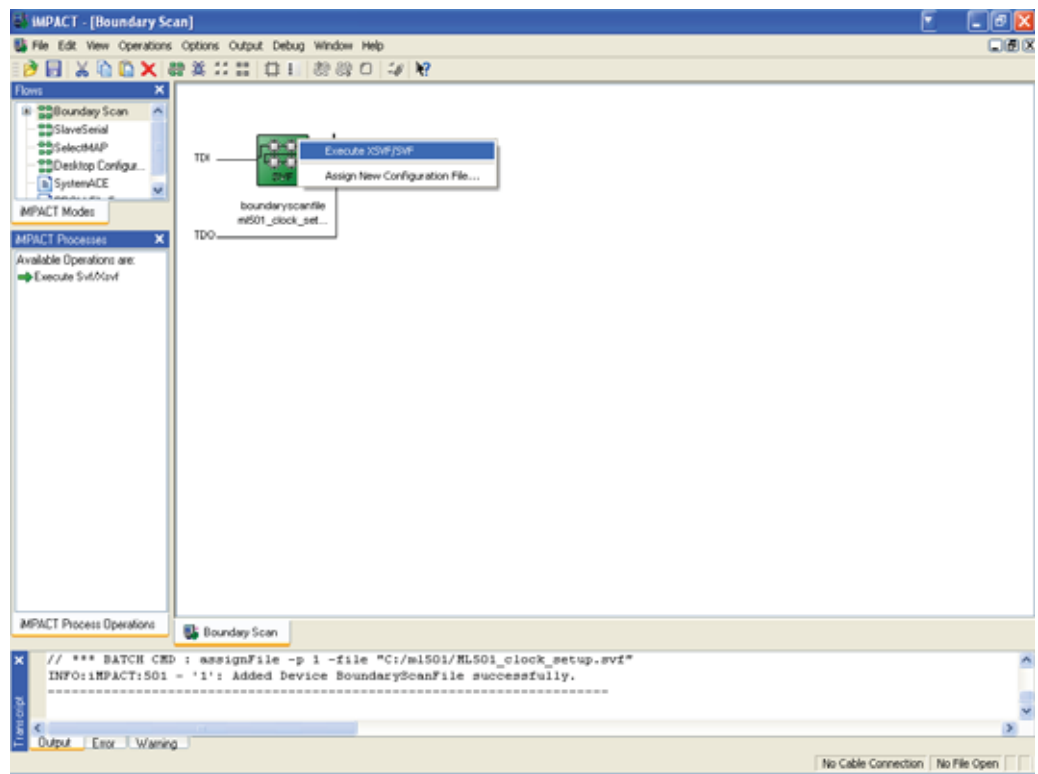
UG226\_apdx\_a\_01\_031207

図 A-1 : J3 IDT5V9885 JTAG コネクタ

2. [スタート] [iMPACT] をクリックします。
3. [Boundary Scan] をクリックします。
4. [Add Xilinx Device...] を右クリックします。
5. SVF ファイル (36 ページの図 A-2 の例で示す ML50X\_clock\_setup.svf) を選択し、[開く] をクリックします。

メモ : ML50X\_clock\_setup.svf ファイルは、ML50x の製品ページから入手できます。

6. デバイスを右クリックし、[Execute XSVF/SVF] を選択します。



UG226\_apdx\_a\_02\_031207

図 A-2 : iMPACT を使用して ML50x の IDT5V9885 をプログラムする

7. プログラミング完了後、ボードの電源を一度オフにし、再びオンにします。
8. ボードに電源投入後、クロック周波数が適切であることを確認してください。