

ML605 リファレンス デザイン ユーザー ガイド

UG535 (v1.0) 2009 年 9 月 25 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the "Documentation") to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU "AS-IS" WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© 2009 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. PCI, PCI Express, PCIe, and PCI-X are trademarks of PCI-SIG. All other trademarks are the property of their respective owners.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2009年9月25日	1.0	初版リリース

目次

改訂履歴.....	2
このユーザー ガイドについて	
その他の資料.....	5
その他のリソース.....	6
第 1 章： ML605 評価ボード	
はじめに.....	7
ML605 の機能.....	8
リファレンス デザイン.....	9
BIST (Built-In Self Test) 機能.....	9
MIG (Memory Interface Generator) での DDR3 デザイン.....	10
PCI Express 用統合ブロック.....	12
MultiBoot デザイン.....	13
ChipScope Pro の IBERT デザイン.....	14
システム モニタ.....	15
スタンドアロン アプリケーション.....	16
フラッシュ コンテンツの復元.....	17
付録 A： 参考資料	

このユーザー ガイドについて

このユーザー ガイドでは、ML605 評価ボードを使用して Virtex®-6 FPGA の機能を実証するデザインをいくつか紹介します。提供されているデザインには、Spartan-6 FPGA のマルチブートおよびメモリ インターフェイス ジェネレータに基づくプロセッシング システムが含まれます。

その他の資料

Virtex-6 ファミリに関するその他の情報は、<http://japan.xilinx.com/support/documentation/virtex-6.htm> から次を参照してください。

- 『Virtex-6 ファミリ概要』
Virtex-6 ファミリの機能とデバイスの概要を示しています。
- 『Virtex-6 FPGA データシート : DC 特性およびスイッチ特性』
Virtex-6 ファミリの DC 特性およびスイッチ特性が記載されています。
- 『Virtex-6 FPGA パッケージおよびピン配置の仕様』
デバイス/パッケージの組み合わせと最大 I/O 数、ピン定義、ピン配置表、ピン配置図、回路図、温度仕様が記載されています。
- 『Virtex-6 FPGA コンフィギュレーション ガイド』
この包括的なコンフィギュレーション ガイドでは、Virtex-6 コンフィギュレーション インターフェイス (シリアルおよび SelectMAP)、ビットストリーム暗号化、バウンダリスキャンと JTAG コンフィギュレーション、リコンフィギュレーション テクニック、および SelectMAP と JTAG を使用したリードバックについての詳細を説明しています。
- 『Virtex-6 FPGA クロック リソース ユーザー ガイド』
MMCM および PLL を含め、Virtex-6 デバイスのクロック リソースについて説明しています。
- 『Virtex-6 FPGA メモリ リソース ユーザー ガイド』
Virtex-6 デバイスのブロック RAM および FIFO の機能について説明しています。
- 『Virtex-6 FPGA SelectIO リソース ユーザー ガイド』
すべての Virtex-6 デバイスで利用可能な SelectIO™ リソースについて説明しています。
- 『Virtex-6 FPGA GTX トランシーバ ユーザー ガイド』
XC6VLX760 を除くすべての Virtex-6 FPGA デバイスで利用可能な GTX トランシーバについて説明しています。

- 『Virtex-6 FPGA エンベデッド トライモード イーサネット MAC ユーザー ガイド』
XC6VLX760 を除くすべての Virtex-6 FPGA デバイスで利用可能な Virtex-6 専用トライモード イーサネット メディア アクセス コントローラについて説明しています。
- 『Virtex-6 FPGA DSP48E1 スライス ユーザー ガイド』
Virtex-6 FPGA の DSP48E1 スライスのアーキテクチャについて説明し、コンフィギュレーション例を示しています。
- 『Virtex-6 FPGA システム モニタ ユーザー ガイド』
すべての Virtex-6 デバイスで利用可能な System Monitor 機能について説明しています。
- 『Virtex-6 FPGA PCB デザイン ガイド』
PCB およびインターフェイス レベルでデザインを決定するためのストラテジに焦点を置いて、Virtex-6 デバイスの PCB デザインに関する情報を示しています。

その他のリソース

シリコンおよびソフトウェアに関するアンサー データベースを検索したり、テクニカル サポートのウェブケースを開く場合は、次の Web サイトにアクセスしてください。

<http://japan.xilinx.com/support>.

ML605 評価ボード

はじめに

Virtex®-6 FPGA ML605 評価キット [参照 1] は、高い性能、シリアル コネクティビティ、そして最先端のメモリ インターフェースを必要とするシステム デザイン開発用にザイリンクスが提供するベースプラットフォームです。このキットを使用することで、有線通信、無線インフラ、ブロードキャストなど広範囲な市場向けのアプリケーションが設計できます。同梱されているツールは、高度なソリューションの構築から複雑な設計要件に対応するデザインの作成までを効率的に実行します。

ML605 評価キットには Virtex-6 FPGA XC6VLX240T-1FFG1156 [参照 2] が搭載されています。この FPGA には、6 入力 LUT アーキテクチャを採用してロジック容量を増加させた 241,152 のロジックセルが含まれます。詳細は、次のリンクから Virtex-6 ファミリー FPGA デバイス一覧表を参照してください。http://japan.xilinx.com/publications/prod_mktg/Virtex6_Product_Table.pdf

このキットには、BIST (Built-In Self Test)、デモ機能、リファレンス デザイン ファイルが含まれています。また、同梱の CompactFlash カードには、BIST のアプリケーションが付属されています。BIST は、電源投入時や System ACE CF JTAG インターフェースを介したリコンフィギュレーションなど、ボードの多様な機能の検証に便利です。『Virtex-6 FPGA ML605 評価キット入門』[参照 3] で説明されているチュートリアルを実行すると、ML605 のウェブ サイトで提供されているチュートリアルおよびリファレンス デザインが活用できるようになり、ML605 および Virtex-6 FPGA の機能をさらに試行できます。

ML605 評価キットで提供されるデモ内容に関する最新情報は、ML605 リファレンス デザインに関するウェブ サイト (http://japan.xilinx.com/products/boards/ml605/reference_designs.htm) を参照してください。

ML605 の機能

ML605 デザインは、ML605 評価ボードを使用して Virtex-6 FPGA の機能のデモを行うためのものです。これには次が含まれます。

- DDR3 SODIMM
- 16MB の Platform Flash XL
- 32MB のリニア BPI Flash
- System ACE CF カード
- USB JTAG
- 16 x 2 の LCD キャラクタ ディスプレイ
- ビデオ VGA
- USB ホストおよびペリフェラル
- SGMII 付きイーサネット (10/100/1000)
- 4 つの SMA コネクタ付き GTX ポート
- 200MHz の差動クロック、66MHz のソケット付きオシレータ、クロック用 SMA コネクタ
- 4 つの SMA コネクタ付き MGT クロック
- VITA 57.1 FMC HPC コネクタ
- VITA 57.1 FMC LPC コネクタ
- PCIe® Gen1 (8 レーン) および Gen2 (4 レーン)
- UART (USB ケーブルを使用)
- IIC EEPROM
- LED
- DIP スイッチ
- プッシュ ボタン
- システム モニタ
- 電源モニタ
- 電源：12V の AC アダプタまたは 12V の 4 ピン ATX

ML605 評価ボードの機能詳細は、『ML605 ハードウェア ユーザー ガイド』を参照してください。
[\[参照 1\]](#)

リファレンス デザイン

- [BIST \(Built-In Self Test\) 機能](#)
- [MIG \(Memory Interface Generator\) での DDR3 デザイン](#)
- [PCI Express 用統合ブロック](#)
- [MultiBoot デザイン](#)
- [ChipScope Pro の IBERT デザイン](#)
- [システム モニタ](#)

BIST (Built-In Self Test) 機能

BIST を使用して、ML605 評価キットが提供するさまざまな機能が検証できます。たとえば CompactFlash メモリから起動するようコンフィギュレーションした場合、電源投入時に BIST のメニュー画面が表示されます。FPGA のコンフィギュレーション後、Tera Term などのターミナルのプログラム画面に図 1-1 に示すようなテキスト画面が表示されます。この画面にリストされているテストの番号を 1 つ選択して入力してください。たとえば「5」と入力すると、IIC Test のアプリケーションが実行されます。

BIST ソフトウェアおよびその動作の詳細は、「ML605 Built-In Self Test Flash Application」チュートリアルを参照してください。[参照 22]

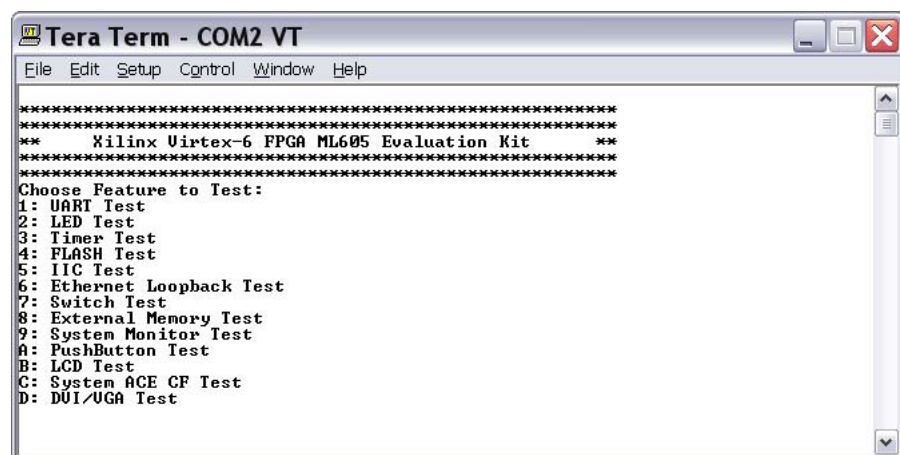


図 1-1 : BIST の初期画面

BIST プログラムは、デフォルトでは ML605 評価キットに付属の CompactFlash (CF) カード上にある System ACE のコンフィギュレーション アドレス 0 にあります。「ML605 Restoring Flash Contents」チュートリアルでは、メモリのデータを工場出荷時のデフォルト内容に復元する方法を説明しています。[参照 29]

MIG (Memory Interface Generator) での DDR3 デザイン

Virtex-6 FPGA のメモリ インターフェース ソリューション コア (図 1-2 参照) は、DDR3 SDRAM、DDR2 SDRAM、QDR II+ SRAM への高性能接続を実現します。デザインの物理層 (PHY) 側は FPGA の I/O ブロック (IOB) を介して DDR2 または DDR3 SDRAM デバイスに接続し、ユーザー インターフェース (UI) 側は FPGA ロジックを介してユーザー デザインに接続しています。

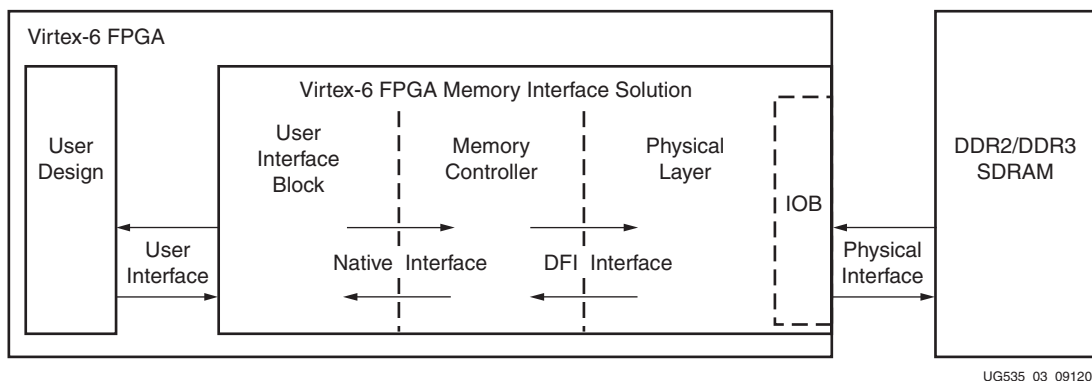


図 1-2 : Virtex-6 FPGA のメモリ インターフェース ソリューション

ML605 の DDR3 SODIMM デザインとそれに関するチュートリアルでは、MIG で生成した 64 ビットの DDR3 メモリ アプリケーションの効率的で高帯域なデータ伝送を実例を挙げて示しています。デザイン例には、メモリ コントローラの物理層のロジックへのインターフェイスに ChipScope Pro が使用されています。このインターフェイスは、読み出しおよび書き込みキャプレーションと位相検出制御の状態を監視し、書き込まれたデータ パターンの検証に使用されます。

DDR3 メモリ アプリケーションの詳細は、「ML605 MIG Design Creation」チュートリアルを参照してください。[参照 23]

MIG ツールを使用すると、シンプルなユーザー インターフェースが作成できます (図 1-3 参照)。MIG に関する詳細は、『Virtex-6 FPGA メモリ リソース ユーザー ガイド』[参照 9] を参照してください。

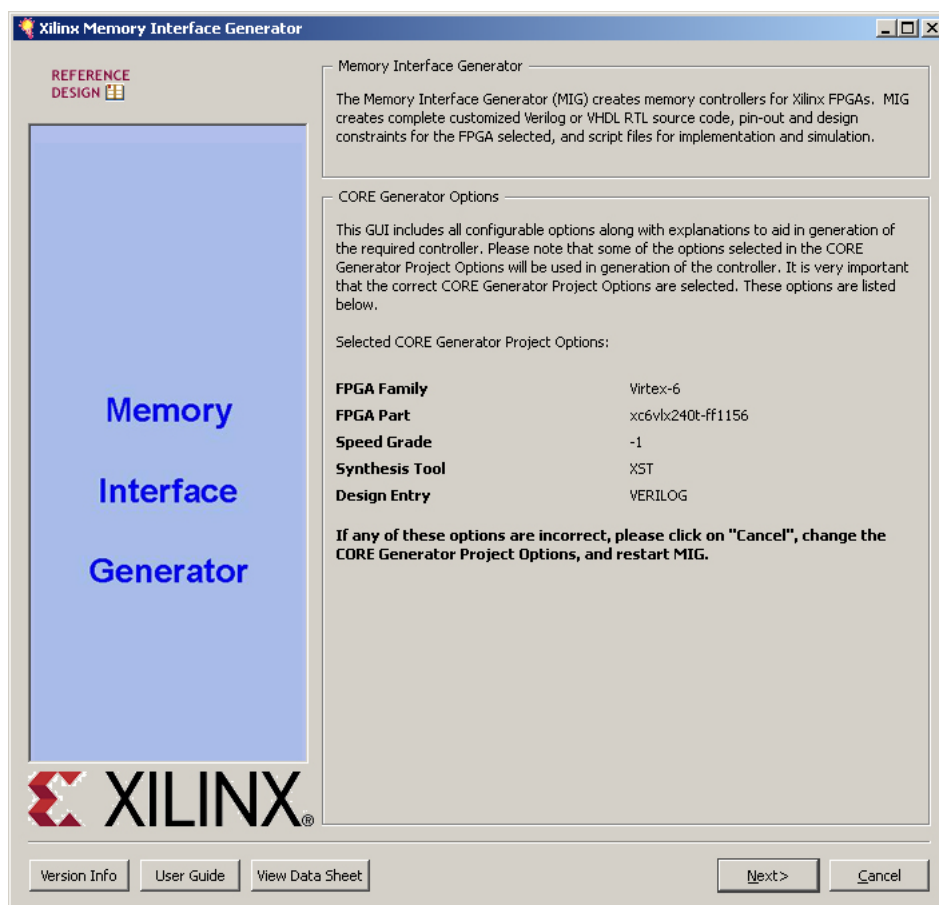


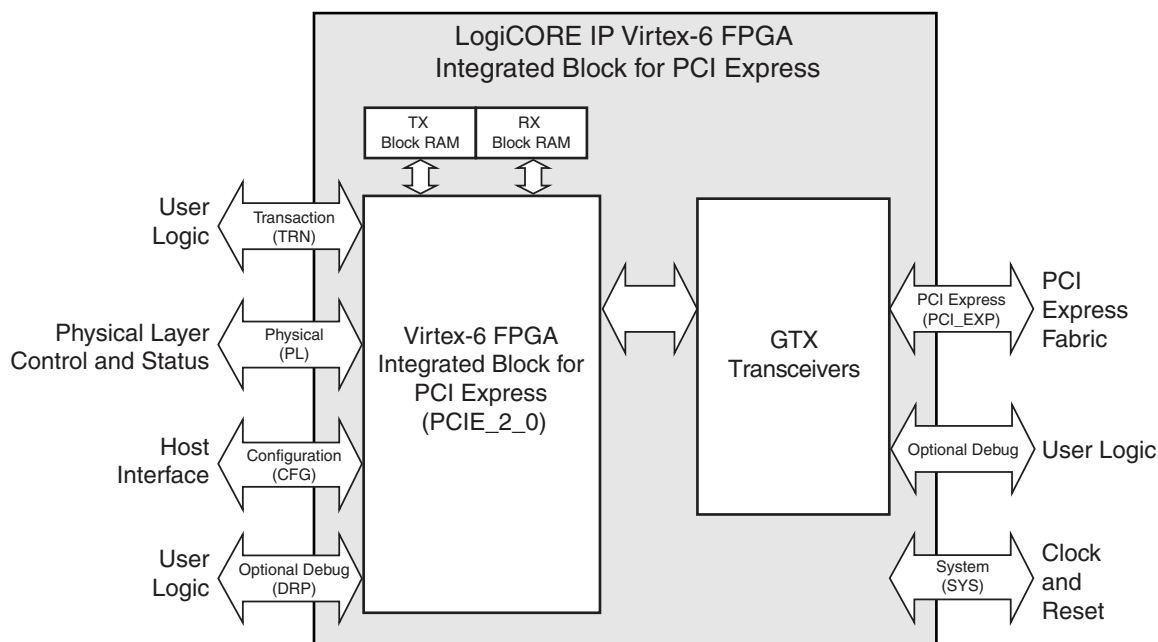
図 1-3 : MIG の GUI

PCI Express 用統合ブロック

LogiCORE™ IP Virtex-6 Integrated Block for PCI Express® コアは、Virtex-6 FPGA ファミリー向けの高信頼性、高帯域幅かつスケーラブルなシリアル相互接続構築ブロックです。このコアは、Virtex-6 FPGA の PCI Express 用統合ブロックをインスタンス化し、Verilog®-HDL でのみサポートされています。

PCIe 用統合ブロックは、内部では Virtex-6 Integrated Block for PCI Express を使用しています。この統合ブロックは、Express Base Specification のレイヤー モデルに従っており、物理層、データリンク層、トランザクション層を含みます。また、PCI Express Base Specification v2.0 に準拠しています。

LogiCORE™ IP Virtex-6 Integrated Block for PCI Express コアは、Virtex-6 FPGA デバイス向けの高帯域幅、スケーラブル、かつ高信頼性のシリアル相互接続構築ブロックです。PCI Express (PCIe®) 統合ブロック ソリューションでは、1 レーン、2 レーン、4 レーン、8 レーンの各エンドポイント動作を Gen2 の速度までサポートし、それらはすべて、PCI Express Base Specification v2.0 に準拠しています。[参照 19] [参照 20]



UG535_04_091209

図 1-4：トップ階層のファンクションブロックおよびインターフェース

ML605 では、エンドポイント アプリケーション向けに 8 レーンの PCIe エッジ コネクタを提供しています。チュートリアルおよびデザイン ファイルでは、CORE Generator ツールを使用して、LogiCORE IP ブロックを PCIe Gen1 で 8 つ、および PCIe Gen2 で 4 つ生成する方法を説明しています。生成された PCIe デザインには Programmed Input/Output (PIO) の例が含まれ、その例では、FPGA ブロック RAM を使用して PCIe インターフェースからアクセス可能なメモリ空間を作成しています。ホスト PC で実行する PCIe ユーティリティプログラムは、コンフィギュレーション空間のクエリ、PCIe インターフェースを介した FPGA メモリの読み出しや書き込みに使用します。

詳細は、チュートリアル「ML605 PCIe x8 Gen1 Design Creation」[参照 24] および「ML605 PCIe x4 Gen2 Design Creation」[参照 25] を参照してください。

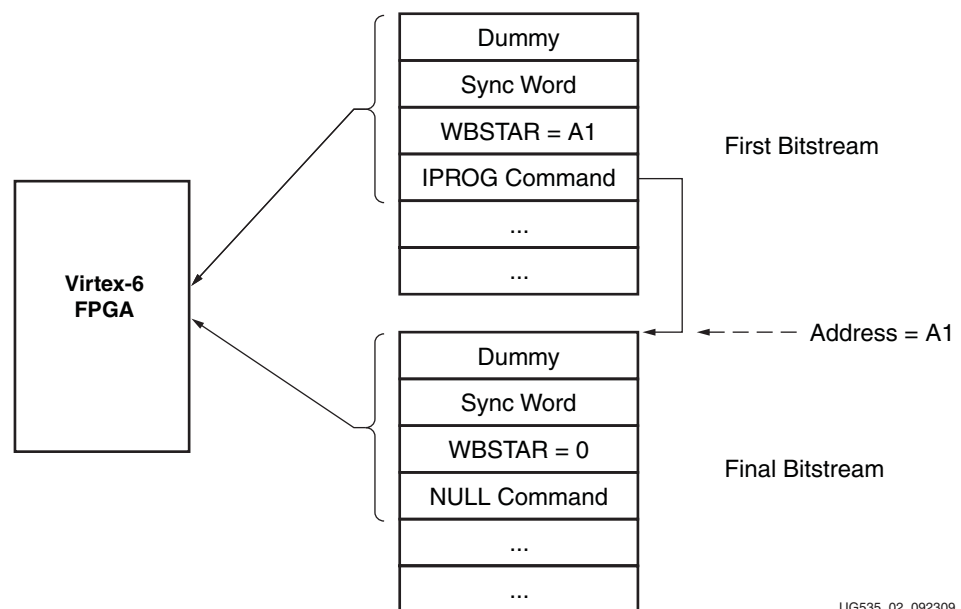
MultiBoot デザイン

MultiBoot とは、FPGA が外部メモリからビット ストリームを再プログラムおよびリロードするプロセスのことです。この機能によって、システムに不具合を発生させることなく、すでに保存されているビット ストリームをフィールドで新しいビット ストリームに更新できます。通常、更新プロセスには 5 つの手順があります。

1. 新規の MultiBoot イメージ生成
2. 新規イメージを受信するためのシステム セットアップ
3. ユーザー アプリケーションでフラッシュの該当エリアを消去
4. 新規イメージをシステムのフラッシュ メモリに書き込み
5. ユーザー アプリケーションでシステムをリセット

MultiBoot のチュートリアルでは、ユーザーのロジック イベントで開始される 2 つの FPGA コンフィギュレーションを切り替える方法を説明しています。リファレンス デザインでは、ICAP (Internal Configuration Access Port)、IPIGROG コマンド、FPGA の WBSTAR (Warm Boot Start Address Register) を使用した Virtex-6 の MultiBoot 機能を示しています。

Virtex-6 の MultiBoot 機能の詳細は、『Virtex-6 FPGA コンフィギュレーション ガイド』[参照 10] を参照してください。また、Virtex-6 FPGA でのこの動作のデモは、「ML605 MultiBoot Design」チュートリアルを参照してください [参照 26]。



UG535_02_092309

図 1-5 : ビット ストリームに組み込まれた IPIGROG

ChipScope Pro の IBERT デザイン

CORE Generator ツールを使用すると、Virtex-6 の GTX トランシーバを使用するハードウェア デザイン用の IBERT (Integrated Bit Error Ratio Test) コアが作成できます。IBERT コアには、Virtex-6 GTX トランシーバを使用するデザイン、データ パターン ジェネレータ、データ パターン チェックが含まれます。デザインは、設計者が入力したデバイスとパッケージ、システム クロック ピンの配置、GTX のリファレンス クロック、ライン レートに基づいて生成されます。構成が完了すると、FPGA で動作している IBERT のデザインが ChipScope Pro Analyzer の IBERT コンソールで制御され、GTX トランシーバの属性が設定されて高速シリアル GTX トランシーバが使用できるようになります。

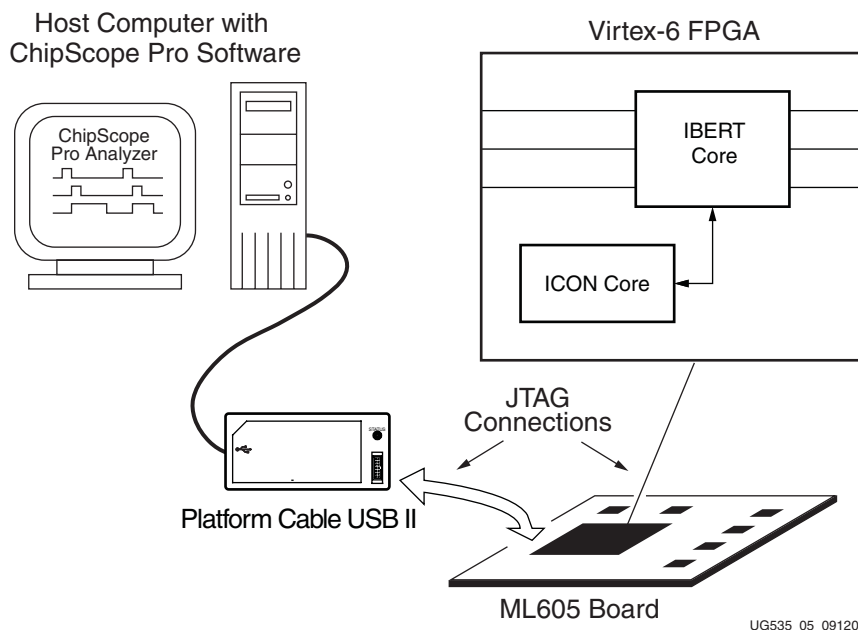


図 1-6 : ChipScope Pro ソフトウェアを使用した IBERT コアの生成

LogiCORE の IBERT デザインでは、GTX トランシーバを使用する次のインタフェースのループバック接続を検証します。

- SFP
- SMA
- SGMII 規格のイーサネット
- PCIe
- FMC-HPC
- FMC-LPC

「ML605 GTX IBERT Design Creation」チュートリアル、および付属のリファレンス デザインでは CORE Generator ツールおよび ChipScope Pro Analyzer ソフトウェアを使用して ML605 GTX トランシーバを活用する方法を示しています。[参照 27]

ChipScope Pro Analyzer ツールの詳細は、『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。[参照 4]

システム モニタ

Virtex-6 FPGA ファミリ製品はいずれもダイの中央にシステム モニタを 1 つ内蔵しています。システム モニタは、10ビット、200kSPS (キロサンプル/秒) の ADC (Analog-to-Digital Converter) を含んでおり、デジタル平均化機能も備えています。オンチップ センサを多数組み合わせる場合、ADC を使用してチップの電源電圧やダイ温度など、FPGA の物理的な動作パラメータを計測できます。外部電圧へのアクセスには、専用のアナログ入力ペア (VP/VN) および補助アナログ入力と呼ばれる 16 のユーザー選択可能なアナログ入力を使用できます。また、外部のアナログ入力を使用して、ADC で評価ボード内外の物理的環境をモニタできます。システム モニタは電源を投入した時点で完全に機能し、計測されたデータへはコンフィギュレーション前後およびコンフィギュレーション中に JTAG ポートを介してアクセス可能です。

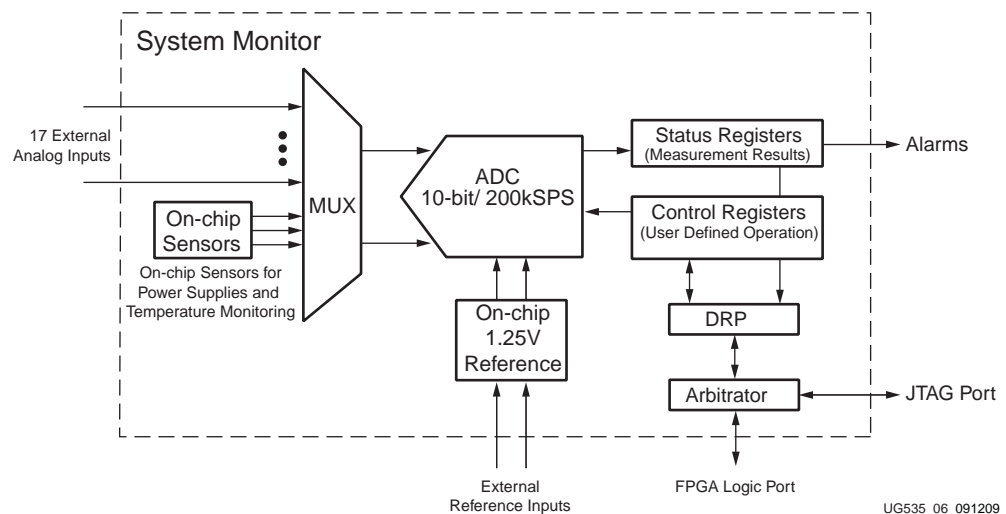


図 1-7 : システム モニタのブロック図

システム モニタは Tera Term などのターミナルプログラム ウィンドウで実行され、次のようなテキストを表示します (図 1-8 参照)。詳細は、「ML605 システム モニタ」チュートリアルを参照してください。[参照 28]

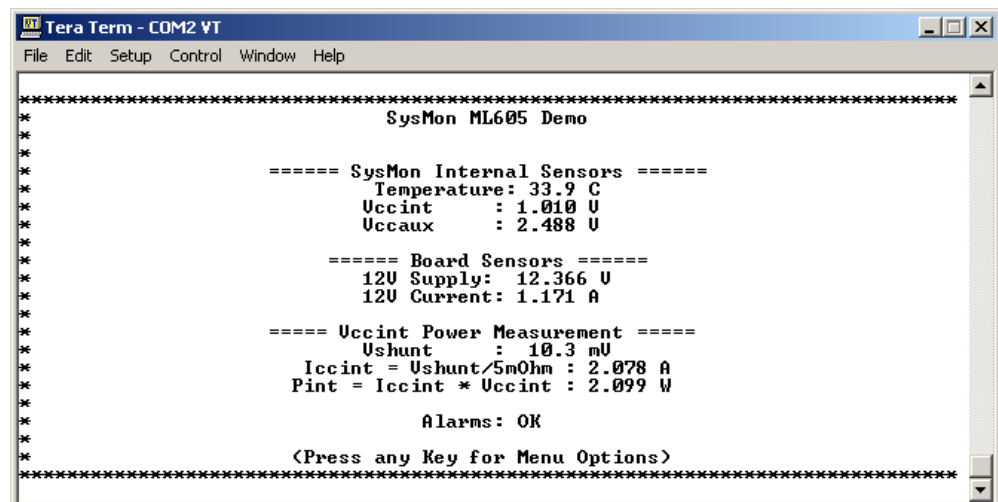


図 1-8 : システム モニタの検証

スタンドアロン アプリケーション

評価ボードの各機能は、BIST アプリケーション [参照 22] あるいは ML605 のウェブ サイトで提供されているチュートリアルおよびデザインを使用して検証できます。

表 1-1 に、ML605 評価ボードで使用できるスタンドアロン アプリケーションを示します。

表 1-1：スタンドアロン アプリケーション

機能	検証方法
Virtex-6 FPGA	BIST
DDR3 SODIMM	BIST
128Mb Platform Flash XL	SelectMAP コンフィギュレーション モード
Linear BPI Flash	BIST、BPI-UP コンフィギュレーション モード
System ACE CF ソケット、コントローラ	BIST
JTAG ケーブル コネクタ (USB-Mini-B)	コンフィギュレーション
クロック生成	200MHz のシステム クロック、 66MHz のソケット付きクロック、ユーザー SMA
GTX RX/TX ポート	IBERT ウェブ サイト チュートリアル
PCIe Gen1 (8 レーン) および Gen2 (4 レーン)	PCIe および IBERT ウェブ サイト チュートリアル
SFP コネクタおよびケージ	IBERT ウェブ サイト チュートリアル
SGMII 規格のイーサネット (10/100/1000)	IBERT ウェブ サイト チュートリアル
USB-Mini-B USB-to-UART ブリッジ	BIST
USB-A ホスト、USB-Mini-B 周辺コネクタ	工場にて出荷試験
ビデオ VGA	BIST
LED (Ethernet PHY)	BIST
LED (INIT/DONE)	BIST
ユーザー LED：緑 (8)、緑 (5)	BIST
ユーザー DIP スイッチ	BIST
ユーザー プッシュ ボタン	BIST
16 文字 x 2 列の LCD ディスプレイ	BIST
スイッチ (PROG、ON/OFF、モード DIP)	BIST
FMC-HPC コネクタ	工場にて出荷試験
FMC-LPC コネクタ	工場にて出荷試験
電力管理	工場にて出荷試験
12V の電源入力コネクタ	BIST
システム モニタのインターフェース コネクタ	BIST、ウェブサイトのチュートリアル

フラッシュ コンテンツの復元

ML605 評価キットには、Platform Flash XL、Linear BPI Flash、Compact Flash の複数の不揮発性メモリが搭載されており、これらはユーザーが生成したデザインで上書き可能です。「Restoring Flash Contents」チュートリアル [\[参照 29\]](#) では、フラッシュ メモリにプログラムされた初期機能の復元方法を説明しています。

参考資料

このセクションでは、Virtex-6 FPGA、ツール、および IP コアに関する参考文献の参照先を示します。その他の資料は、japan.xilinx.com/support/documentation/index.htm を参照してください。

1. [UG534](#): 『ML605 ハードウェア ユーザー ガイド』
2. [DS150](#): 『Virtex-6 ファミリー概要』
3. [UG525](#): 『Virtex-6 FPGA ML605 評価キット入門ガイド』
4. [UG029](#): 『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』
5. [DS152](#): 『Virtex-6 FPGA データシート : DC 特性およびスイッチング特性』
6. [UG360](#): 『Virtex-6 FPGA コンフィギュレーション ガイド』
7. [UG361](#): 『Virtex-6 FPGA SelectIO リソース ユーザー ガイド』
8. [UG362](#): 『Virtex-6 FPGA クロッキング リソース ユーザー ガイド』
9. [UG363](#): 『Virtex-6 FPGA メモリ リソース ユーザー ガイド』
10. [UG364](#): 『Virtex-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』
11. [UG365](#): 『Virtex-6 FPGA パッケージおよびピン配置仕様』
12. [UG366](#): 『Virtex-6 FPGA GTX トランシーバ ユーザー ガイド』
13. [UG369](#): 『Virtex-6 FPGA DSP48E1 スライス ユーザー ガイド』
14. [DS186](#): 『Virtex-6 FPGA メモリ インターフェイス ソリューション データシート』
15. [UG370](#): 『Virtex-6 FPGA システム モニタ ユーザー ガイド』
16. [DS643](#): 『マルチポート メモリ コントローラ (MPMC) (v5.02a) データシート』
17. [UG086](#): 『メモリ インターフェイス ソリューション ユーザー ガイド』
18. [UG138](#): 『LogiCORE™ IP トライモード イーサネット MAC v4.2 ユーザー ガイド』
19. [UG517](#): 『LogiCORE™ IP Virtex-6 FPGA の PCI Express 用インテグレイテッド ブロック v1.3 ユーザー ガイド』
20. [DS715](#): 『Virtex-6 FPGA の PCI Express 用インテグレイテッド ブロック v1.3 データシート』
21. 『Platform Studio EDK』

ML605 チュートリアル、デモ、およびデザイン ファイルは、

http://japan.xilinx.com/products/boards/ml605/reference_designs.htm を参照してください。

22. [XTP056](#): 『ML605 ビルトイン セルフ テスト (BIST) フラッシュ アプリケーション (rdf0017.zip)』
23. [XTP047](#): 『ML605 MIG デザイン作成 (rdf0011.zip)』
24. [XTP044](#): 『ML605 PCIe x8 Gen1 デザイン作成 (rdf0008.zip)』
25. [XTP045](#): 『ML605 PCIe x4 Gen2 デザイン作成 (rdf0009.zip)』
26. [XTP043](#): 『ML605 マルチブート デザイン (rdf0007.zip)』
27. [XTP046](#): 『ML605 GTX IBERT デザイン作成 (rdf0010.zip)』

28. [XTP048](#)：『ML605 システム モニタ ([rdf0012.zip](#))』
29. [XTP055](#)：『ML605 のフラッシュ コンテンツのリストア ([rdf0021.zip](#)、[rdf0022.zip](#))』