

# Kintex-7 FPGA 用 KC705 評価ボード

## ユーザー ガイド

UG810 (v1.0) 2012 年 1 月 23 日



© Copyright 2011– 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. PCI, PCI Express, PCIe, and PCI-X are trademarks of PCI-SIG. All other trademarks are the property of their respective owners.

#### DISCLAIMER

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials, or to advise you of any corrections or update. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011 年 1 月 23 日	1.0	初版リリース

# 目次

---

改訂履歴.....	2
<b>第 1 章 : KC705 評価ボードの機能</b>	
概要 .....	5
その他の情報 .....	5
KC705 ボードの機能 .....	5
機能の解説.....	7
Kintex-7 XC7K325T-2FFG900C FPGA .....	9
DDR3 メモリ .....	10
リニア BPI フラッシュ メモリ .....	14
クワッド SPI (QSPI) フラッシュ メモリ .....	17
SD カード インターフェイス.....	18
USB JTAG .....	20
クロック生成 .....	21
GTX トランシーバー .....	25
PCI Express エンドポイント接続 .....	27
SFP/SFP+ モジュール コネクタ .....	31
10/100/1000 トライスピード イーサネット PHY .....	33
USB-UART ブリッジ .....	36
HDMI ビデオ出力 .....	37
LCD キャラクター ディスプレイ (16 文字 x 2 行).....	40
I2C バス .....	42
ステータス LED .....	43
ユーザー I/O .....	44
スイッチ .....	46
VITA 57.1 FMC HPC コネクタ (一部割り当て).....	48
VITA 57.1 FMC LPC コネクタ (全ピン割り当て) .....	49
パワー マネージメント.....	50
XADC ヘッダー .....	55
コンフィギュレーション オプション .....	57
<b>付録 A : ドキュメントおよびリソース</b>	
ドキュメント .....	61
KC705 ボードのウェブページ .....	62
製品サポート .....	62
<b>付録 B : スイッチおよびジャンパーのデフォルト設定</b>	
DIP スイッチ SW11 ユーザー GPIO .....	63
DIP スイッチ SW13 モードおよびフラッシュ アドレス設定 .....	63
デフォルト ジャンパー設定 .....	64
<b>付録 C : VITA 57.1 FMC コネクタのピン配置</b>	
<b>付録 D : マスター UCF リスト</b>	
KC705 ボードの UCF リスト .....	67



# KC705 評価ボードの機能

---

## 概要

Kintex™-7 FPGA 用の KC705 評価ボードは、Kintex-7 XC7K325T-2FFG900C FPGA をターゲットとするデザインを開発および評価するためのハードウェア環境を提供します。KC705 ボードは、DDR3 SODIMM メモリ、8 レーンの PCI Express® インターフェイス、トライモード イーサネット PHY、汎用 I/O、UART インターフェイスなど、多くのエンベデッド処理システムで使用頻度の高い機能を備えています。ボード上に 2 つ用意された VITA-57 FPGA メザニン コネクタ (FMC) のいずれかにメザニン カードを挿入することで、その他の機能も追加できます。これらの FMC は、ハイピン カウント (HPC) およびローピン カウント (LPC) をサポートしています。機能の一覧は、「[KC705 ボードの機能](#)」を参照してください。各機能の詳細は、[7 ページの「機能の解説」](#)で解説しています。

## その他の情報

KC705 ボードに関連する資料、ファイル、リソースなどの参照先は、[付録 A 「資料およびリソース」](#)に記載されています。

## KC705 ボードの機能

- Kintex-7 XC7K325T-2FFG900C FPGA
- 1GB DDR3 メモリ SODIMM
- 128MB リニア BPI フラッシュ メモリ
- 128Mb クワッド SPI フラッシュ メモリ
- セキュア デジタル (SD) コネクタ
- Digilent モジュールによる USB JTAG
- クロック生成
  - 200MHz 固定 LVDS オシレーター (差動)
  - I<sup>2</sup>C プログラマブル LVDS オシレーター (差動)
  - SMA コネクタ (差動)
  - GTX トランシーバー クロッキング用 SMA コネクタ
- GTX トランシーバー
  - FMC HPC コネクタ (GTX トランシーバー x4 個)
  - FMC LPC コネクタ (GTX トランシーバー x1 個)
  - SMA コネクタ (TX、RX、REFCLK のそれぞれに 1 ペア)
  - PCI Express (8 レーン)

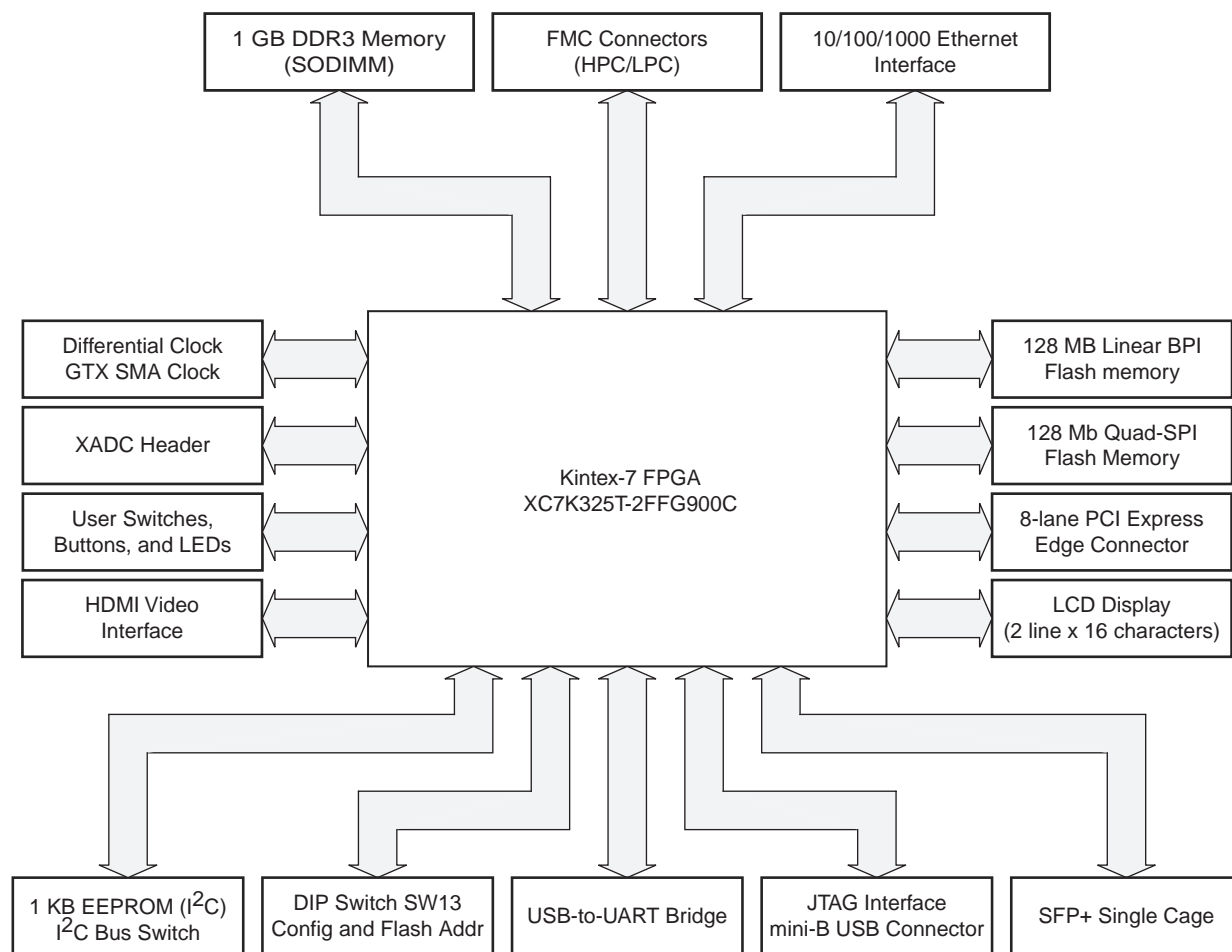
- SFP+ (Small Form-factor Pluggable plus) コネクタ
- イーサネット PHY SGMII インターフェイス (RJ-45 コネクタ)
- PCI Express エンドポイント接続
  - Gen1 8 レーン (x8)
  - Gen2 8 レーン (x8)
- SFP+ コネクタ
- 10/100/1000 トライスピード イーサネット PHY
- USB-UART ブリッジ
- HDMI コーデック
- I<sup>2</sup>C バス
  - I<sup>2</sup>C MUX
  - I<sup>2</sup>C EEPROM (1KB)
  - I<sup>2</sup>C ユーザー プログラマブル 3.3V LVDS オシレーター
  - DDR3 SODIMM ソケット
  - HDMI コーデック
  - FMC HPC コネクタ
  - FMC LPC コネクタ
  - SFP+ コネクタ
  - I<sup>2</sup>C プログラマブル ジッター減衰高精度クロック通倍器
- ステータス LED
  - イーサネットのステータス
  - 電源の正常動作 (パワー グッド)
  - FPGA 初期化 (INIT)
  - FPGA コンフィギュレーション完了 (DONE)
- ユーザー I/O
  - ユーザー LED (8 GPIO)
  - ユーザー プッシュボタン (5 方向)
  - CPU リセット プッシュボタン
  - ユーザー DIP スイッチ (4 極 GPIO)
  - ユーザー SMA GPIO コネクタ (1 ペア)
  - LCD キャラクター ディスプレイ (16 文字 x 2 行)
- スイッチ
  - 電源 ON/OFF スライド スイッチ
  - コンフィギュレーション モード DIP スイッチ
- VITA 57.1 FMC HPC コネクタ
- VITA 57.1 FMC LPC コネクタ
- 電力管理
  - TI 電源コントローラーによる PMBus の電圧および電流監視
- XADC ヘッダー

- コンフィギュレーション オプション
  - リニア BPI フラッシュ メモリ
  - クワッド SPI
  - USB JTAG コンフィギュレーション ポート
  - プラットフォーム ケーブル ヘッダー JTAG コンフィギュレーション ポート

図 1-1 に、KC705 ボードのブロック図を示します。KC705 ボードの回路図は、次のウェブサイトからダウンロードできます。

[http://japan.xilinx.com/support/documentation/kc705\\_13-4.htm](http://japan.xilinx.com/support/documentation/kc705_13-4.htm)

注意：KC705 ボードは、静電気放電 (ESD) によって損傷する可能性があります。ボードを取り扱う際は、標準的な ESD 保護対策を講じてください。



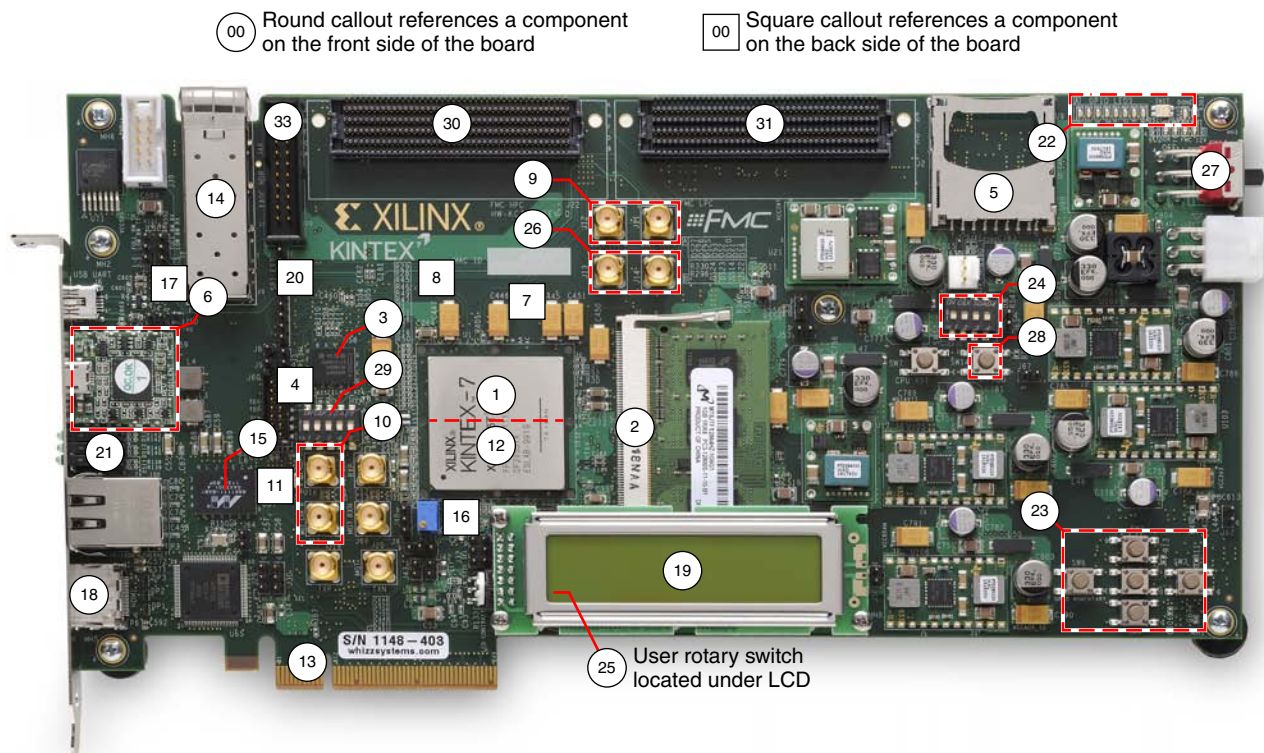
UG810\_c1\_01\_011812

図 1-1 : KC705 ボードのブロック図

## 機能の解説

図 1-2 に KC705 ボードを示します。図 1-2 内の番号は、後続の各セクションに記載の番号に対応します。

注記：図 1-2 の写真は参照用であり、現リビジョンのボードとは異なる可能性があります。



- |                                   |  |
|-----------------------------------|--|
| 1 Kintex-7 XC7K325T-2FFG900C FPGA | 17 USB-UART ブリッジ                                   |
| 2 DDR3 SODIMM メモリ (1GB)           | 18 HDMI ビデオ出力                                      |
| 3 リニア BPI フラッシュ メモリ (128MB)       | 19 LCD キャラクター ディスプレイ                               |
| 4 クワッド SPI フラッシュ (32MB)           | 20 I <sup>2</sup> C バス管理                           |
| 5 SD カード インターフェイス                 | 21 ステータス LED                                       |
| 6 USB JTAG インターフェイス               | 22 ユーザー LED、INIT および DONE LED                      |
| 7 システム クロック (U6)                  | 23 ユーザー プッシュボタン (アクティブ High) (SW2 ~ SW6)           |
| 8 プログラマブル ユーザー クロック (U45)         | 24 ユーザー GPIO DIP スイッチ (SW11)                       |
| 9 ユーザー SMA クロック (J11/J12)         | 25 ユーザー ロータリー スイッチ                                 |
| 10 GTX SMA クロック                   | 26 ユーザー SMA  |
| 11 ジッター減衰クロック                     | 27 電源 ON/OFF スイッチ (SW15)                           |
| 12 GTX トランシーバー                    | 28 FPGA 「PROG」 プッシュボタン                             |
| 13 PCI Express コネクタ               | 29 コンフィギュレーション モード/リニア フラッシュ<br>上位アドレス スイッチ (SW13) |
| 14 SFP/SFP+ モジュール コネクタ            | 30 FMC HPC コネクタ (J22)                              |
| 15 10/100/1000MHz イーサネット PHY      | 31 FMC LPC コネクタ (J2)                               |
| 16 SGMII GTX トランシーバー クロック ジェネレーター | 32 電力管理、TI コントローラー (裏面)                            |
|                                   | 33 XADC ヘッダー                                       |

UG841\_c1\_02\_011812

図 1-2 : KC705 ボードのコンポーネント



## Kintex-7 XC7K325T-2FFG900C FPGA

[図 1-2、参照番号「1」]

KC705 ボードには、Kintex-7 XC7K325T-2FFG900C FPGA が搭載されています。Ironwood Electronics 社の SG-BGA-6042 ソケットをサポートするため、使用禁止エリアとドリル穴が FPGA U1 の周辺に指定されています。

Kintex-7 FPGA の詳細は、データシート [DS180](#) 『7 シリーズ FPGA の概要』を参照してください。

### FPGA コンフィギュレーション

KC705 ボードは、7 シリーズ FPGA の 5 つのコンフィギュレーション モードのうち、次の 3 つが使用できます。

- オンボード クワッド SPI フラッシュ メモリを使用するマスター SPI
- オンボード リニア BPI フラッシュ メモリを使用するマスター BPI
- ホスト PC と KC705 ボードのコンフィギュレーション ポートを Type-A/mini-B USB ケーブルで接続して使用する JTAG

表 1-1 に示すとおり、各コンフィギュレーション インターフェイスは、1 つまたは複数のコンフィギュレーション モードとバス幅に対応します。モード スイッチの M2、M1、M0 はそれぞれ、[図 1-3](#) に示す SW13 の位置 3、4、5 です。

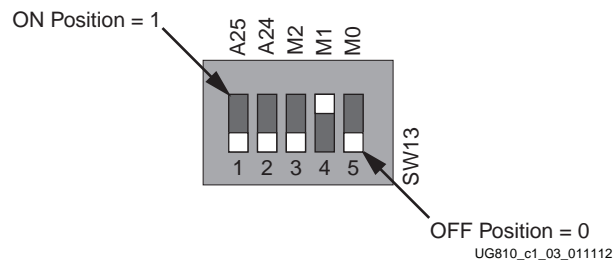


図 1-3 : SW13 のデフォルト設定

デフォルトのモード設定は M[2:0] = 010 で、ボードへの電源投入時にマスター BPI が選択されます。モード スイッチ SW13 の詳細は、[57 ページ](#)の「[コンフィギュレーション オプション](#)」を参照してください。

表 1-1 : KC705 ボード FPGA のコンフィギュレーション モード

コンフィギュレーション モード	SW13 DIP スイッチ 設定 (M[2:0])	バス幅	CCLK 方向
マスター SPI	001	x1、x2、x4	出力
マスター BPI	010	x8、x16	出力
JTAG	101	x1	該当なし

FPGA コンフィギュレーションの詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』([UG470](#)) を参照してください。

### I/O 電圧レール

Kintex-7 デバイスには 11 個の I/O バンクがあります。[表 1-2](#) に、KC705 ボードが使用する FPGA I/O バンクに対する電圧を示します。

表 1-2 : I/O 電圧レール

U1 FPGA バンク	電源レール ネット名	電圧
バンク 0	VCC2V5_FPGA	2.5V
バンク 12 <sup>(1)</sup>	VADJ_FPGA	2.5V (デフォルト)
バンク 13 <sup>(1)</sup>	VADJ_FPGA	2.5V (デフォルト)
バンク 14	VCC2V5_FPGA	2.5V
バンク 15	VCC2V5_FPGA	2.5V
バンク 16 <sup>(1)</sup>	VADJ_FPGA	2.5V (デフォルト)
バンク 17 <sup>(1)</sup>	VADJ_FPGA	2.5V (デフォルト)
バンク 18 <sup>(1)</sup>	VADJ_FPGA	2.5V (デフォルト)
バンク 32	VCC1V5_FPGA	1.5V
バンク 33	VCC1V5_FPGA	1.5V
バンク 34	VCC1V5_FPGA	1.5V

注記 :

1. VADJ\_FPGA レールは 1.8V、2.5V、3.3V をサポートします。  
VADJ\_FPGA の詳細は、50 ページの「電力管理」を参照してください。

## DDR3 メモリ

[図 1-2、参照番号「2」]

J1 のメモリ モジュールは、1GB の DDR3 SODIMM (Small Outline Dual-Inline Memory Module) です。これは、ユーザー コードやデータを保存する、揮発性の SDRAM (同期 DRAM) です。

- 製品番号 : MT8JTF12864HZ-1G6G1 (Micron Technology)
- 電源電圧 : 1.5V
- データ バス幅 : 64 ビット
- データ レート : 最大 1600MT/s

DDR3 インターフェイスは、I/O バンク 32、33、34 にまたがって実装されています。各バンクは、専用の DCI VRP/N 抵抗接続を用いる 1.5V HP (High Performance) バンクです。データ インターフェイス バンク 32 および 34 には、0.75V の外部基準電圧 VTTREF があります。これらのバンクに接続されるインターフェイスで基準電圧を必要とするものは、すべてこの電圧を使用する必要があります。表 1-3 に、DDR3 メモリと FPGA 間の接続を示します。

表 1-3 : DDR3 メモリと FPGA の接続

U1 FPGA ピン	ネット名	J1 DDR3 メモリ	
		ピン番号	ピン名
AH12	DDR3_A0	98	A0
AG13	DDR3_A1	97	A1
AG12	DDR3_A2	96	A2
AF12	DDR3_A3	95	A3

表 1-3 : DDR3 メモリと FPGA の接続 (続き)

U1 FPGA ピン	ネット名	J1 DDR3 メモリ	
		ピン番号	ピン名
AJ12	DDR3_A4	92	A4
AJ13	DDR3_A5	91	A5
AJ14	DDR3_A6	90	A6
AH14	DDR3_A7	86	A7
AK13	DDR3_A8	89	A8
AK14	DDR3_A9	85	A9
AF13	DDR3_A10	107	A10/AP
AE13	DDR3_A11	84	A11
AJ11	DDR3_A12	83	A12_BC_N
AH11	DDR3_A13	119	A13
AK10	DDR3_A14	80	A14
AK11	DDR3_A15	78	A15
AH9	DDR3_BA0	109	BA0
AG9	DDR3_BA1	108	BA1
AK9	DDR3_BA2	79	BA2
AA15	DDR3_D0	5	DQ0
AA16	DDR3_D1	7	DQ1
AC14	DDR3_D2	15	DQ2
AD14	DDR3_D3	17	DQ3
AA17	DDR3_D4	4	DQ4
AB15	DDR3_D5	6	DQ5
AE15	DDR3_D6	16	DQ6
Y15	DDR3_D7	18	DQ7
AB19	DDR3_D8	21	DQ8
AD16	DDR3_D9	23	DQ9
AC19	DDR3_D10	33	DQ10
AD17	DDR3_D11	35	DQ11
AA18	DDR3_D12	22	DQ12
AB18	DDR3_D13	24	DQ13
AE18	DDR3_D14	34	DQ14
AD18	DDR3_D15	36	DQ15
AG19	DDR3_D16	39	DQ16
AK19	DDR3_D17	41	DQ17

表 1-3 : DDR3 メモリと FPGA の接続 (続き)

U1 FPGA ピン	ネット名	J1 DDR3 メモリ	
		ピン番号	ピン名
AG18	DDR3_D18	51	DQ18
AF18	DDR3_D19	53	DQ19
AH19	DDR3_D20	40	DQ20
AJ19	DDR3_D21	42	DQ21
AE19	DDR3_D22	50	DQ22
AD19	DDR3_D23	52	DQ23
AK16	DDR3_D24	57	DQ24
AJ17	DDR3_D25	59	DQ25
AG15	DDR3_D26	67	DQ26
AF15	DDR3_D27	69	DQ27
AH17	DDR3_D28	56	DQ28
AG14	DDR3_D29	58	DQ29
AH15	DDR3_D30	68	DQ30
AK15	DDR3_D31	70	DQ31
AK8	DDR3_D32	129	DQ32
AK6	DDR3_D33	131	DQ33
AG7	DDR3_D34	141	DQ34
AF7	DDR3_D35	143	DQ35
AF8	DDR3_D36	130	DQ36
AK4	DDR3_D37	132	DQ37
AJ8	DDR3_D38	140	DQ38
AJ6	DDR3_D39	142	DQ39
AH5	DDR3_D40	147	DQ40
AH6	DDR3_D41	149	DQ41
AJ2	DDR3_D42	157	DQ42
AH2	DDR3_D43	159	DQ43
AH4	DDR3_D44	146	DQ44
AJ4	DDR3_D45	148	DQ45
AK1	DDR3_D46	158	DQ46
AJ1	DDR3_D47	160	DQ47
AF1	DDR3_D48	163	DQ48
AF2	DDR3_D49	165	DQ49
AE4	DDR3_D50	175	DQ50

表 1-3 : DDR3 メモリと FPGA の接続 (続き)

U1 FPGA ピン	ネット名	J1 DDR3 メモリ	
		ピン番号	ピン名
AE3	DDR3_D51	177	DQ51
AF3	DDR3_D52	164	DQ52
AF5	DDR3_D53	166	DQ53
AE1	DDR3_D54	174	DQ54
AE5	DDR3_D55	176	DQ55
AC1	DDR3_D56	181	DQ56
AD3	DDR3_D57	183	DQ57
AC4	DDR3_D58	191	DQ58
AC5	DDR3_D59	193	DQ59
AE6	DDR3_D60	180	DQ60
AD6	DDR3_D61	182	DQ61
AC2	DDR3_D62	192	DQ62
AD4	DDR3_D63	194	DQ63
Y16	DDR3_DM0	11	DM0
AB17	DDR3_DM1	28	DM1
AF17	DDR3_DM2	46	DM2
AE16	DDR3_DM3	63	DM3
AK5	DDR3_DM4	136	DM4
AJ3	DDR3_DM5	153	DM5
AF6	DDR3_DM6	170	DM6
AC7	DDR3_DM7	187	DM7
AC15	DDR3_DQS0_N	10	DQS0_N
AC16	DDR3_DQS0_P	12	DQS0_P
Y18	DDR3_DQS1_N	27	DQS1_N
Y19	DDR3_DQS1_P	29	DQS1_P
AK18	DDR3_DQS2_N	45	DQS2_N
AJ18	DDR3_DQS2_P	47	DQS2_P
AJ16	DDR3_DQS3_N	62	DQS3_N
AH16	DDR3_DQS3_P	64	DQS3_P
AJ7	DDR3_DQS4_N	135	DQS4_N
AH7	DDR3_DQS4_P	137	DQS4_P
AH1	DDR3_DQS5_N	152	DQS5_N
AG2	DDR3_DQS5_P	154	DQS5_P

表 1-3 : DDR3 メモリと FPGA の接続 (続き)

U1 FPGA ピン	ネット名	J1 DDR3 メモリ	
		ピン番号	ピン名
AG3	DDR3_DQS6_N	169	DQS6_N
AG4	DDR3_DQS6_P	171	DQS6_P
AD1	DDR3_DQS7_N	186	DQS7_N
AD2	DDR3_DQS7_P	188	DQS7_P
AD8	DDR3_ODT0	116	ODT0
AC10	DDR3_ODT1	120	ODT1
AK3	DDR3_RESET_B	30	RESET_B
AC12	DDR3_S0_B	114	S0_B
AE8	DDR3_S1_B	121	S1_B
AJ9	DDR3_TEMP_EVENT	198	EVENT_B
AE9	DDR3_WE_B	113	WE_B
AC11	DDR3_CAS_B	115	CAS_B
AD9	DDR3_RAS_B	110	RAS_B
AF10	DDR3_CKE0	73	CKE0
AE10	DDR3_CKE1	74	CKE1
AH10	DDR3_CLK0_N	103	CK0_N
AG10	DDR3_CLK0_P	101	CK0_P
AF11	DDR3_CLK1_N	104	CK1_N
AE11	DDR3_CLK1_P	102	CK1_P

その他のメモリ インターフェイスの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』([UG586](#)) および『7 シリーズ FPGA メモリ リソース ユーザー ガイド』([UG473](#)) に記載されています。

## リニア BPI フラッシュ メモリ

[[図 1-2](#)、参照番号「3」]

U58 に実装されたリニア BPI フラッシュ メモリは、コンフィギュレーションまたはソフトウェアを保存できる 128MB の不揮発性ストレージです。データ、アドレス、制御信号は FPGA に接続されます。BPI フラッシュ メモリ デバイスのパッケージは 64 ピン BGA です。

- 製品番号 : PC28F00AP30TF (Numonyx)
- 電源電圧 : 2.5V
- データ パス幅 : 16 ビット (26 アドレス ラインと 7 つの制御信号)
- データ レート : 最大 33MHz

リニア BPI フラッシュ メモリ は、同期コンフィギュレーションおよびコンフィギュレーション クロック分周に対応するように **bitgen** オプションを設定して生成されたビットストリームをしようすることで、マスター BPI モードによって FPGA を同期コンフィギュレーションでき、PC28F00AP30TF フラッシュ メモリの場合は 33MHz のデータ レートをサポートしています。最高速のコンフィギュレーション方法では、FPGA の EMCCLK ピンに外付けの 66MHz オシレーターを接続し、コンフィギュレーション クロックを 2 分周するように作成されたビットストリームを使用します。分周は、フラッシュ メモリの同期読み出しタイミング仕様範囲内にするために必要です。

リニア BPI フラッシュには複数のビットストリームを格納できます。フラッシュ メモリの最上位アドレス 2 ビット (A25、A24) は、それぞれ SW13 の位置 1 と 2 および FPGA の RS1 と RS0 ピンに接続されます。有効な XC7K325T ビットストリームをフラッシュ メモリ内の異なるオフセット アドレス 4 箇所格納し、DIP スイッチ SW13 を適切に設定することで、これら 4 つのビットストリームの中から 1 つを選択して FPGA をコンフィギュレーションできます。表 1-4 に、BPI フラッシュ メモリと FPGA 間の接続を示します。

表 1-4 : BPI フラッシュ メモリと FPGA の接続

U1 FPGA ピン	ネット名	U58 BPI フラッシュ メモリ	
		ピン番号	ピン名
W22	FLASH_A0	A1	A1
W21	FLASH_A1	B1	A2
V24	FLASH_A2	C1	A3
U24	FLASH_A3	D1	A4
V22	FLASH_A4	D2	A5
V21	FLASH_A5	A2	A6
U23	FLASH_A6	C2	A7
W24	FLASH_A7	A3	A8
W23	FLASH_A8	B3	A9
V20	FLASH_A9	C3	A10
V19	FLASH_A10	D3	A11
W26	FLASH_A11	C4	A12
V25	FLASH_A12	A5	A13
V30	FLASH_A13	B5	A14
V29	FLASH_A14	C5	A15
V27	FLASH_A15	D7	A16
P22	FLASH_A16	D8	A17
P21	FLASH_A17	A7	A18
N24	FLASH_A18	B7	A19
N22	FLASH_A19	C7	A20
N21	FLASH_A20	C8	A21
N20	FLASH_A21	A8	A22

表 1-4 : BPI フラッシュ メモリと FPGA の接続 (続き)

U1 FPGA ピン	ネット名	U58 BPI フラッシュ メモリ	
		ピン番号	ピン名
N19	FLASH_A22	G1	A23
N26	FLASH_A23	H8	A24
M23	FLASH_A24	B6	A25
M22	FLASH_A25	B8	A26
P24	FLASH_D0	F2	DQ0
R25	FLASH_D1	E2	DQ1
R20	FLASH_D2	G3	DQ2
R21	FLASH_D3	E4	DQ3
T20	FLASH_D4	E5	DQ4
T21	FLASH_D5	G5	DQ5
T22	FLASH_D6	G6	DQ6
T23	FLASH_D7	H7	DQ7
U20	FLASH_D8	E1	DQ8
P29	FLASH_D9	E3	DQ9
R29	FLASH_D10	F3	DQ10
P27	FLASH_D11	F4	DQ11
P28	FLASH_D12	F5	DQ12
T30	FLASH_D13	H5	DQ13
P26	FLASH_D14	G7	DQ14
R26	FLASH_D15	E7	DQ15
U29	FLASH_WAIT	F7	WAIT
M25	FPGA_FWE_B	G8	WE_B
M24	FLASH_OE_B	F8	OE_B
B10	FPGA_CCLK	E6	CLK
U63.6	FLASH_CE_B	B4	CE_B
M30	FLASH_ADV_B	F6	ADV_B
A10	FPGA_INIT_B	D4	RST_B

7 シリーズ FPGA の WBSTAR (ウォーム ブート開始アドレス) レジスタを設定することによって、さらに多くの FPGA ビットストリームを保存し、コンフィギュレーションに使用できます。詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』([UG470](#)) の「リコンフィギュレーションおよびマルチブート」の章を参照してください。



『7シリーズ FPGA コンフィギュレーション ユーザー ガイド』([UG470](#)) の「コンフィギュレーション インターフェイス」の章では、マスター BPI コンフィギュレーション モードの詳細を解説しています。

図 1-4 に、KC705 ボード上のリニア BPI フラッシュ メモリの接続を示します。詳細は、Numonyx PC28F00AP30TF のデータシート (<http://www.micron.com>) を参照してください。

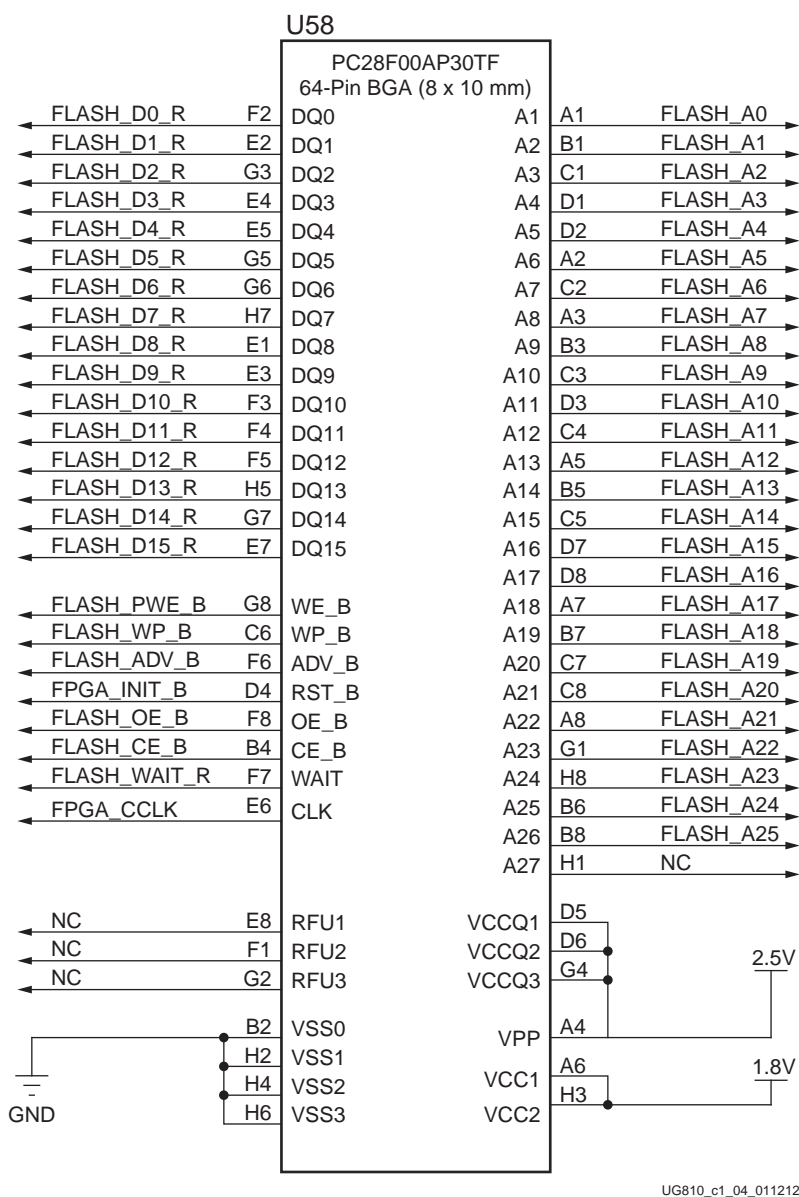


図 1-4 : 128MB リニア フラッシュ メモリ (U58)

## クワッド SPI (QSPI) フラッシュ メモリ

[図 1-2、参照番号「4」]

ボード裏面の **U7** に実装されたクラウド **SPI** フラッシュ メモリは、コンフィギュレーションおよびデータを格納できる **128Mb** の不揮発性ストレージです。

- 製品番号 : N25Q128A13BSF40F (Numonyx)

- 電源電圧 : 2.8V
- データ パス幅 : 4 ビット
- データ レート : シングル/デュアル/クワッドの各モードおよび CCLK のレートに応じて可変

クワッド SPI フラッシュ メモリには、4 つのデータラインと FPGA の CCLK ピンが接続されています。リニア BPI フラッシュとクワッド SPI フラッシュが共有する共通チップ セレクト信号は、DIP スイッチ SW13 位置 5 (M0) のコンフィギュレーション モード設定によって制御されます。モード ピン M0 = 1 の場合、SPI デバイスが選択されます。モード ピン M0 = 0 の場合は、リニア BPI フラッシュ デバイスが選択されます。表 1-5 に、SPI フラッシュ メモリと FPGA 間の接続を示します。

表 1-5 : クワッド SPI フラッシュ メモリと FPGA の接続

U1 FPGA ピン	ネット名	U7 クワッド SPI フラッシュ メモリ	
		ピン番号	ピン名
P24	FLASH_D0	15	DQ0
R25	FLASH_D1	8	DQ1
R20	FLASH_D2	9	DQ2
R21	FLASH_D3	1	DQ3
B10	FPGA_CCLK	16	C
U63.4	QSPI_IC_CS_B	7	S_B

『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) の「コンフィギュレーション インターフェイス」の章では、クワッド SPI フラッシュ メモリの使用方法について詳細に解説しています。図 1-5 に、KC705 ボード上のクワッド SPI フラッシュ メモリの接続を示します。詳細は、Numonyx N25Q128A13BSF40F のデータシート (<http://www.micron.com>) を参照してください。

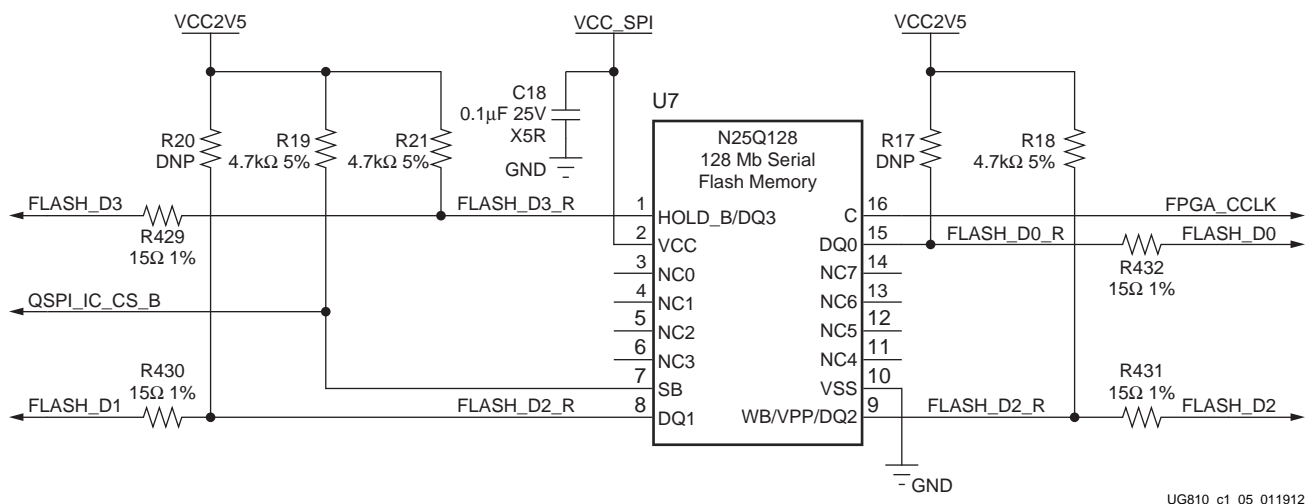


図 1-5 : 128Mb クワッド SPI フラッシュ メモリ

## SD カード インターフェイス

[ 図 1-2、参照番号 「5」 ]

KC705 ボードは、ユーザー ロジックが、汎用の不揮発性 SDIO メモリ カードや周辺回路にアクセスできるように、セキュア デジタル入出力 (SDIO) インターフェイスを備えています。SD カード スロットは、50MHz 高速 SD カードに対応するよう設計されています。

SDIO 信号は、VCCO が VADJ に設定された I/O バンク 12 に接続されています。FPGA と SD カード コネクタ (U9) の間には、TI 社製の 8 ビット双方向電圧レベル変換器 TXB0108 を使用しています。図 1-6 に、KC705 ボード上の SD カード インターフェイスの接続を示します。

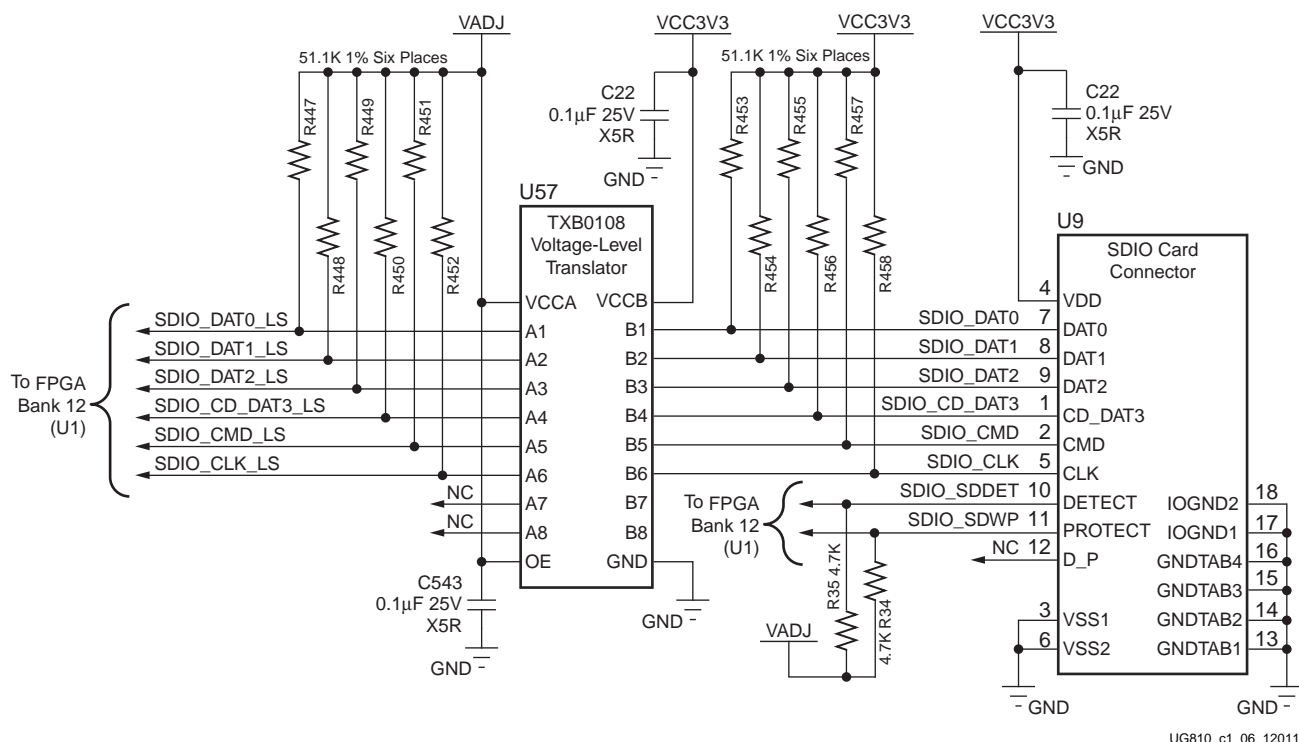


図 1-6 : SD カード インターフェイス

表 1-6 に、FPGA と SD カード インターフェイス間の接続を示します。

表 1-6 : SDIO と FPGA の接続

U1 FPGA ピン名	回路図ネット名	U57 レベル シフター		U9 SDIO コネクタ	
		ピン番号	ピン名	ピン番号	ピン名
Y21	SDIO_SDWP	N/A	N/A	11	SDWP
AA21	SDIO_SDEDET	N/A	N/A	10	SDEDET
AB22	SDIO_CMD_LS	6	A5	2	CMD
AB23	SDIO_CLK_LS	7	A6	5	CLK
AA22	SDIO_DAT2_LS	4	A3	9	DAT2
AA23	SDIO_DAT1_LS	3	A2	8	DAT1
AC20	SDIO_DAT0_LS	1	A1	7	DAT0
AC21	SDIO_CD_DAT3_LS	5	A4	1	CD_DAT3

## USB JTAG

[ 図 1-2、参照番号 「6」 ]

Digilent 社のオンボード USB-JTAG コンフィギュレーション ロジック モジュール (U59) を用いた JTAG コンフィギュレーションが可能です。ホスト コンピューターは、Type A (ホスト側)/mini B (KC705 ボード側) USB ケーブルを介して KC705 ボードの JTAG チェーンにアクセスします。

ボードにはこれと並列に、プラットフォーム ケーブル USB II やパラレル ケーブル IV などのザイリンクス ダウンロード ケーブルでアクセスするための 2mm JTAG ヘッダー (J60) も取り付けられています。

図 1-7 に、KC705 ボードの JTAG チェーンを示します。JTAG コンフィギュレーションは、FPGA のモード ピン設定にかかわらず随時可能です。JTAG によるコンフィギュレーションは、SW13 の FPGA モード ピン設定で選択されたコンフィギュレーション モードよりも優先されます。

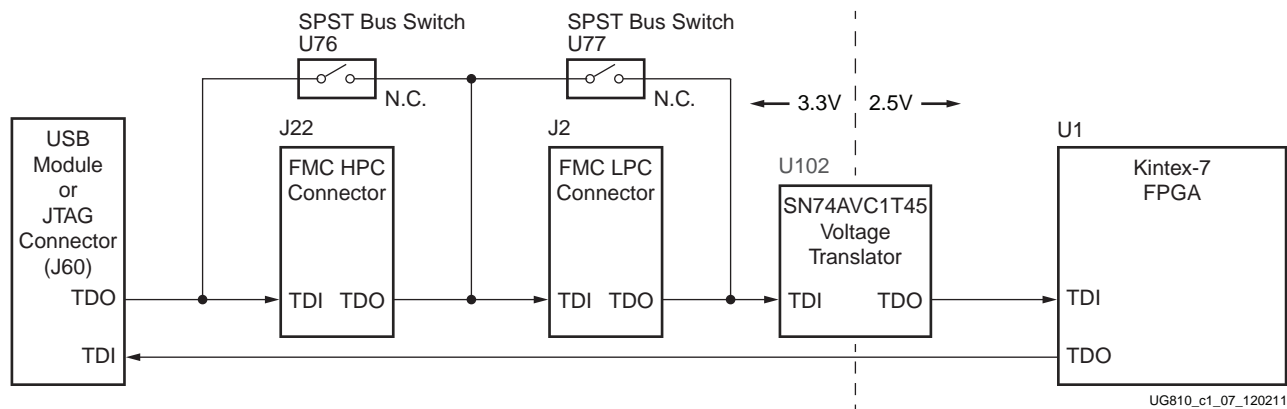


図 1-7 : JTAG チェーンのブロック図

FMC ドーター カードは、KC705 ボードに挿入すると、U76 および U77 の電子制御単極単投 (SPST) スイッチにより、自動的に JTAG チェーンに追加されます。この SPST スイッチは常時閉スイッチで、FMC ドーター カードを挿入すると開状態に遷移します。スイッチ U76 は、挿入された FMC HPC ドーター カードを、FMC\_HPC\_PRSNT\_M2C\_B 信号で指定される方法で FPGA の JTAG チェーンに追加します。スイッチ U77 は、挿入された FMC HPC ドーター カードを、FMC\_LPC\_PRSNT\_M2C\_B 信号で指定される方法で FPGA の JTAG チェーンに追加します。

KC705 ボードの JTAG 接続を介することで、ホスト コンピューターは、ザイリンクスの iMPACT ソフトウェアを使用して FPGA にビットストリームをダウンロードできます。さらに、JTAG コネクタを使用すれば、ChipScope™ Pro Analyzer などのデバッグ ツールまたはソフトウェア デバッガーによる FPGA へのアクセスも可能になります。iMPACT ソフトウェア ツールから、リニア BPI フラッシュまたはクワッド SPI フラッシュ メモリを間接的にプログラムすることもできます。その場合、iMPACT ソフトウェアは、FPGA に一時的なデザインをコンフィギュレーションして、BPI または クワッド SPI フラッシュ メモリ デバイスに対してアクセスおよびプログラムできるようにします。図 1-8 に、JTAG の回路を示します。

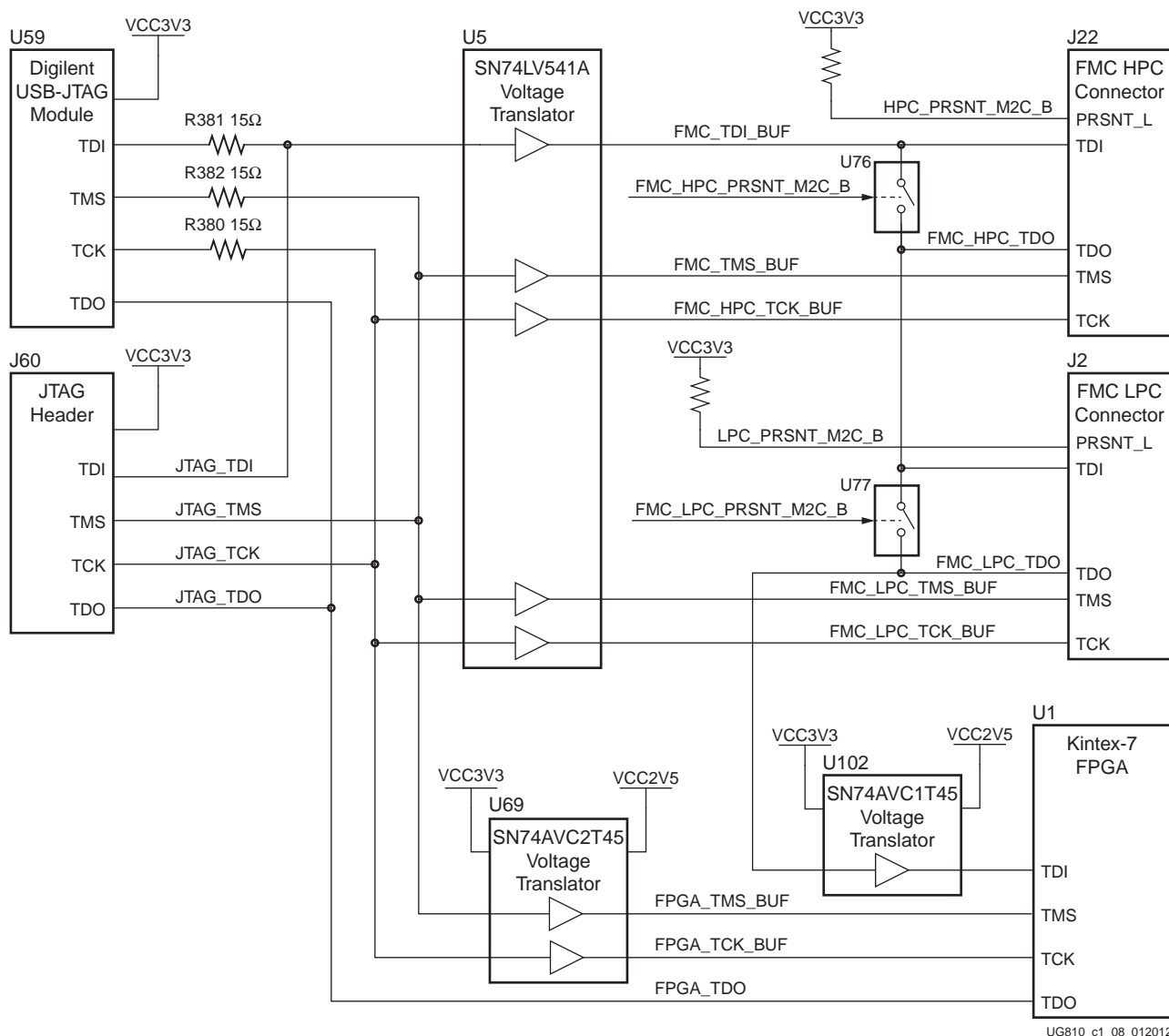


図 1-8 : JTAG 回路

## クロック生成

KC705 ボード上の FPGA ファブリックでは、5 つのクロック ソースを使用できます (表 1-7 参照)。

表 1-7 : KC705 ボードのクロック ソース

クロック名	参照記号	内容
システム クロック	U6	SiT9102 2.5V LVDS 200MHz 固定周波数オシレーター (Si Time)
ユーザー クロック	U45	Si570 3.3V LVDS I <sup>2</sup> C プログラマブル オシレーター (Silicon Labs)。電源投入時のデフォルト周波数は 156.250MHz です。

表 1-7 : KC705 ボードのクロック ソース (続き)

クロック名	参照記号	内容
ユーザー SMA クロック (差動ペア)	J11	USER_SMA_CLOCK_P (ネット名)
	J12	USER_SMA_CLOCK_N (ネット名)
GTX SMA 基準クロック (差動ペア)	J16	SMA_MGT_REFCLK_P (ネット名)
	J15	SMA_MGT_REFCLK_N (ネット名)
ジッター減衰クロック	U70	Si5326C LVDS 高精度クロック通倍器/ジッター減衰器 (Silicon Labs)

## システム クロック (SYSCLK\_P と SYSCLK\_N)

[図 1-2、参照番号 「7」]

KC705 ボードの裏面には、2.5V/200MHz LVDS 差動オシレーター (U6) がハンダ付けされ、バンク 33 の FPGA MRCC クロック入力へと接続されています。この 200MHz の信号ペアは SYSCLK\_P と SYSCLK\_N と呼ばれ、それぞれ FPGA U1 の AD12 と AD11 ピンに接続されています。

- ・ オシレーター : SiT9102AI-243N25E200.00000 (200MHz) (Si Time)
- ・ PPM 周波数ジッター : 20ppm
- ・ 差動出力

詳細は、Si Time 社の SiT9102 のデータシートを参照してください (<http://www.sitime.com>)。図 1-9 に、システム クロックの回路を示します。

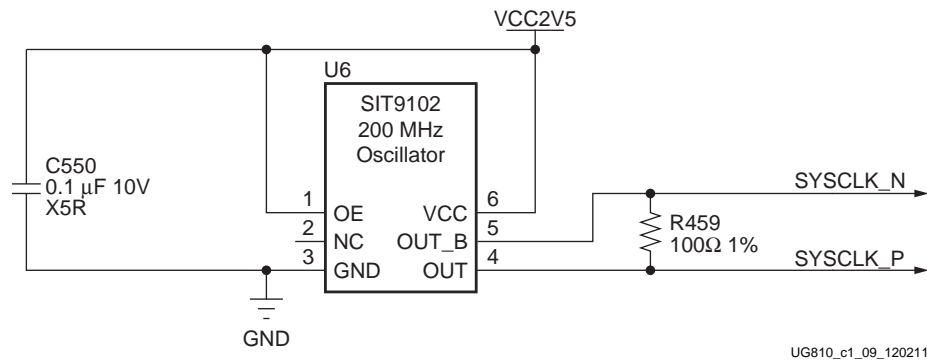


図 1-9 : システム クロック ソース

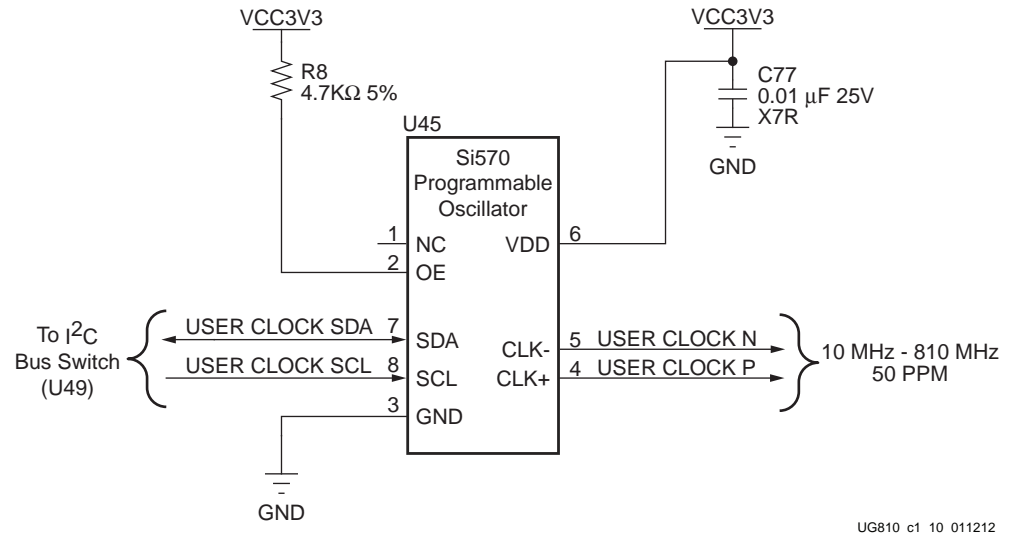
## プログラマブル ユーザー クロック (USER\_CLOCK\_P と USER\_CLOCK\_N)

[図 1-2、参照番号 「8」]

KC705 ボードには、バンク 15 の FPGA MRCC に入力される低ジッターの 3.3V プログラマブル 差動オシレーター (U45) があります。この USER\_CLOCK\_P と USER\_CLOCK\_N のクロック信号ペアは、それぞれ FPGA U1 の K28 および K29 ピンに接続されています。電源投入時のユーザー クロックのデフォルト出力周波数は 156.250MHz です。出力周波数は、ユーザー アプリケーションから I<sup>2</sup>C インターフェイスを介して 10MHz ~ 810MHz の範囲で変更できます。KC705 ボードの電源をいったん切断して再投入すると、ユーザー クロックの周波数はデフォルトの 156.250MHz に戻ります。

- プログラマブル オシレーター : Si570BAB0000544DG (10MHz ~ 810MHz) (Silicon Labs)
- 差動出力

詳細は、Silicon Labs 社の Si570 のデータシートを参照してください (<http://www.silabs.com>)。図 1-10 に、ユーザー クロックの回路を示します。



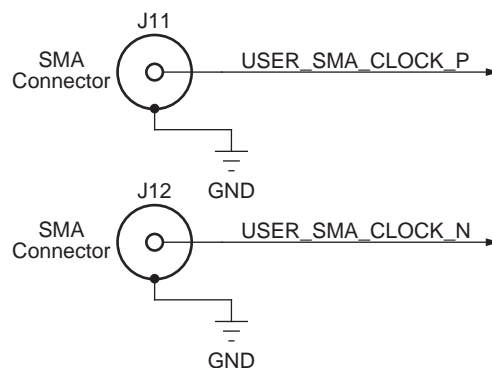
UG810\_c1\_10\_011212

図 1-10 : ユーザー クロック ソース

## ユーザー SMA クロック (USER\_SMA\_CLOCK\_P と USER\_SMA\_CLOCK\_N)

[図 1-2、参照番号「9」]

FPGA のバンク 15 に外部の高精度クロック信号を与えることができます。オンボードの 50Ω SMA コネクタ J11 (P) および J12 (N) に差動クロック信号を接続します。この差動クロックの信号名は USER\_SMA\_CLOCK\_P と USER\_SMA\_CLOCK\_N です。それぞれ FPGA U1 の L25 と K25 ピンに接続されます。図 1-11 に、ユーザー提供の 2.5V 差動クロック回路を示します。



UG810\_c1\_11\_072111

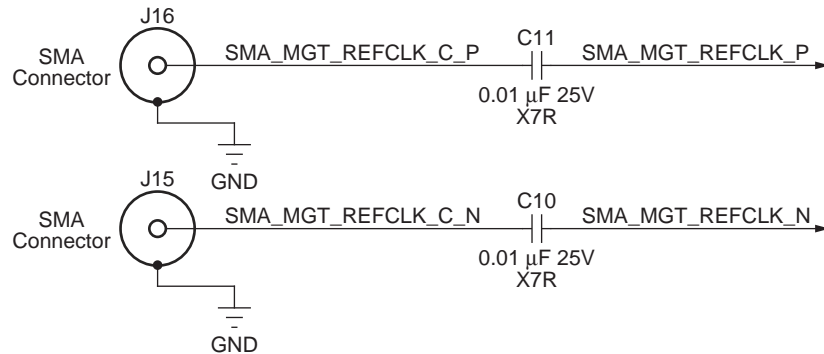
図 1-11 : ユーザー SMA クロック ソース

## GTX SMA クロック (SMA\_MGT\_REFCLK\_P と SMA\_MGT\_REFCLK\_N)

[図 1-2、参照番号「10」]

KC705 ボードには、GTX クワッドのバンク 117 に接続される GTX クロック用 SMA コネクタ ペアがあります。この差動クロックの信号名は SMA\_MGT\_REFCLK\_P と SMA\_MGT\_REFCLK\_N です。それぞれ FPGA U1 の J8 と J7 ピンに接続されます。図 1-12 に、この AC カップリング クロック回路を示します。

- SMA 入力コネクタへのユーザー提供の外部 GTX 基準クロック
- 差動入力



UG810\_c1\_12\_072111

図 1-12 : GTX SMA クロック ソース

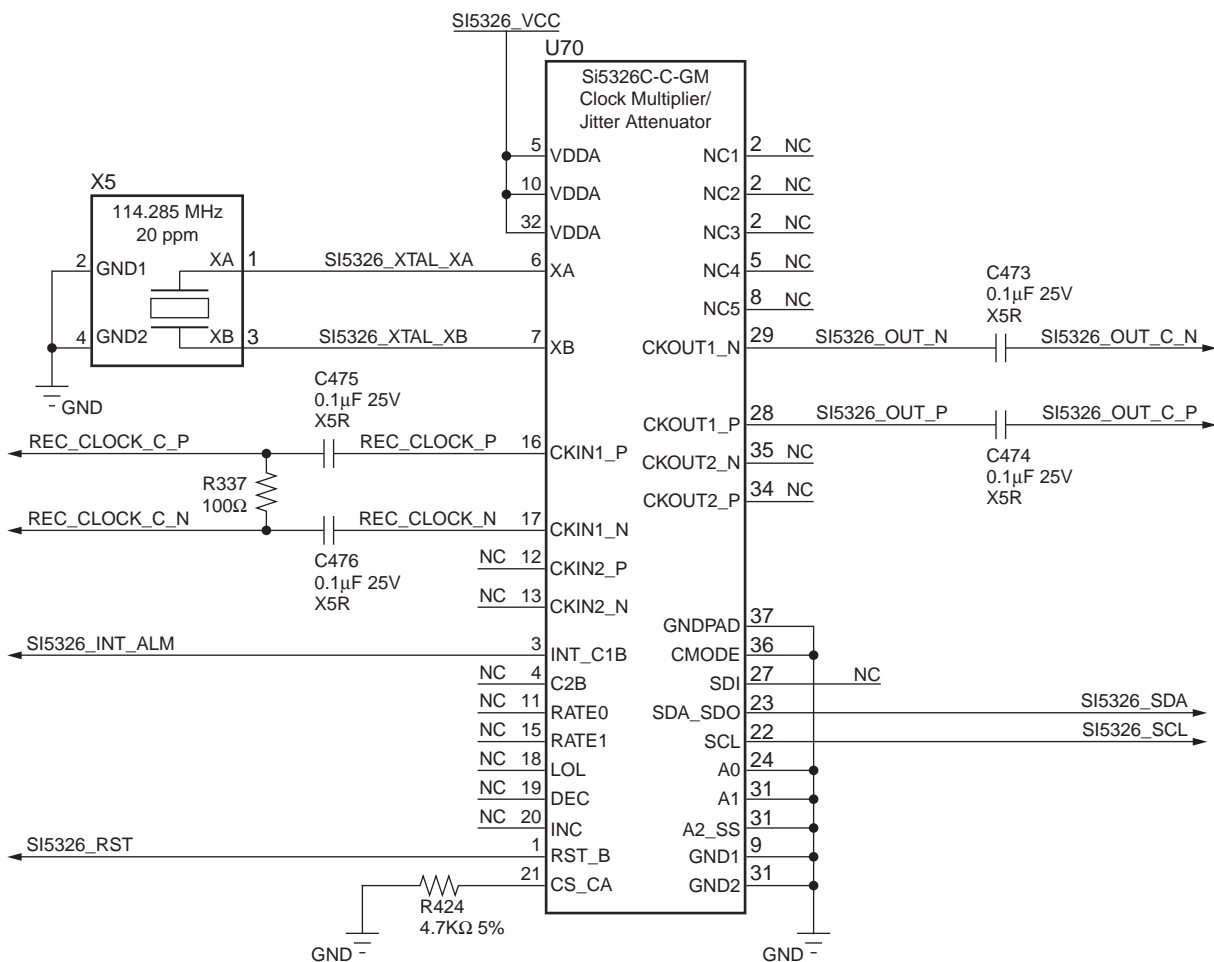
## ジッター減衰クロック

[図 1-2、参照番号「11」]

KC705 ボードの裏面には、Silicon Labs 社製のジッター減衰器 Si5326 が実装されています (U70)。FPGA ユーザー ロジックにクロック リカバリ回路を実装し、そこからのクロックを I/O バンク 13 の差動 I/O ペア に出力して (FPGA U1 の W27 ピンに REC\_CLOCK\_C\_P、FPGA U1 の W28 ピンに REC\_CLOCK\_C\_N) ジッターを減衰させることができます。さらに、ジッター減衰済みのクロック (SI5326\_OUT\_C\_P と SI5326\_OUT\_C\_N) は、基準クロックとして GTX クワッド 116 の入力 MGTREFCLK0P (FPGA U1 の L8 ピン) および MGTREFCLK0N (FPGA U1 の L7 ピン) に接続されます。

このクロックの主な目的は、ユーザー提供の SFP/SFP+ モジュールからのクロック リカバリを実行して、ジッター減衰済みのリカバリ クロックで GTX トランシーバーの基準クロック入力を駆動する、CPRI/OBSAI アプリケーションをサポートすることです。図 1-13 に、ジッター減衰クロックの回路を示します。





UG810\_c1\_13\_120911

図 1-13 : ジッター減衰クロック

このデバイスの詳細は、Silicon Labs 社の Si5326 のデータシートを参照してください (<http://www.silabs.com>)。

## GTX トランシーバー

[ 図 1-2、参照番号 「12」 ]

KC705 ボードでは、次の 16 個の GTX トランシーバーを使用できます。

- 8 個の GTX トランシーバーが、PCI Express® の x8 エンドポイント エッジ コネクタ (P1) のフィンガーに接続
- 4 個の GTX トランシーバーが、FMC HPC コネクタ (J22) に接続
- 1 個の GTX トランシーバーが、FMC LPC コネクタ (J2) に接続
- 1 個の GTX トランシーバーが、SMA コネクタ (RX : J17、J18、TX : J19、J20) に接続
- 1 個の GTX トランシーバーが、SFP/SFP+ モジュール コネクタ (P5) に接続
- 1 個の GTX トランシーバーのうち 1 個は イーサネット PHY (U37) への SGMII 接続に使用

7 シリーズ FPGA の GTX トランシーバーは、クワッドと呼ばれる 4 つのチャンネルにグループ分けされます。GTX クワッドの基準クロックは、その上または下にあるクワッドから供給できます。KC705 ボードには、次の 4 つの GTX クワッドとその接続回路があります。

- クワッド 115
  - GTX 入力基準クロックは直接接続されていない
  - PCI Express のレーン 4 ～ 7 に対応する 4 つの GTX トランシーバーを含む
- クワッド 116
  - MGTREFCLK0 - ジッター減衰器 Si5326
  - MGTREFCLK1 - PCIe エッジ コネクタ クロック
  - PCI Express のレーン 0 ～ 3 に対応する 4 つの GTX トランシーバーを含む
- クワッド 117
  - MGTREFCLK0 - SGMII クロック
  - MGTREFCLK1 - SMA クロック
  - SMA、SGMII、SFP、FMC LPC (DP0) それぞれに割り当てられる 4 つの GTX トランシーバーを含む
- クワッド 118
  - MGTREFCLK0 - FMC HPC GBT クロック 0
  - MGTREFCLK1 - FMC LPC GBT クロック 0
  - FMC HPC (DP0 ～ DP3) に対応する 4 つの GTX トランシーバーを含む

表 1-8 に、FPGA (U1) への GTX インターフェイス接続を示します。

表 1-8 : FPGA U1 の GTX インターフェイス接続

トランシーバーの バンク	対応するネット名	接続
MGT_BANK_115	GTXE2_CHANNEL_X0Y0	PCIe7
	GTXE2_CHANNEL_X0Y1	PCIe6
	GTXE2_CHANNEL_X0Y2	PCIe5
	GTXE2_CHANNEL_X0Y3	PCIe4
	MGTREFCLK0	N/C
	MGTREFCLK1	PCIe_CLK
MGT_BANK_116	GTXE2_CHANNEL_X0Y4	PCIe3
	GTXE2_CHANNEL_X0Y5	PCIe2
	GTXE2_CHANNEL_X0Y6	PCIe1
	GTXE2_CHANNEL_X0Y7	PCIe0
	MGTREFCLK0	Si5326
	MGTREFCLK1	FMC LPC GBT_CLK0

表 1-8 : FPGA U1 の GTX インターフェイス接続 (続き)

トランシーバーのバンク	対応するネット名	接続
MGT_BANK_117	GTXE2_CHANNEL_X0Y8	SMA
	GTXE2_CHANNEL_X0Y9	SGMII
	GTXE2_CHANNEL_X0Y10	SFP+
	GTXE2_CHANNEL_X0Y11	FMC LPC DP0
	MGTREFCLK0	SGMII_CLK
	MGTREFCLK1	SMA_CLK
MGT_BANK_118	GTXE2_CHANNEL_X0Y12	FMC HPC DP0
	GTXE2_CHANNEL_X0Y13	FMC HPC DP1
	GTXE2_CHANNEL_X0Y14	FMC HPC DP2
	GTXE2_CHANNEL_X0Y15	FMC HPC DP3
	MGTREFCLK0	FMC HPC GBT_CLK0
	MGTREFCLK1	FMC HPC GBT_CLK1

GTX トランシーバーの詳細は、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』([UG476](#))を参照してください。

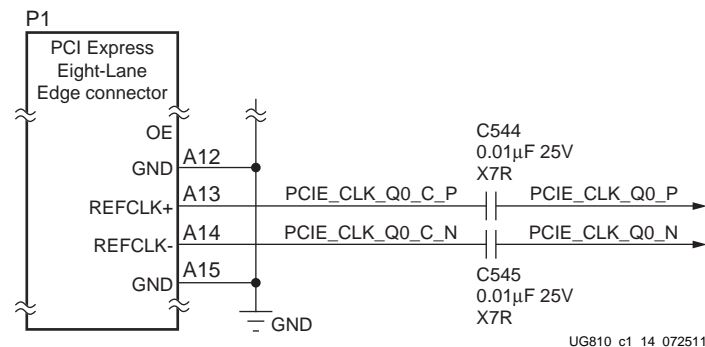
## PCI Express エンドポイント接続

[[図 1-2](#)、参照番号「13」]

8 レーンの PCI Express エッジ コネクタは、Gen1 アプリケーションでは 2.5GT/s、Gen2 アプリケーションでは 5.0GT/s のレートでデータを転送します。PCIe が送受信する信号のデータパスの特性インピーダンスは  $85\Omega \pm 10\%$  です。PCIe クロックは、 $100\Omega$  の差動ペアとして接続されます。7 シリーズ FPGA の GTX トランシーバーを数ギガビット毎秒のシリアル インターフェイスに使用します。

KC705 ボードに搭載された XC7K325T-2FFG900C FPGA (スピード グレード -2) は最大 Gen2 x8 をサポートします。

PCIe クロックはエッジ コネクタから入力します。このクロックは、クワッド 115 の MGTREFCLK1 ピンを介して、FPGA に AC カップリングされます。PCIE\_CLK\_Q0\_P は FPGA U1 の U8 ピンに、\_N ネットは U7 ピンに接続されます。[図 1-14](#) に、PCI Express のクロック回路を示します。



UG810\_c1\_14\_072511

図 1-14 : PCI Express クロック

PCIe のレーン幅/サイズはジャンパー J32 (図 1-15) によって選択します。デフォルトのレーン サイズは 1 レーンです (J32 の 1 ピンと 2 ピンをジャンパー接続)。

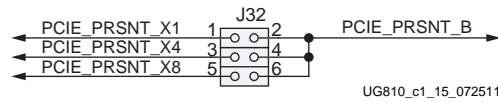


図 1-15 : PCI Express のレーン サイズ選択ジャンパー J32

表 1-9 に、PCIe エッジ コネクタの接続を示します。

表 1-9 : PCIe エッジ コネクタの接続

回路図ネット名	FPGA ピン (U1)	PCIe エッジ コネクタ ピン	PCIe エッジ ピン名	機能	FFG900 配置
PCIE_RX0_P	M6	B14	PETp0	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y7
PCIE_RX0_N	M5	B15	PETn0	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y7
PCIE_RX1_P	P6	B19	PETp1	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y6
PCIE_RX1_N	P5	B20	PETn1	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y6
PCIE_RX2_P	R4	B23	PETp2	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y5
PCIE_RX2_N	R3	B24	PETn2	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y5
PCIE_RX3_P	T6	B27	PETp3	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y4
PCIE_RX3_N	T5	B28	PETn3	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y4
PCIE_RX4_P	V6	B33	PETp4	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y3
PCIE_RX4_N	V5	B34	PETn4	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y3
PCIE_RX5_P	W4	B37	PETp5	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y2
PCIE_RX5_N	W3	B38	PETn5	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y2
PCIE_RX6_P	Y6	B41	PETp6	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y1
PCIE_RX6_N	Y5	B42	PETn6	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y1
PCIE_RX7_P	AA4	B45	PETp7	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y0
PCIE_RX7_N	AA3	B46	PETn7	インテグレイテッド エンドポイント ブロックの受信ペア	GTXE2_CHANNEL_X0Y0

表 1-9 : PCIe エッジ コネクタの接続 (続き)

回路図ネット名	FPGA ピン (U1)	PCIe エッジ コネクタ ピン	PCIe エッジ ピン名	機能	FFG900 配置
PCIE_TX0_P	L4	A16	PERp0	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y7
PCIE_TX0_N	L3	A17	PERn0	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y7
PCIE_TX1_P	M2	A21	PERp1	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y6
PCIE_TX1_N	M1	A22	PERn1	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y6
PCIE_TX2_P	N4	A25	PERp2	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y5
PCIE_TX2_N	N3	A26	PERn2	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y5
PCIE_TX3_P	P2	A29	PERp3	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y4
PCIE_TX3_N	P1	A30	PERn3	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y4
PCIE_TX4_P	T2	A35	PERp4	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y3
PCIE_TX4_N	T1	A36	PERn4	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y3
PCIE_TX5_P	U4	A39	PERp5	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y2
PCIE_TX5_N	U3	A40	PERn5	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y2
PCIE_TX6_P	V2	A43	PERp6	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y1
PCIE_TX6_N	V1	A44	PERn6	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y1
PCIE_TX7_P	Y2	A47	PERp7	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y0
PCIE_TX7_N	Y1	A48	PERn7	インテグレイテッド エンドポイント ブロックの送信ペア	GTXE2_CHANNEL_X0Y0
PCIE_CLK_QO_P	U8	A13	REFCLK+	PCIe からインテグレイテッド エンドポイント ブロックへの差動クロック ペア	MGT_BANK_115
PCIE_CLK_QO_N	U7	A14	REFCLK-	PCIe からインテグレイテッド エンドポイント ブロックへの差動クロック ペア	MGT_BANK_115
PCIE_PRSENT_B	J32 2、4、6	A1	PRSENT#1	J42 レーン サイズ選択ジャンパー	NA

表 1-9 : PCIe エッジ コネクタの接続 (続き)

回路図ネット名	FPGA ピン (U1)	PCIe エッジ コネクタ ピン	PCIe エッジ ピン名	機能	FFG900 配置
PCIE_WAKE_B	F23	B11	WAKE#	インテグレイテッド エンドポイント ブロックのウェイク信号、KC705 ボード では未接続	NA
PCIE_PERST_B	G25	A11	PERST	インテグレイテッド エンドポイント ブロックのリセット信号	NA

表 1-10 に、クワッド 115 の PCIe エッジ コネクタ接続を示します。

表 1-10 : GTX クワッド 115 の PCIe エッジ コネクタ接続

クワッド 115 ピン名	FPGA ピン (U1)	回路図ネット名	PCIe エッジ コネクタ ピン	PCIe エッジ ピン名	FFG900 配置
MGTXTXP0_115_Y2	Y2	PCIE_TX7_P	A47	PERp7	GTXE2_CHANNEL_X0Y0
MGTXTXN0_115_Y1	Y1	PCIE_TX7_N	A48	PERn7	GTXE2_CHANNEL_X0Y0
MGTXRXPO_115_AA4	AA4	PCIE_RX7_P	B45	PETp7	GTXE2_CHANNEL_X0Y0
MGTXRXN0_115_AA3	AA3	PCIE_RX7_N	B46	PETn7	GTXE2_CHANNEL_X0Y0
MGTXTXP1_115_V2	V2	PCIE_TX6_P	A43	PERp6	GTXE2_CHANNEL_X0Y1
MGTXTXN1_115_V1	V1	PCIE_TX6_N	A44	PERn6	GTXE2_CHANNEL_X0Y1
MGTXRXPI_115_Y6	Y6	PCIE_RX6_P	B41	PETp6	GTXE2_CHANNEL_X0Y1
MGTXRXN1_115_Y5	Y5	PCIE_RX6_N	B42	PETn6	GTXE2_CHANNEL_X0Y1
MGTXTXP2_115_U4	U4	PCIE_TX5_P	A39	PERp5	GTXE2_CHANNEL_X0Y2
MGTXTXN2_115_U3	U3	PCIE_TX5_N	A40	PERn5	GTXE2_CHANNEL_X0Y2
MGTXRXPO_115_W4	W4	PCIE_RX5_P	B37	PETp5	GTXE2_CHANNEL_X0Y2
MGTXRXN2_115_W3	W3	PCIE_RX5_N	B38	PETn5	GTXE2_CHANNEL_X0Y2
MGTXTXP3_115_T2	T2	PCIE_TX4_P	A35	PERp4	GTXE2_CHANNEL_X0Y3
MGTXTXN3_115_T1	T1	PCIE_TX4_N	A36	PERn4	GTXE2_CHANNEL_X0Y3
MGTXRXPO_115_V6	V6	PCIE_RX4_P	B33	PETp4	GTXE2_CHANNEL_X0Y3
MGTXRXN3_115_V5	V5	PCIE_RX4_N	B34	PETn4	GTXE2_CHANNEL_X0Y3
MGTREFCLK0P_115_R8	R8	NC			MGT_BANK_115
MGTREFCLK0N_115_R7	R7	NC			MGT_BANK_115
MGTREFCLK1P_115_U8	U8	PCIE_CLK_QO_P	A13	REFCLK+	MGT_BANK_115
MGTREFCLK1N_115_U7	U7	PCIE_CLK_QO_N	A14	REFCLK-	MGT_BANK_115
MGTAVTTRCAL_115_W7	W7	MGTAVTT			MGT_BANK_115
MGTRREF_115_W8	W8	MGTAVTT への 100Ω プルアップ			MGT_BANK_115

表 1-11 に、クワッド 116 の PCIe エッジ コネクタ接続を示します。

表 1-11 : GTX クワッド 116 の PCIe エッジ コネクタ接続

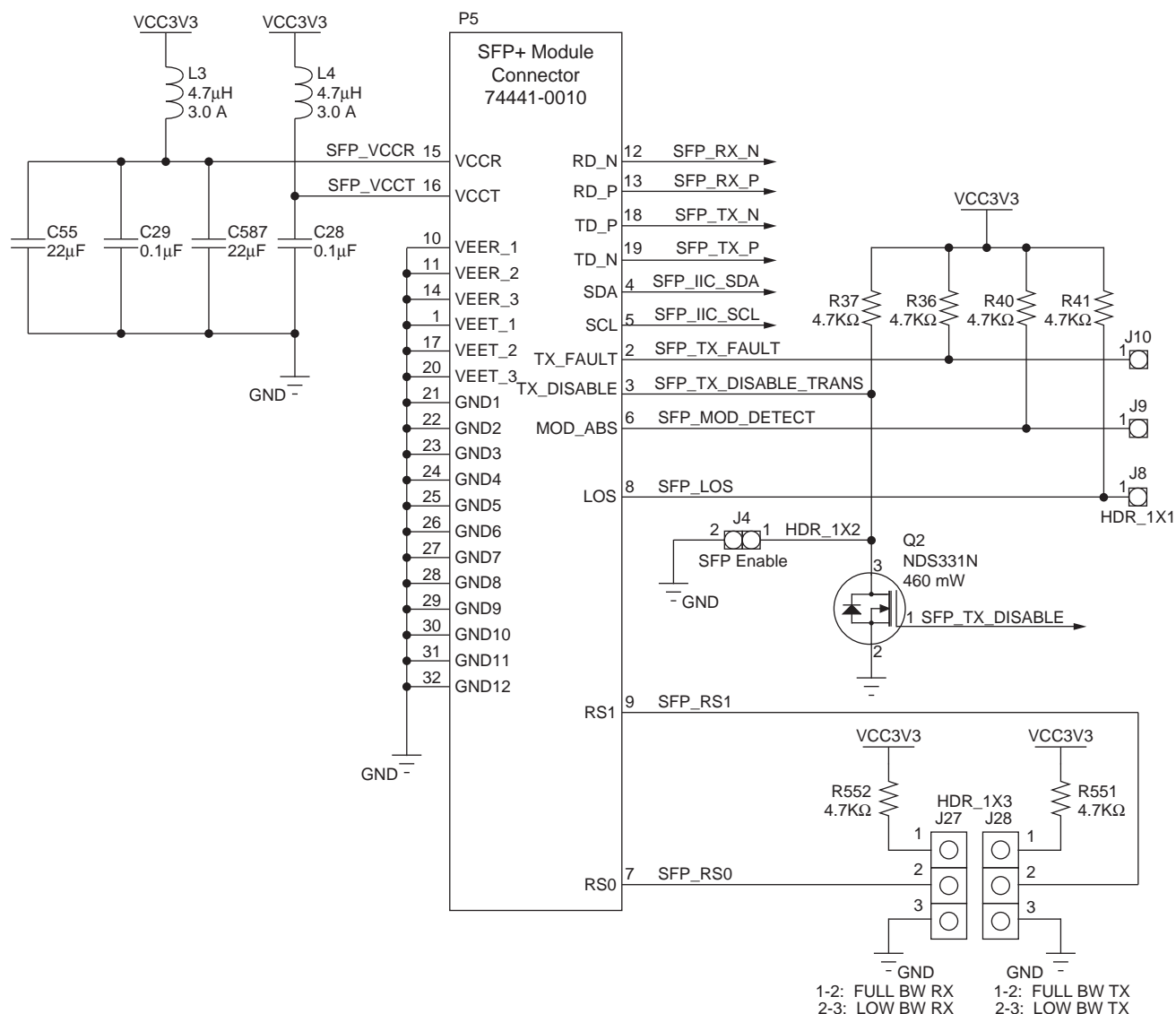
クワッド 116 ピン名	FPGA ピン (U1)	回路図ネット名	PCIe エッジ コネクタ ピン	PCIe エッジ ピン名	FFG900 配置
MGTXTXP0_116_P2	P2	PCIE_TX3_P	A29	PERp3	GTXE2_CHANNEL_X0Y4
MGTXTXN0_116_P1	P1	PCIE_TX3_N	A30	PERn3	GTXE2_CHANNEL_X0Y4
MGTXRXPO_116_T6	T6	PCIE_RX3_P	B27	PETp3	GTXE2_CHANNEL_X0Y4
MGTXRXN0_116_T5	T5	PCIE_RX3_N	B28	PETn3	GTXE2_CHANNEL_X0Y4
MGTXTXP1_116_N4	N4	PCIE_TX2_P	A25	PERp2	GTXE2_CHANNEL_X0Y5
MGTXTXN1_116_N3	N3	PCIE_TX2_N	A26	PERn2	GTXE2_CHANNEL_X0Y5
MGTXRXPI_116_R4	R4	PCIE_RX2_P	B23	PETp2	GTXE2_CHANNEL_X0Y5
MGTXRXN1_116_R3	R3	PCIE_RX2_N	B24	PETn2	GTXE2_CHANNEL_X0Y5
MGTXTXP2_116_M2	M2	PCIE_TX1_P	A21	PERp1	GTXE2_CHANNEL_X0Y6
MGTXTXN2_116_M1	M1	PCIE_TX1_N	A22	PERn1	GTXE2_CHANNEL_X0Y6
MGTXRXPI_116_P6	P6	PCIE_RX1_P	B19	PETp1	GTXE2_CHANNEL_X0Y6
MGTXRXN2_116_P5	P5	PCIE_RX1_N	B20	PETn1	GTXE2_CHANNEL_X0Y6
MGTXTXP3_116_L4	L4	PCIE_TX0_P	A16	PERp0	GTXE2_CHANNEL_X0Y7
MGTXTXN3_116_L3	L3	PCIE_TX0_N	A17	PERn0	GTXE2_CHANNEL_X0Y7
MGTXRXPI_116_M6	M6	PCIE_RX0_P	B14	PETp0	GTXE2_CHANNEL_X0Y7
MGTXRXN3_116_M5	M5	PCIE_RX0_N	B15	PETn0	GTXE2_CHANNEL_X0Y7
MGTREFCLK0P_116_L8	L8	SI5326_OUT_C_P			MGT_BANK_116
MGTREFCLK0N_116_L7	L7	SI5326_OUT_C_N			MGT_BANK_116
MGTREFCLK1P_116_N8	N8	FMC_LPC_GBTCLK0_M2C_C_P			MGT_BANK_116
MGTREFCLK1N_116_N7	N7	FMC_LPC_GBTCLK0_M2C_C_N			MGT_BANK_116

詳細は、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』([UG476](#)) および『7 シリーズ FPGA PCI Express 用インテグレイテッドブロック ユーザー ガイド (AXI)』([UG477](#)) を参照してください。

## SFP/SFP+ モジュール コネクタ

[[図 1-2](#)、参照番号「14」]

KC705 ボードは、SFP+ (Small Form-factor Pluggable plus) コネクタと、SFP または SFP+ モジュールを収めるケージアセンブリを備えています。[図 1-16](#) に、SFP+ モジュール コネクタの回路を示します。



UG810\_c1\_16\_120211

図 1-16 : SFP+ モジュール コネクタ

表 1-12 に、FPGA と SFP+ モジュールの RX および TX 接続を示します。

表 1-12 : FPGA U1 と SFP+ モジュールの接続

FPGA ピン (U1)	回路図 ネット名	SFP+ ピン (P5)	SFP+ ピン名 (P5)
G4	SFP_RX_N	12	RD_N
G3	SFP_RX_P	13	RD_P
H1	SFP_TX_N	18	TX_P
H2	SFP_TX_P	19	TX_N
Y20	SFP_TX_DISABLE_TRANS	3	TX_DISABLE



表 1-13 に、FPGA と SFP+ モジュールの制御およびステータス信号の接続を示します。

表 1-13 : SFP+ モジュールの制御およびステータス

SFP 制御/ステータス 信号	ボード接続
SFP_TX_FAULT	テスト ポイント J10
	High = 障害
	Low = 正常動作
SFP_TX_DISABLE	ジャンパー J4
	OFF = SFP 無効
	ON = SFP 有効
SFP_MOD_DETECT	テスト ポイント J9
	High = モジュールなし
	Low = モジュールあり
SFP_RS0	ジャンパー J27
	ジャンパー ピン 1-2 接続 = 全帯域幅受信 (RX)
	ジャンパー ピン 2-3 接続 = 狭帯域幅受信 (RX)
SFP_RS1	ジャンパー J26
	ジャンパー ピン 1-2 接続 = 全帯域幅送信 (TX)
	ジャンパー ピン 2-3 接続 = 狭帯域幅送信 (TX)
SFP_LOS	テスト ポイント J8
	High = レシーバー信号損失
	Low = 正常動作

## 10/100/1000 トライスピード イーサネット PHY

[図 1-2、参照番号「15」]

KC705 ボードの 10、100、1000Mb/s のイーサネット通信には、Marvell 社製の PHY デバイス Alaska (88E1111) U37 を使用します。このボードは、FPGA から PHY へのインターフェイスとして、MII、GMII、RGMII、SGMII をサポートします (表 1-14)。ユーザー提供のイーサネット ケーブルへの PHY 接続には、磁気回路内蔵の Halo 社製の HFJ11-1G01E RJ-45 コネクタ (P3) を使用します。

表 1-14 : PHY デフォルト インターフェイス モード

モード	ジャンパー設定		
	J29	J30	J64
GMII/MII から銅配線 (デフォルト)	ピン 1-2 間を ジャンパー接続	ピン 1-2 間を ジャンパー接続	ジャンパーなし

表 1-14 : PHY デフォルト インターフェイス モード (続き)

モード	ジャンパー設定		
	J29	J30	J64
SGMII から銅配線 クロックなし	ピン 2-3 間を ジャンパー接続	ピン 2-3 間を ジャンパー接続	ジャンパーなし
RGMII	ピン 1-2 間を ジャンパー接続	ジャンパーなし	ジャンパー ON

電源投入またはリセット時に、PHY は表 1-15 に示す設定に従い、PHY アドレス 0b00111 の GMII モードで動作するようにコンフィギュレーションされます。これらの設定は、MDIO インターフェイスを介して渡されるソフトウェア コマンドによって変更できます。

表 1-15 : PHY コンフィギュレーション ピンのボード接続

ピン	ボード上の接続	Bit[2] の定義と値	Bit[1] の定義と値	Bit[0] の定義と値
CFG0	V <sub>CC</sub> 2.5V	PHYADR[2] = 1	PHYADR[1] = 1	PHYADR[0] = 1
CFG1	グラウンド	ENA_PAUSE = 0	PHYADR[4] = 0	PHYADR[3] = 0
CFG2	V <sub>CC</sub> 2.5V	ANEG[3] = 1	ANEG[2] = 1	ANEG[1] = 1
CFG3	V <sub>CC</sub> 2.5V	ANEG[0] = 1	ENA_XC = 1	DIS_125 = 1
CFG4	V <sub>CC</sub> 2.5V	HWCFG_MD[2] = 1	HWCFG_MD[1] = 1	HWCFG_MD[0] = 1
CFG5	V <sub>CC</sub> 2.5V	DIS_FC = 1	DIS_SLEEP = 1	HWCFG_MD[3] = 1
CFG6	PHY_LED_RX	SEL_BDT = 0	INT_POL = 1	75/50Ω = 0

## SGMII GTX トランシーバーのクロック生成

[ 図 1-2、参照番号 「16」 ]

Integrated Circuit Systems 社製の ICS844021I チップ (U2) は、25MHz の水晶振動子 (X3) から、高品質、低ジッターの 125MHz LVDS クロックを生成します。このクロックは、SGMII インターフェイスを駆動する、FPGA U1、バンク 117 の GTX トランシーバー (クロック ピン G8 (P) と G7 (N)) に入力されます。FPGA のクロック入力に同相電圧を設定できるように、直列の AC カップリング キャパシタを使用しています。図 1-17 に、イーサネット SGMII クロック ソースを示します。

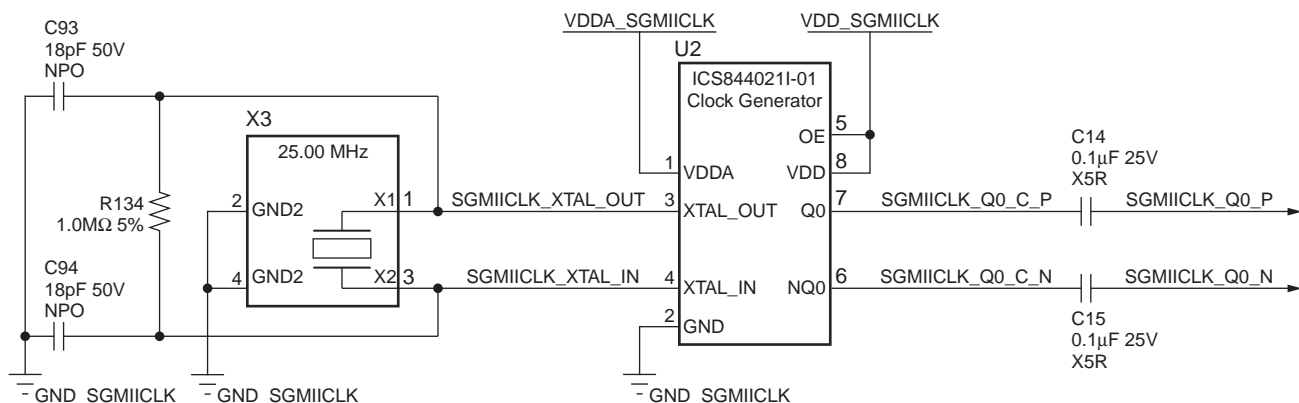


図 1-17 : イーサネット 125MHz SGMII GTX クロック

表 1-16 に、M88E1111 PHY の接続とピン番号を示します。

表 1-16：イーサネット PHY 接続

FPGA ピン (U1)	回路図ネット名	M88E1111 (U37)	
		ピン番号	ピン名
J21	PHY_MDIO	M1	MDIO
R23	PHY_MDC	L3	MDC
N30	PHY_INT	L1	INT_B
L20	PHY_RESET	K3	RESET_B
R30	PHY_CRS	B5	CRS
W19	PHY_COL	B6	COL
U27	PHY_RXCLK	C1	RXCLK
V26	PHY_RXER	D2	RXER
R28	PHY_REXCTL_ RXDV	B1	RXDV
U30	PHY_RXD0	B2	RXD0
U25	PHY_RXD1	D3	RXD1
T25	PHY_RXD2	C3	RXD2
U28	PHY_RXD3	B3	RXD3
U27	PHY_RXD4	C4	RXD4
T27	PHY_RXD5	A1	RXD5
T26	PHY_RXD6	A2	RXD6
T28	PHY_RXD7	C5	RXD7
K30	PHY_TXC_GTX CLK	E2	GTXCLK
M28	PHY_TXCLK	D1	TXCLK
N29	PHY_TXER	F2	TXER
M27	PHY_TXCTL_T XEN	E1	TXEN
N27	PHY_TXD0	F1	TXD0
N25	PHY_TXD1	G2	TXD1
M29	PHY_TXD2	G3	TXD2
L28	PHY_TXD3	H2	TXD3
J26	PHY_TXD4	H1	TXD4
K26	PHY_TXD5	H3	TXD5
L30	PHY_TXD6	J1	TXD6
J28	PHY_TXD7	J2	TXD7

表 1-16 : イーサネット PHY 接続 (続き)

FPGA ピン (U1)	回路図ネット名	M88E1111 (U37)	
		ピン番号	ピン名
J4	SGMII_TX_P	A3	SIN_P
J3	SGMII_TX_N	A4	SIN_N
H6	SGMII_RX_P	A7	SOUT_P
H5	SGMII_RX_N	A8	SOUT_N

### 参考資料

トライモード イーサネット MAC コアの詳細は、『LogiCORE IP トライモード イーサネット MAC v4.2 ユーザー ガイド』 ([UG138](#)) に記載されています。

Marvell 社製のギガビット イーサネット トランシーバー 88E1111 Alaska の製品概要は、<http://www.marvell.com/transceivers/alaska-gbe/> に掲載されています。

データシートの入手には、Marvell 社と NDA の締結が必要な場合があります。問い合わせ先は、<http://www.marvell.com> を参照してください。

ICS844021 デバイスの詳細は、Integrated Device Technology 社のウェブサイト ([www.idt.com](http://www.idt.com)) を参照し、製品番号 ICS844021 を検索してください。

## USB-UART ブリッジ

[図 1-2、参照番号 「17」]

KC705 ボードは、Silicon Labs 社製の USB-UART ブリッジ デバイス CP2103GM (U12) を搭載しています。このデバイスにより、USB ポートを介してホスト コンピューターに接続できます。USB ケーブルは、このキットに同梱されています (ホスト コンピューター側が Type A、KC705 ボードのコネクタ J6 側が mini B)。USB ケーブルが KC705 ボードの USB ポートに挿入されると、ホスト PC によって CP2103GM に USB の 5V が供給されます。

FPGA ファブリックにはザイリンクスの UART IP を実装するものとしています。FPGA は、送信 (TX)、受信 (RX)、送信要求 (RTS)、送信クリア (CTS) の 4 つの信号ピンを使用する、USB-UART ブリッジをサポートします。

Silicon Labs 社は、ホスト コンピューター用に無償の仮想 COM ポート (VCP) ドライバーを提供しています。これらのドライバーによって、ホスト コンピューター上で動作するアプリケーション ソフトウェア (例 : TeraTerm、HyperTerm など) が CP2103GM USB-UART ブリッジを COM ポートとして認識します。VCP デバイス ドライバーは、KC705 ボードとの通信を確立する前にホスト PC にインストールしておく必要があります。

表 1-17 に、J6 の USB 信号の定義を示します。

表 1-17 : Type mini-B USB (J6) のピン割り当てと信号の定義

USB コネクタ ピン (J6)	コネクタ ピン名	回路図ネット名	内容	U12 ピン (CP2103GM)	U12 ピン名 (CP2103GM)
1	VBUS	USB_VBUS	ホスト システムからの +5V - U12 CP2103 の電源	7、8	REGIN、VBUS
2	D_N	USB_D_N	双方向差動シリアルデータ (N 側)	4	D-
3	D_P	USB_D_P	双方向差動シリアルデータ (P 側)	3	D+
4	GND	USB_GND	信号グラウンド	2、29	GND、GND

表 1-18 に、FPGA と UART の USB 接続を示します。

表 1-18 : FPGA と UART の接続

U1 FPGA ピン	FPGA 内の UART 機能	回路図ネット名	U12 CP2103GM ピン	CP2103GM 内の UART 機能
L27	RTS、出力	USB_CTS	22	CTS、入力
K23	CTS、入力	USB_RTS	23	RTS、出力
K24	TX、データ出力	USB_RX	24	RXD、データ入力
M19	RX、データ入力	USB_TX	25	TXD、データ出力

CP2103GM および VCP ドライバー の技術情報は Silicon Labs 社のウェブサイト (<http://www.silabs.com>) を参照してください。

## HDMI ビデオ出力

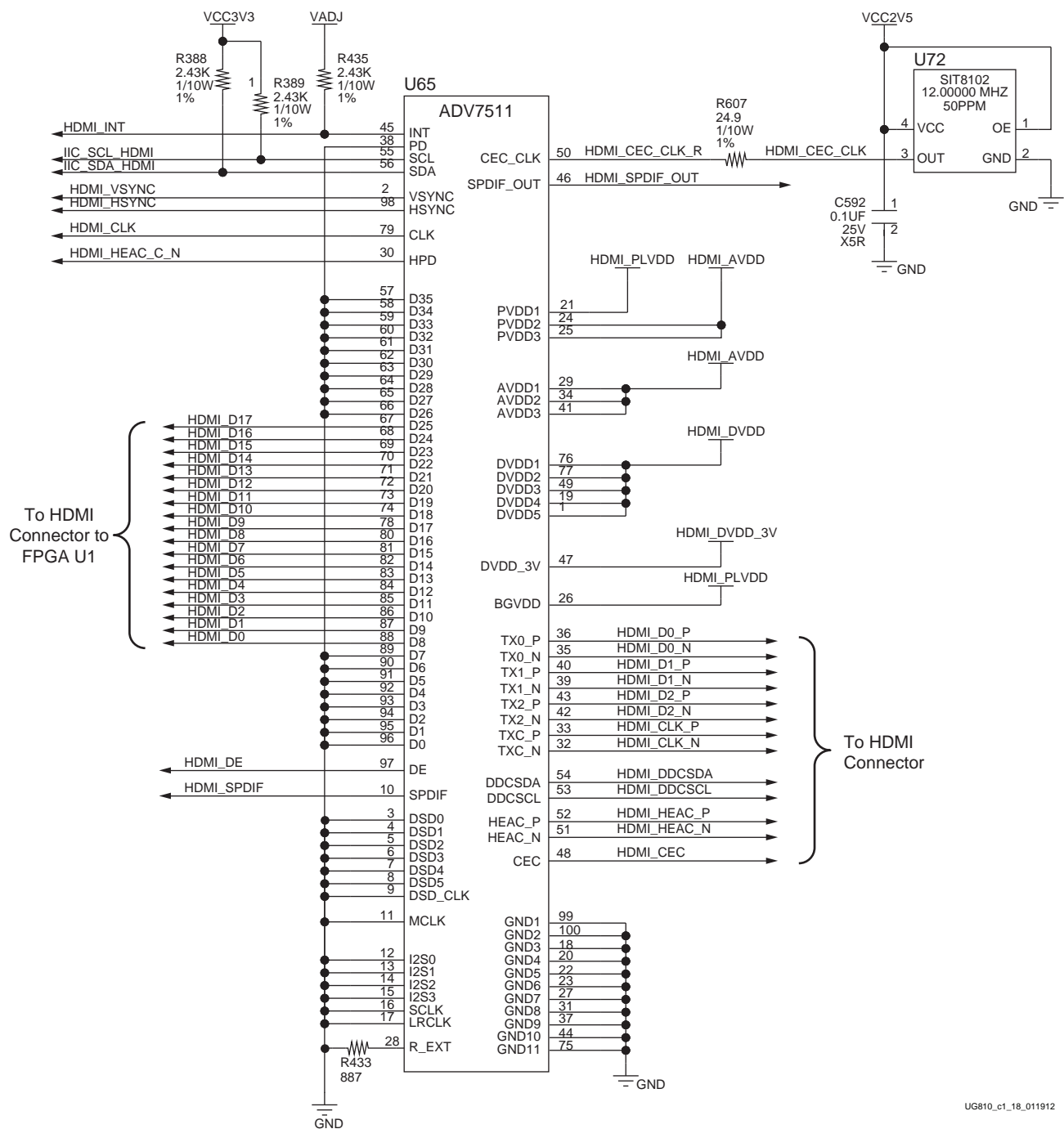
[図 1-2、参照番号 「18」]

KC705 ボードは、Analog Devices 社製の HDMI トランスミッター ADV7511KSTZ-P (U65) を使用して、高精細度マルチメディア インターフェイス (HDMI) ビデオ出力を提供します。HDMI 信号は、Molex 社製の 500254-1927 HDMI Type A コネクタ (P6) から出力されます。ADV7511 は、16 ビットの入力データ マッピングによる 1080P 60Hz、YCbCr 4:2:2 エンコードに対応できるように接続されています。

KC705 ボードは、次の HDMI デバイス インターフェイスをサポートします。

- 18 データ ライン
- 独立した VSYNC と HSYNC
- シングルエンドの入力クロック
- FPGA への割り込み出力ピン
- I<sup>2</sup>C
- SPDIF

図 1-18 に、HDMI コーデックの回路を示します。



UG810\_c1\_18\_011912

図 1-18 : HDMI コーデック回路

表 1-19 に、コーデックと FPGA 間の接続を示します。

表 1-19 : FPGA と HDMI コーデック (ADV7511) の接続

FPGA ピン (U1)	回路図ネット名	ADV7511 (U65)	
		ピン番号	ピン名
B23	HDMI_D0	88	D8
A23	HDMI_D1	87	D9
E23	HDMI_D2	86	D10
D23	HDMI_D3	85	D11
F25	HDMI_D4	84	D12
E25	HDMI_D5	83	D13
E24	HDMI_D6	82	D14
D24	HDMI_D7	81	D15
F26	HDMI_D8	80	D16
E26	HDMI_D9	78	D17
G23	HDMI_D10	74	D18
G24	HDMI_D11	73	D19
J19	HDMI_D12	72	D20
H19	HDMI_D13	71	D21
L17	HDMI_D14	70	D22
L18	HDMI_D15	69	D23
K19	HDMI_D16	68	D24
K20	HDMI_D17	67	D25
H17	HDMI_DE	97	DE
J17	HDMI_SPDIF	10	SPDIF
K18	HDMI_CLK	79	CLK
H20	HDMI_VSYNC	2	VSYNC
J18	HDMI_HSYNC	98	HSYNC
AH24	HDMI_INT	45	INT
G20	HDMI_SPDIF_OUT	46	SPDIF_OUT

表 1-20 に、コーデックと HDMI コネクタ P6 間の接続を示します。

表 1-20 : ADV7511 と HDMI コネクタの接続

ADV7511 (U65)	回路図ネット名	HDMI コネクタ P6 ピン
36	HDMI_D0_P	7
35	HDMI_D0_N	9
40	HDMI_D1_P	4
39	HDMI_D1_N	6
43	HDMI_D2_P	1
42	HDMI_D2_N	3

表 1-20 : ADV7511 と HDMI コネクタの接続 (続き)

ADV7511 (U65)	回路図ネット名	HDMI コネクタ P6 ピン
33	HDMI_CLK_P	10
32	HDMI_CLK_N	12
54	HDMI_DDCSDA	16
53	HDMI_DDCSCL	15
52	HDMI_HEAC_P	14
51	HDMI_HEAC_N	19
48	HDMI_CRC	13

ADV7511 に関する情報は、次の Analog Devices 社のウェブサイト(<http://www.analog.com/en/index.html>) から入手できます。ADV7511KSTZ-P を検索してください。

## LCD キャラクター ディスプレイ (16 文字 x 2 行)

[図 1-2、参照番号「19」]

KC705 ボードは、2 行 x 16 文字のディスプレイを搭載しています (図 1-19)。

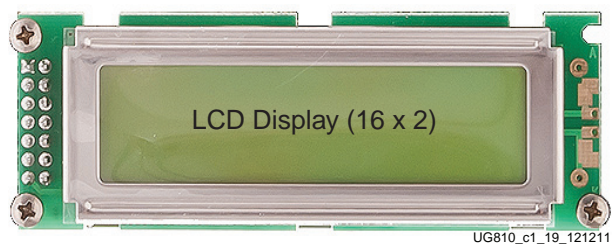


図 1-19 : LCD ディスプレイ

このキャラクター ディスプレイは 5.0V で動作し、TI 社製の 8 ビット双方向電圧レベル変換器 TXB0108 (U10) を介して、FPGA の 1.5V HP バンク 33 に接続されています。図 1-20 に、LCD インターフェイスの回路を示します。



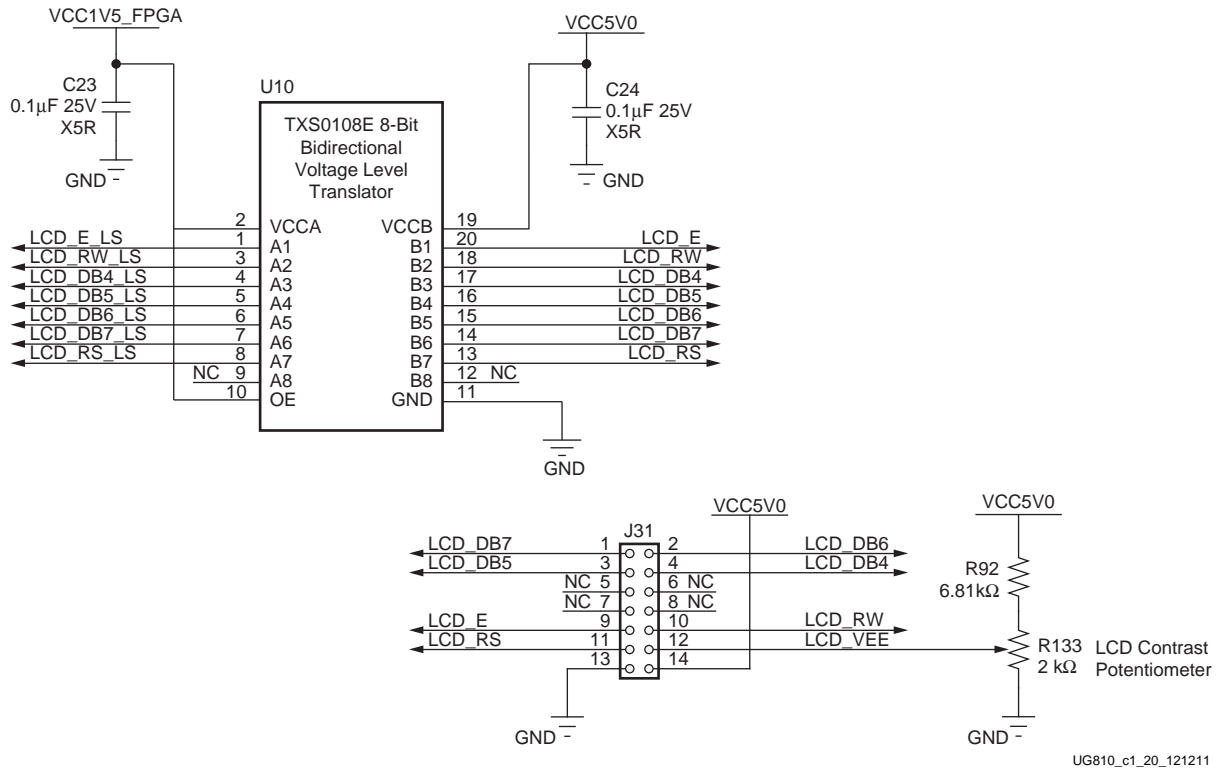


図 1-20 : LCD インターフェイス回路

KC705 ボードのベース ボードは、センター間距離 0.100 インチの 0.025 インチ四方のポストを持つ Samtec 社製の 2x7 オス ヘッダー MTLW-107-07-G-D-265 (J31) を搭載し、LCD ディスプレイ パネル アセンブリ側のメス ソケット、Samtec SLW-107-01-L-D と接続しています。図 1-21 に、LCD ヘッダーを示します。

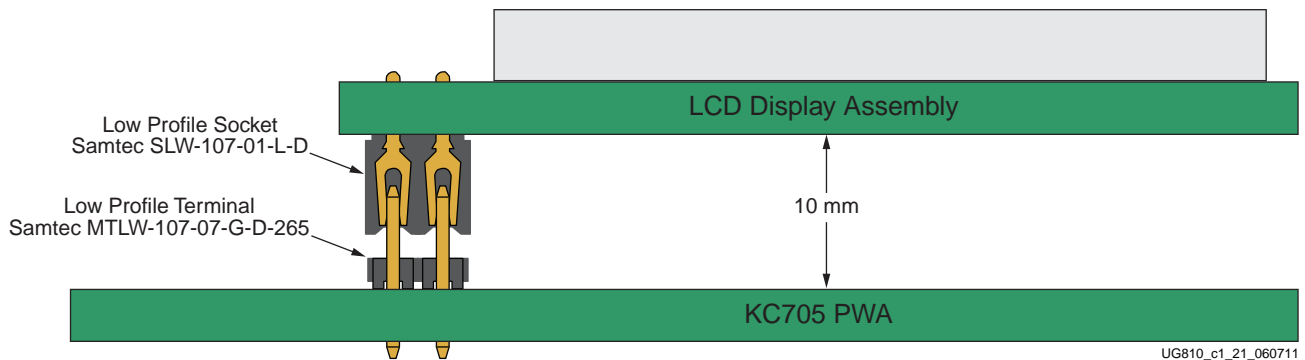


図 1-21 : LCD ヘッダーの詳細図

表 1-21 に、LCD ヘッダーと FPGA 間の接続を示します。

表 1-21 : FPGA と LCD ヘッダーの接続

FPGA ピン (U1)	回路図ネット名	LCD ヘッダー ピン (J31)
AA13	LCD_DB4_LS	4
AA10	LCD_DB5_LS	3
AA11	LCD_DB6_LS	2
Y10	LCD_DB7_LS	1
AB13	LCD_RW_LS	10
Y11	LCD_RS_LS	11
AB10	LCD_E_LS	9

### 参考資料

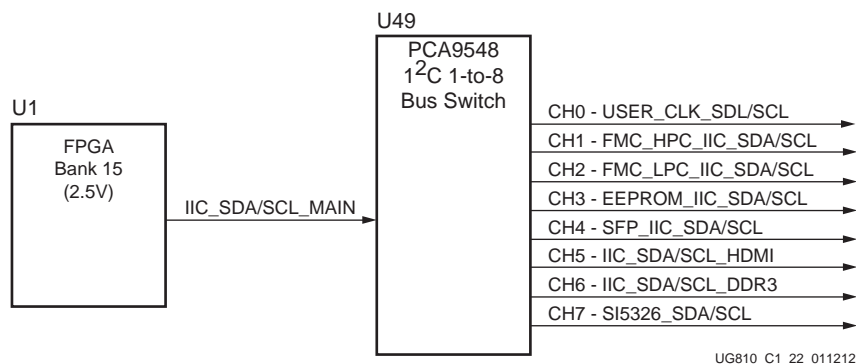
Displaytech 社製の S162DBABC LCD のデータシートは、ウェブサイト (<http://www.displaytech-us.com/products/charactermodules.php>) に記載されています。S162D モデルの詳細仕様をダウンロードする矢印を選択してください。

## I<sup>2</sup>C バス

[図 1-2、参照番号 「20」]

KC705 ボードは、I<sup>2</sup>C ポートを 1 つ (IIC\_SDA\_MAIN、IIC\_SDA\_SCL) FPGA に実装しています。信号は、NXP Semiconductor 社製の 1 : 8 チャンネル I<sup>2</sup>C スイッチ PCA9548 (U49) を介して接続されます。I<sup>2</sup>C スイッチは、最大 400kHz の動作が可能です。ターゲット バックサイド デバイスを選択するには、U49 バス スイッチに対して I<sup>2</sup>C アドレス 0x74/0b01110100 を指定し、コンフィギュレーションする必要があります。

図 1-22 に KC705 ボードの I<sup>2</sup>C バス トポロジを示します。

図 1-22 : I<sup>2</sup>C バス トポロジ

ダウンストリーム I<sup>2</sup>C バスの 1 つに接続されたデバイスと通信するユーザー アプリケーションは、まず I<sup>2</sup>C アドレス 0x74/0b01110100 が割り当てられた U49 バス スイッチで目的のバスへのパスを設定する必要があります。

表 1-22 に、各バスのアドレスを示します。

表 1-22 : I<sup>2</sup>C バス

I <sup>2</sup> C バス	I <sup>2</sup> C スイッチ位置	I <sup>2</sup> C アドレス
USER_CLK_SDL/SCL	0	0b1110000
FMC_HPC_IIC_SDA/SCL	1	0bXXXXX01
FMC_LPC_IIC_SDA/SCL	2	0bXXXXX01
EEPROM_IIC_SDA/SCL	3	0b1010100
SFP_IIC_SDA/SCL	4	0b1010000
IIC_SDA/SCL_HDMI	5	0b0111001
IIC_SDA/SCL_DDR3	6	0b1010000, 0b0011000
SI5326_SDA/SCL	7	0b1010000

PCA9548 に関する情報は、NXP Semiconductor 社のウェブサイト (<http://ics.nxp.com>) から入手できます。

## ステータス LED

[図 1-2、参照番号「21」]

表 1-23 に、ステータス LED の定義を示します。ユーザー制御 LED については、「ユーザー I/O」を参照してください。

表 1-23 : ステータス LED

参照記号	信号名	色	内容
DS11	PHY_LED_RX	緑	イーサネット PHY 受信 (RX)
DS11	PHY_LED_LINK1000	緑	イーサネットのリンク速度が 1000Mb/s
DS12	PHY_LED_TX	緑	イーサネット PHY 送信 (TX)
DS12	PHY_LED_LINK100	緑	イーサネットのリンク速度が 100Mb/s
DS13	PHY_LED_DUPLEX	緑	イーサネットのリンクが半二重
DS13	PHY_LED_LINK10	緑	イーサネットのリンク速度が 10Mb/s
DS14	PWRCTL1_VCC4A_PG	緑	FMC 電源は正常動作 (パワー グッド)
DS20	FPGA_DONE	緑	FPGA コンフィギュレーションが正常終了
DS21	FPGA_INIT_B	緑/赤	緑 : FPGA の初期化が正常終了 赤 : FPGA を初期化中
DS22	VCC12_P_IN	緑	12V 電源 ON
DS23	PWRCTL_PWRGOOD	緑	UCD9248 電源コントローラー (U55、U56) 電源の正常動作 (パワー グッド)
DS24	LINEAR_POWER_GOOD	緑	TPS74901 電源の正常動作 (パワー グッド)

## ユーザー I/O

[図 1-2、参照番号 「22」 ～ 「26」 ]

KC705 ボードは、次のユーザー I/O および 汎用 I/O 機能を備えています。

- 8 個のユーザー LED (参照番号 「22」 )
  - GPIO\_LED\_[7-0] : DS27、DS26、DS25、DS3、DS10、DS1、DS4
- 5 個のユーザー プッシュボタンおよびリセット スイッチ (参照番号 「23」 )
  - GPIO\_SW\_[NESWC] : SW2、SW3、SW4、SW6、SW5
  - CPU\_RESET : SW7
- 4 極のユーザー DIP スイッチ (参照番号 「24」 )
  - GPIO\_DIP\_SW[4-0] : SW11
- ユーザー ロータリー スイッチ (参照番号 「25」、LCD 下に隠れています)
  - ROTARY\_PUSH、ROTARY\_INCA、ROTARY\_INCB : SW8
- ユーザー SMA (参照番号 「26」 )
  - USER\_SMA\_GPIO\_P、USER\_SMA\_GPIO\_N : J13、J14
- 2 行 x 16 文字 LCD キャラクター ディスプレイ (参照番号 「19」 )
  - ディスプレイを取り付けない場合、コネクタ J31 のピンを 7 つの独立した GPIO として使用できる

## ユーザー LED

図 1-23 に、ユーザー LED の回路を示します。

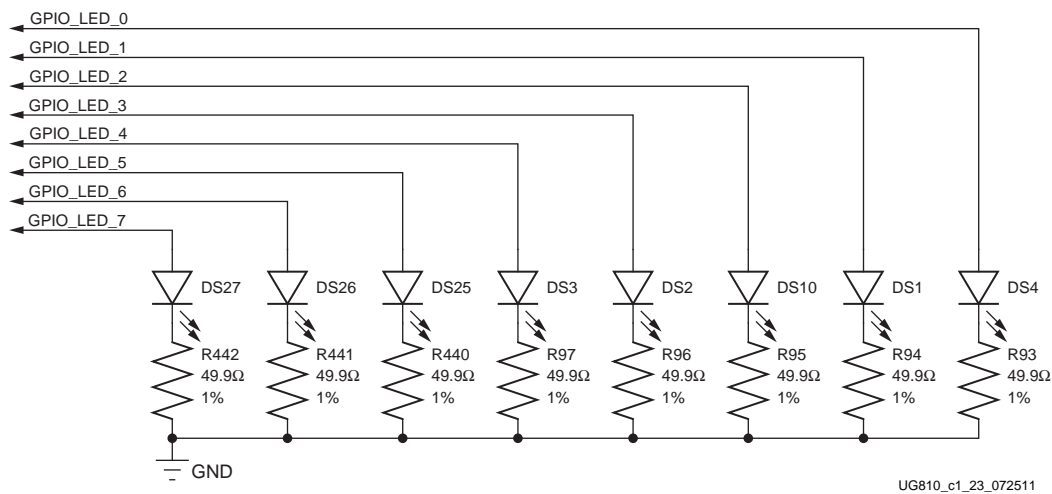
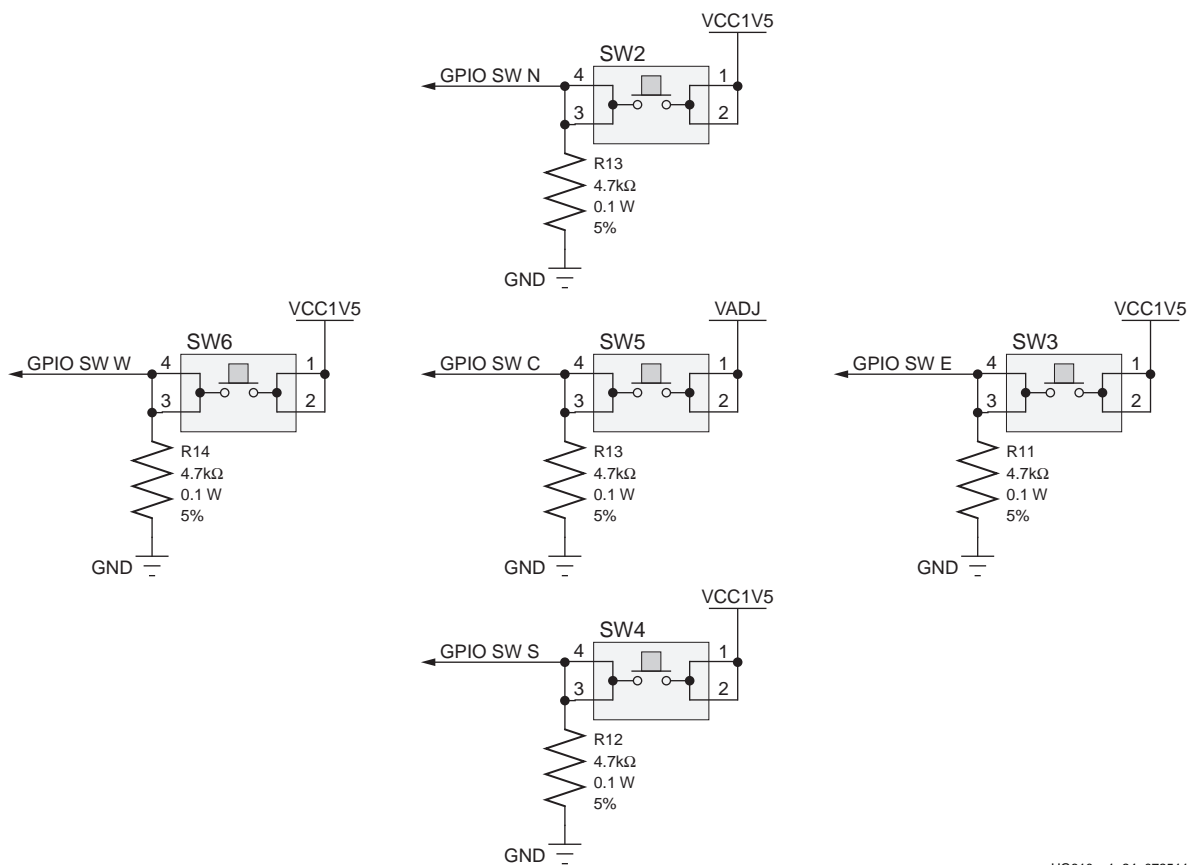


図 1-23 : ユーザー LED

## ユーザー プッシュボタン

図 1-24 に、ユーザー プッシュボタン スイッチの回路を示します。



UG810\_c1\_24\_072511

図 1-24 : ユーザー プッシュボタン

図 1-25 に、GPIO DIP スイッチの回路を示します。

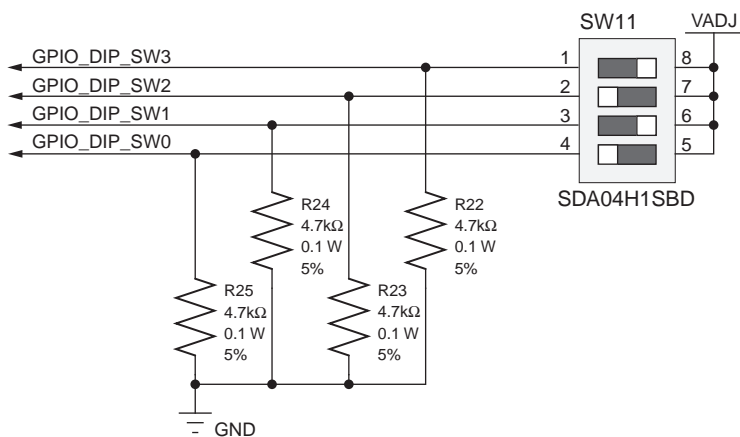


図 1-25 : GPIO DIP スイッチ

表 1-24 に、FPGA U1 への GPIO 接続を示します。

表 1-24 : FPGA U1 への GPIO 接続

FPGA ピン (U1)	回路図ネット名	GPIO ピン
インジケータ LED (アクティブ High)		
AB8	GPIO_LED_0	DS4.2
AA8	GPIO_LED_1	DS1.2
AC9	GPIO_LED_2	DS10.2
AB9	GPIO_LED_3	DS2.2
AE26	GPIO_LED_4	DS3.2
G19	GPIO_LED_5	DS25.2
E18	GPIO_LED_6	DS26.2
F16	GPIO_LED_7	DS27.2
方向性プッシュボタン スイッチ		
AA12	GPIO_SW_N	SW2.1
AG5	GPIO_SW_E	SW3.1
AB12	GPIO_SW_S	SW4.1
AC6	GPIO_SW_W	SW6.1
G12	GPIO_SW_C	SW5.1
4 極 DIP スイッチ		
AB25	GPIO_DIP_SW0	SW11.4
AA25	GPIO_DIP_SW1	SW11.3
AB28	GPIO_DIP_SW2	SW11.2
AA27	GPIO_DIP_SW3	SW11.1

## スイッチ

[図 1-2、参照番号 「27」 ～ 「28」 ]

KC705 ボードには、次の電源スイッチおよびコンフィギュレーション スイッチがあります。

- 電源オン/オフ用のスライド スイッチ SW15 (参照番号 「27」 )
- FPGA\_PROG\_B SW14、アクティブ Low (参照番号 「28」 )

### 電源オン/オフ用のスライド スイッチ SW15

[図 1-2、参照番号 「27」 ]

KC705 ボードの電源スイッチは SW15 です。スイッチをオフからオンの位置にスライドさせると、6 ピン ミニフィット コネクタ J49 から 12V 電源が供給されます。KC705 ボードに電源が投入されると、緑色の LED DS22 が点灯します。ボード上の電源システムの詳細は、「電力管理」を参照してください。

注意 : KC705 ボードの J49 には、PC の ATX 電源用 6 ピン コネクタを接続しないでください。ATX 6 ピン コネクタと J49 ではピン配置が異なります。ATX 6 ピン コネクタを J49 に接続すると KC705 ボードが損傷し、ボードの保証は無効になります。

図 1-26 に、電源コネクタ J49、電源スイッチ SW15、電源インジケータ LED DS22 を示します。

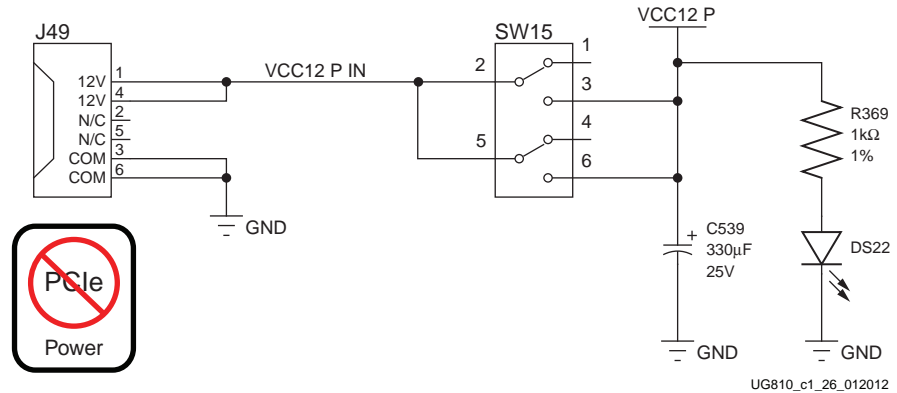


図 1-26 : 電源 ON/OFF スイッチ SW15

### FPGA\_PROG\_B プッシュボタン SW14 (アクティブ Low)

[図 1-2、参照番号「28」]

SW14 スイッチを押すと、FPGA の PROG\_B ピンがグランドに接続されます。これにより、FPGA のリコンフィギュレーションが始まります。FPGA\_PROG\_B 信号は、FPGA U1 の K10 ピンに接続されています。

7 シリーズ FPGA のコンフィギュレーションの詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) を参照してください。

図 1-27 に、SW14 を示します。

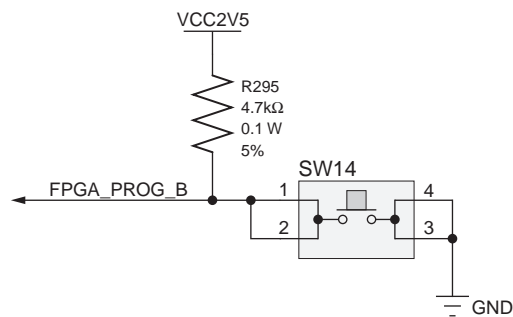


図 1-27 : FPGA\_PROG\_B プッシュボタン SW14

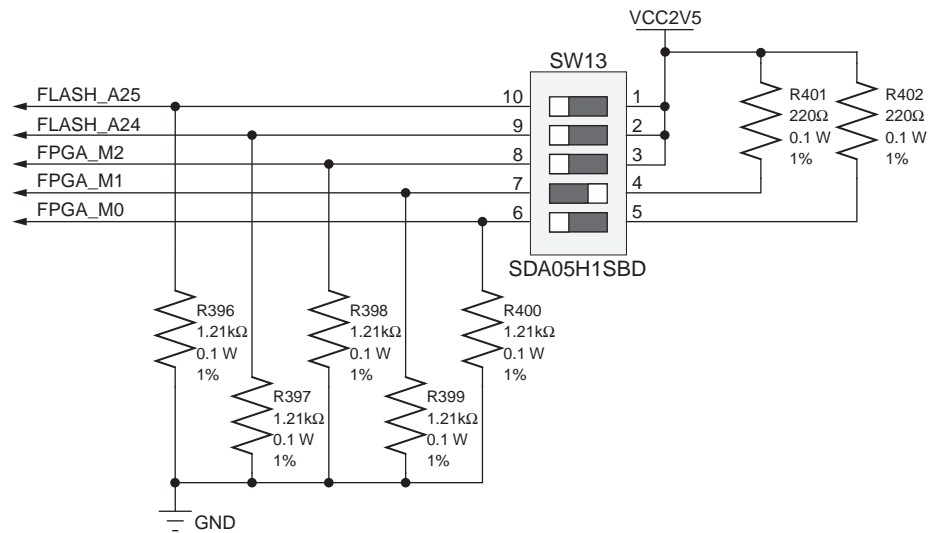
## コンフィギュレーション モード/リニア フラッシュの上位アドレス スイッチ (SW13)

[図 1-2、参照番号「29」]

**FPGA コンフィギュレーション モード :** DIP スイッチ SW13 の位置 3、4、5 は、電源投入時または PROG プッシュボタンが押されたときにどのコンフィギュレーション モードを使用するかを生業します。

**リニア BPI フラッシュの上位アドレス :** DIP スイッチ SW13 の位置 1、2 は、アドレス ビット FLASH\_A25 および FLASH\_A24 の設定を制御します。モード信号の FPGA\_M2、\_M1、\_M0 は、それぞれ FPGA U1 の AB1、AB2、AB5 ピンに接続されています。コンフィギュレーション モードは電源投入時または PROG プッシュボタンが押されたときに使用します。

図 1-28 に SW13 の回路を示します。



UG810\_c1\_28\_011912

図 1-28 : コンフィギュレーション モード/リニア フラッシュの上位アドレス スイッチ

## VITA 57.1 FMC HPC コネクタ (一部割り当て)

[図 1-2、参照番号「30」]

KC705 ボードは、VITA 57.1.1 FMC 仕様のハイピン カウント (HPC、J22) およびローピン カウント (LPC、J2) コネクタの 2 種類の実装オプションがあります。ここでは、FMC HPC J22 コネクタについて説明します。

**注記 :** FMC HPC J22 コネクタには、プラグオン カードの表面が KC705 ボードとは反対の側を向くように、方向を決める突起があります。

FMC 規格では、ハイピン カウント (HPC) およびローピン カウント (LPC) の実装による 2 種類のコネクタ集積度を規定しています。いずれも、コネクタの外形は 10 x 40 ポジションの 400 ピンです。HPC の場合は 400 ピンのすべてに信号が割り当てられます。LPC では、400 ピンのうち 160 ピンに信号が割り当てられます。

10 x 40 行の FMC HPC コネクタは、最大で次のピンを提供します。

- ユーザー定義のシングルエンド信号 160 本、または差動信号 80 ペア
- GTX トランシーバー 10 本



- GTX クロック 2 本
- 差動クロック 4 本
- グランド 159 本および電源接続 15 本

KC705 ボードの FMC HPC コネクタは、上記の一部として次の信号/クロック接続機能を提供します。

- ユーザー定義の差動信号 58 ペア
  - LA 34 ペア (LA00 ~ LA33)
  - HA 24 ペア (HA00 ~ HA23)
- GTX トランシーバー 4 本
- GTX クロック 1 本
- 差動クロック 2 本

FMC HPC 信号は、GTX クラウド 116、117、118 に分配されます。それぞれのクラウドに、VADJ に接続された VCCO 電圧が供給されます。

注記：FMC HPC (J22) および LPC (J2) コネクタの KC705 ボード VADJ 電圧は、[50 ページの「電力管理」](#)で説明する FMC VADJ 電源シーケンス ロジックによって決定されます。

## VITA 57.1 FMC LPC コネクタ (全ピン割り当て)

[[図 1-2](#)、参照番号「31」]

KC705 ボードは、VITA 57.1.1 FMC 仕様のハイピンカウント (HPC、J22) およびローピンカウント (LPC、J2) コネクタの両方を実装します。ここでは、FMC LPC J2 コネクタについて説明します。

注記：FMC LPC J2 コネクタには、プラグオンカードの表面が KC705 ボードとは反対の側を向くように、方向を決める突起があります。

FMC 規格では、ハイピンカウント (HPC) およびローピンカウント (LPC) の実装による 2 種類のコネクタ集積度を規定しています。いずれも、コネクタの外形は 10 x 40 ポジションの 400 ピンです。HPC の場合は 400 ピンのすべてに信号が割り当てられます。LPC では、400 ピンのうち 160 ピンに信号が割り当てられます。

10 x 40 行の FMC LPC コネクタは、最大で次のピンを提供します。

- ユーザー定義のシングルエンド信号 68 本、または差動信号 34 ペア
- GTX 1 本
- GTX クロック 1 本
- 差動クロック 2 本
- グランド 61 本および電源接続 10 本

KC705 ボードの FMC LPC コネクタは、上記の一部として次の信号/クロック接続機能を提供します。

- ユーザー定義の差動信号 34 ペア
  - LA 34 ペア (LA00 ~ LA33)
- GTX 1 本
- GTX クロック 1 本

- 差動クロック 2 本

シグナリング速度の定格

- シングルエンド : 9GHz (18Gb/s)
- 差動
  - 最適垂直 : 9GHz (18Gb/s)
  - 最適水平 : 16GHz (32Gb/s)
  - 高密度垂直 : 7GHz (15Gb/s)

機械的仕様

- Samtec 社製 SEAM/SEAF シリーズ
- 1.27mm x 1.27mm (0.050" x 0.050") ピッチ

Samtec のコネクタ システムのシグナリング速度定格は、2 レベル信号環境における -3dB 挿入損失点で最大 9GHz (18Gb/s) です。

## 電力管理

図 1-29 に、KC705 ボードの電源配分を示します。

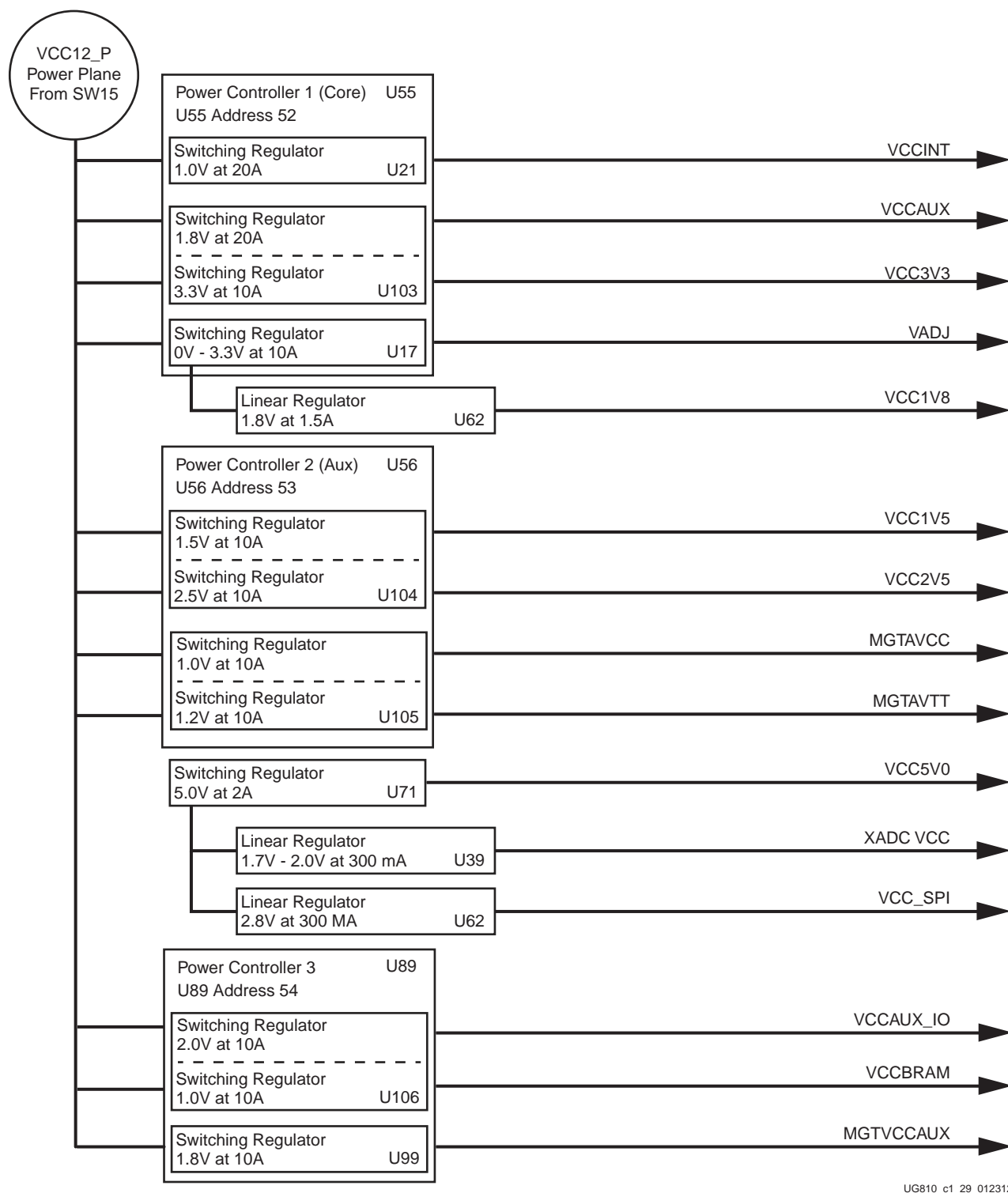


図 1-29 : KC705 オンボード電源レギュレータ

KC705 ボードは、電源レギュレータと Texas Instruments 社製の PMBus 準拠デジタル PWM システム コントローラーを使用して、表 1-25 に示すコア電圧および補助電圧を供給します。

表 1-25 : オンボード電源システム デバイス

デバイス タイプ	参照記号	内容	電源レール ネット名	電源レール 電圧	回路図 ページ
コア電圧コントローラーおよびレギュレータ					
UCD9248PFC <sup>(1)</sup>	U55	PMBus コントローラー (Addr = 52)			36
PTD08A020W	U21	可変出力スイッチングレギュレータ 20A、0.6V ～ 3.6V	VCCINT_FPGA	1.00V	37
PTD08D021W (V <sub>OUT A</sub> )	U103	可変出力スイッチングレギュレータ デュアル 10A、0.6V ～ 3.6V	VCCAUX	1.80V	38
PTD08D021W (V <sub>OUT B</sub> )		可変出力スイッチングレギュレータ デュアル 10A、0.6V ～ 3.6V	VCC3V3	3.30V	38
PTD08A010W	U17	可変出力スイッチングレギュレータ 10A、0.6V ～ 3.6V	VCC_ADJ	0 ～ 3.30V	39
補助電圧コントローラーおよびレギュレータ					
UCD9248PFC <sup>(2)</sup>	U56	PMBus コントローラー (Addr = 53)			40
PTD08D021W (V <sub>OUT A</sub> )	U104	可変出力スイッチングレギュレータ デュアル 10A、0.6V ～ 3.6V	VCC2V5_FPGA	2.50V	41
PTD08D021W (V <sub>OUT B</sub> )		可変出力スイッチングレギュレータ デュアル 10A、0.6V ～ 3.6V	VCC1V5_FPGA	1.50V	41
PTD08D021W (V <sub>OUT A</sub> )	U105	可変出力スイッチングレギュレータ デュアル 10A、0.6V ～ 3.6V	MGTAVCC	1.00V	42
PTD08D021W (V <sub>OUT B</sub> )		可変出力スイッチングレギュレータ デュアル 10A、0.6V ～ 3.6V	MGTAVTT	1.20V	42
UCD9248PFC <sup>(3)</sup>	U89	PMBus コントローラー (Addr = 54)			43
PTD08D021W (V <sub>OUT A</sub> )	U106	デュアル 10A、0.6V ～ 3.6V 可変出力 スイッチングレギュレータ	VCCAUX_IO	2.00V	44
PTD08D021W (V <sub>OUT B</sub> )		デュアル 10A、0.6V ～ 3.6V 可変出力 スイッチングレギュレータ	VCCBRAM	1.00V	44
PTD08A010W	U99	10A、0.6V ～ 3.6V 可変出力 スイッチング レギュレータ	MGTVCCAUX	1.80V	45
リニアレギュレータ					
LMZ12002	U71	固定出力リニアレギュレータ 2A	VCC5V0	5.00V	46
TL1962ADC	U62	固定出力リニアレギュレータ 1.5A	VCC1V8	1.80V	46
ADP123	U17	固定出力リニアレギュレータ 300mA	VCC_SPI	2.80V	46
ADP123	U18	固定出力リニアレギュレータ 300mA	XADC_VCC	1.80V	31
TPS51200DR	U33	トラッキングレギュレータ、3A	VTTDDR	0.75V	46

## 注記 :

1. 表 1-26 を参照してください。
2. 表 1-27 を参照してください。
3. 表 1-30 を参照してください。

## FMC\_VADJ 電圧制御

FMC\_VADJ レールは 2.5V に設定します。KC705 ボードの電源投入時、ヘッダー J65 に接続された FMC\_VADJ\_ON\_B 信号の状態が、TI の UCD9248 コントローラー (U55) によってサンプリングされます。J65 にジャンパーが装着されている場合、FMC\_VADJ\_ON\_B 信号は Low に保持され、電源投入時に TI 社製のコントローラー U55 が FMC\_VADJ レールに電力を供給します。

レールがオンかの判断は、電源投入時の J65 ジャンパーの有無に基づいて行われるため、電源が立ち上がった後に J65 ジャンパーを抜いても、FMC\_VADJ レールに供給される 2.5V 電源には影響がなく、オンの状態が保たれます。

J65 は、ジャンパーを装着した状態がデフォルト設定です。

J65 にジャンパーが装着されていない場合、FMC\_VADJ\_ON\_B 信号は High になり、KC705 は電源投入時に FMC\_VADJ の 2.5V を供給しません。このモードでは FMC\_VADJ の投入タイミングと電圧レベル (1.8V ~ 3.3V) をユーザーが制御できます。FMC\_VADJ をオフにした場合も FPGA による VADJ\_ON\_B 信号および TI 社製コントローラー PMBUS のコンフィギュレーションおよびアクセスは可能です。これらの組み合わせにより、ユーザーは FMC\_VADJ レールをデフォルト設定の 2.5V とは異なる任意の値に設定するコードを開発できます。TI 社製コントローラー U55 に新たな FMC\_VADJ 電圧レベルをプログラムした後、ユーザー ロジックによって VADJ\_ON\_B 信号を Low 駆動すれば、FMC\_VADJ レールを新しい電圧レベルで立ち上げることができます。このモードでは、KC705 の電源投入後に J65 にジャンパーを装着すると、FMC\_VADJ レールがオンになります。

UCD9248 デジタル電源コントローラーの PMBUS プログラムに関する資料は、<http://www.ti.com/fusiondocs> から入手できます。

## 電圧および電流の監視

Texas Instruments 社製の Fusion Digital Power GUI により、選択した電源レールの電圧と電流を監視および制御できます。ボードに搭載された 3 つの TI 社製電源コントローラー (アドレス 52 の U55、アドレス 53 の U56、アドレス 54 の U89) は、いずれも同じ PMBus に接続されます。TI USB インターフェイス アダプター PMBus ポッド (TI 製品番号 EVM USB-TO-GPIO) および対応する TI Fusion Digital Power Designer GUI で使用するために PMBus コネクタ J39 が用意されています。これは表 1-26、表 1-27、表 1-28 に記載された電源レールの電圧および電流値を監視する最も簡単で効果的な方法です。

これらの 3 つのコントローラー別の表に記載されたパワー グッド (PG) オンしきい値とは、特定のレール電圧がその値以下であれば正常であると見なされる値です。PG オフしきい値とは、特定のレール電圧がその値以下であれば、正常ではないと見なされる値です。これらの PG 条件はコントローラー内部で論理和を取られ、すべてのアクティブなレールの PG 状態が正常である場合にのみ、PG 出力ピンを High に駆動します。オン/オフ遅延、立ち上がり/立ち下がり時間は、ボード電源のオン/オフ スライド スイッチ SW15 を切り換えた時点を基準としています。

表 1-26 に、アドレス 53 (U55) の PMBus コントローラー UCD9248 で制御される、各電源レールの電圧および電流の既定値を示します。

表 1-26 : アドレス 52 の PMBus コントローラー UCD9248 による電源レール仕様

レール番号	レール名	回路図レール名	公称 $V_{OUT}$ (V)	PG オンしきい値 (V)	PG オフしきい値 (V)	オン遅延 (ms)	立ち上がり時間 (ms)	オフ遅延 (ms)	立ち下がり時間 (ms)	シャットダウンしきい値 <sup>(1)</sup>		
										$V_{OUT}$ 超過障害 (V)	$I_{OUT}$ 超過障害 (A)	温度超過障害 (°C)
1	レール #1	VCCINT_FPGA	1	0.9	0.85	0	5	10	1	1.15	20	90
2	レール #2	VCCAUX	1.8	1.62	1.53	0	5	5	1	2.07	10.41	90
3	レール #3	VCC3V3	3.3	2.97	2.805	0	5	4	1	3.795	10.41	90
4	レール #4	VADJ	2.5	2.25	2.125	0	5	3	1	2.875	10.41	90

注記 :

- これらの列の値は、それを超えるとレギュレータがシャットダウンする電圧、電流、温度のしきい値です。

表 1-27 に、アドレス 53 (U56) の PMBus コントローラー UCD9248 で制御される、各電源レールの電圧および電流の既定値を示します。

表 1-27 : アドレス 53 の PMBus コントローラー UCD9248 による電源レール仕様

レール番号	レール名	回路図レール名	公称 $V_{OUT}$ (V)	PG オンしきい値 (V)	PG オフしきい値 (V)	オン遅延 (ms)	立ち上がり時間 (ms)	オフ遅延 (ms)	立ち下がり時間 (ms)	シャットダウンしきい値 <sup>(1)</sup>		
										$V_{OUT}$ 超過障害 (V)	$I_{OUT}$ 超過障害 (A)	温度超過障害 (°C)
1	レール #1	VCC2V5_FPGA	2.5	2.25	2.125	0	5	1	1	2.875	10.41	90
2	レール #2	VCC1V5	1.5	1.35	1.275	0	5	0	1	1.725	10.41	90
3	レール #3	MGTAVCC	1	0.9	0.85	0	5	7	1	1.45	10.41	90
4	レール #4	MGTAVTT	1.2	1.08	1.02	0	5	8	1	1.38	10.41	90

注記 :

- これらの列の値は、それを超えるとレギュレータがシャットダウンする電圧、電流、温度のしきい値です。

表 1-28 に、アドレス 54 (U89) の PMBus コントローラー UCD9248 で制御される、各電源レールの電圧および電流の既定値を示します。

表 1-28 : アドレス 54 の PMBus コントローラー UCD9248 による電源レール仕様

レール番号	レール名	回路図 レール名	公称 $V_{OUT}$ (V)	PG オンしきい値 (V)	PG オフしきい値 (V)	オン遅延 (ms)	立ち上がり時間 (ms)	オフ遅延 (ms)	立ち下がり時間 (ms)	シャットダウンしきい値 <sup>(1)</sup>		
										$V_{OUT}$ 超過障害 (V)	$I_{OUT}$ 超過障害 (A)	温度超過障害 (°C)
1	レール #1	VCCAUX_IO	2	1.8	1.7	0	5	2	1		10.41	90
2	レール #2	VCC_BRAM	1	0.9	0.85	0	5	9	1		10.41	90
3	レール #3	MGTVCCAUX	1.8	1.62	1.53	0	5	6	1		10.41	90

注記：

- これらの列の値は、それを超えるとレギュレータがシャットダウンする電圧、電流、温度のしきい値です。

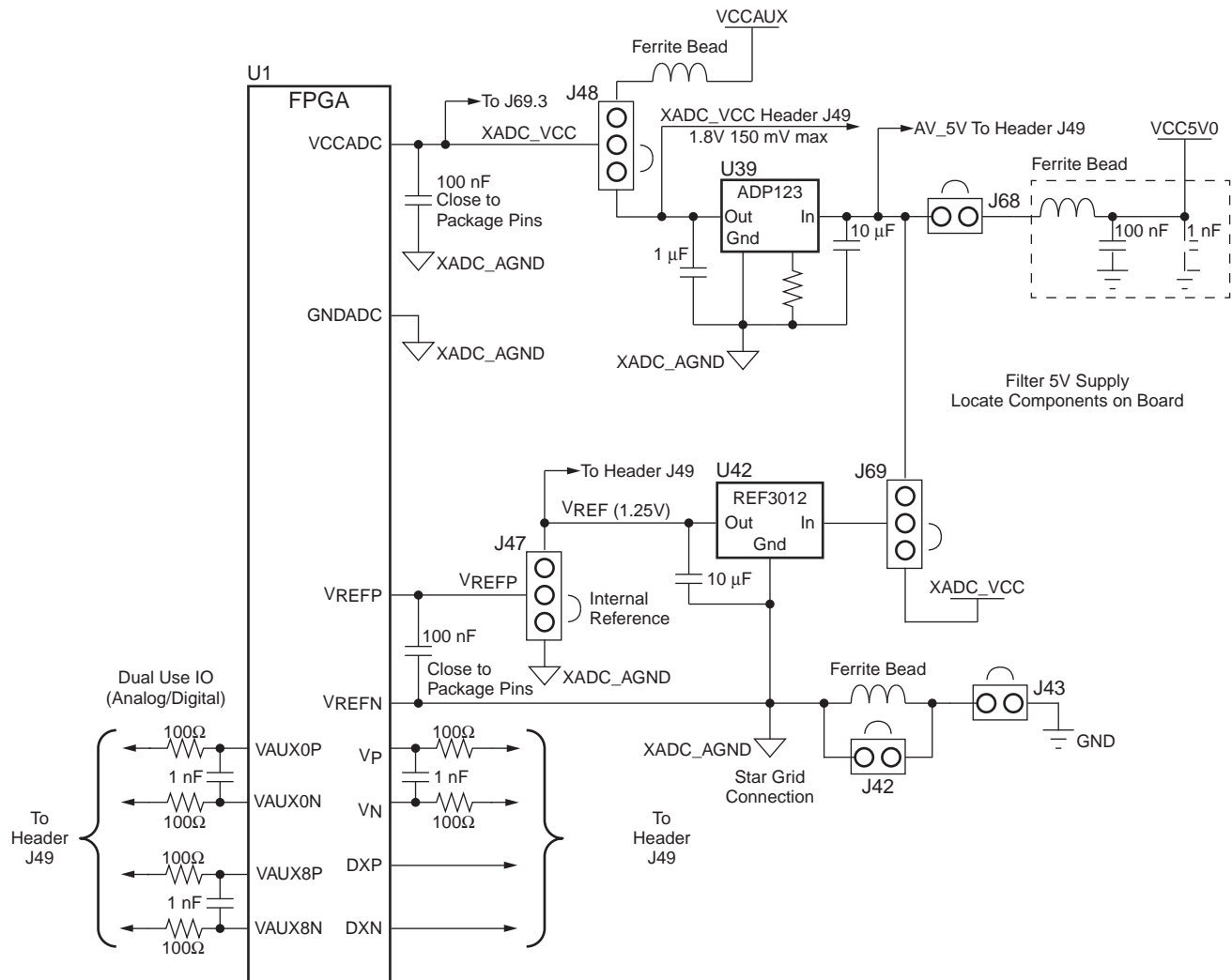
#### 参考資料

KC705 ボードに使用されている電源システム コンポーネントの詳細は、次に示す Texas Instruments 社のデジタル電源に関するウェブサイトに記載されています。

<http://www.ti.com/ww/en/analog/digital-power/index.html>

## XADC ヘッダー

7 シリーズ FPGA には、アナログ フロント エンド (XADC) ブロックがあります。XADC ブロックには、12 ビット、1MSPS のデュアル A/D コンバーター (ADC) とオンチップ センサーが含まれます。アナログ フロント エンドの機能の詳細は、『7 シリーズ FPGA XADC ユーザー ガイド』(UG480) を参照してください。図 1-30 に、KC705 ボードの XADC がサポートする機能を示します。



UG810\_c1\_30\_011912

図 1-30 : ヘッダー XADC\_VREF 電圧源のオプション

KC705 ボードは、FPGA 内部センサーによる測定機能と XADC による外部測定機能の両方をサポートします。内部センサーでは、ダイ温度、VCCINT、VCCAUX、VCCBRAM を測定できます。KC705 ボードの VCCINT と VCCBRAM は共通の 1.0V 電源から供給されています。

ジャンパー J47 によって、A/D コンバーターに使用する基準電圧として、外部の差動基準電圧 (XADC\_VREF) を使用するか、オンチップの基準電圧を使用するか (J47 2-3 ピンをジャンパー接続) を選択できます。

外部測定用に XADC ヘッダー (J46) が用意されています。このヘッダーは、FPGA の専用 VP/VN チャンネルおよび補助アナログ入力チャンネル VAUXP[0]/VAUXN[0]、VAUXP[8]/VAUXN[8] へのアナログ入力に使用できます。チャンネル 0 とチャンネル 8 の同時サンプリングもサポートしています。

ユーザー提供のアナログ信号マルチプレクサー カードを使用して、さらに多くの外部アナログ入力をサンプリングできます。その場合は、マルチプレクサーのアドレスラインとして XADC ヘッダー上の 4 本の GPIO ピンを使用します。図 1-31 に、XADC ヘッダーの接続を示します。



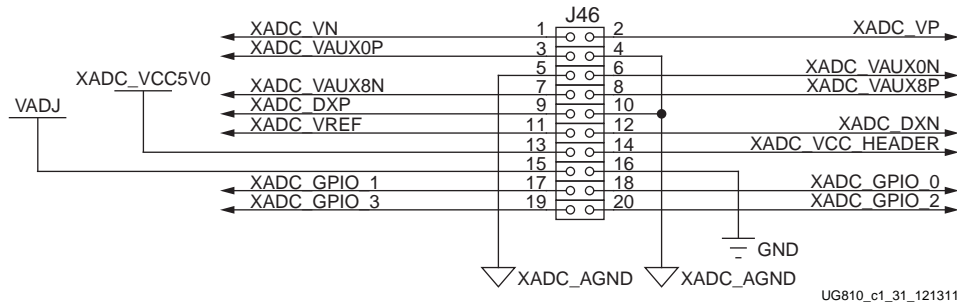


図 1-31 : XADC ヘッダー (J46)

表 1-29 に、XADC ヘッダー J46 ピンの機能を示します。

表 1-29 : XADC ヘッダー J46 のピン割り当て

ネット名	J46 ピン番号	内容
VN、VP	1、2	XADC の専用アナログ入力チャネル
XADC_VAUX0P、N	3、6	補助アナログ入力チャネル 0。アンチエイリアスキャパシタが存在しない場合は IO 入力としても使用できます。
XADC_VAUX8N、P	7、8	補助アナログ入力チャネル 8。アンチエイリアスキャパシタが存在しない場合は IO 入力としても使用できます。
DXP、DXN	9、12	熱ダイオードへのアクセス
XADC_AGND	4、5、10	アナロググラウンド基準
XADC_VREF	11	ボードからの 1.25V 基準電圧
XADC_VCC5V0	13	ボードからの 5V 電源 (フィルター済み)
XADC_VCC_HEADER	14	XADC のアナログ 1.8V 電源
VADJ	15	DIO ピンのソースとなるバンクの VCCO 電源
GND	16	デジタルグラウンド (ボード) 基準
XADC_GPIO_3、2、1、0	19、20、17、18	デジタル IO。同じバンクからの必要があります。これらは、トライステート動作のサポートに必要なため、ほかの機能と共用しないでください。

## コンフィギュレーション オプション

KC705 ボードの FPGA は、次の方法でコンフィギュレーションできます。

- マスター BPI (リニア BPI フラッシュを使用)
- マスター SPI (クワッド SPI フラッシュを視王)
- JTAG (USB-JTAG ブリッジまたはダウンロード ケーブルを使用)。詳細は、[20 ページの「USB JTAG」](#)を参照してください。

コンフィギュレーション モードの詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』([UG470](#))を参照してください。

FPGA のコンフィギュレーション方法は、DIP スイッチ SW13 で選択するモード ピン (M2、M1、M0) の設定によって制御されます。表 1-30 に、サポートされるモード スイッチ設定を示します。

表 1-30 : モード スイッチ SW13 の設定

モード ピン (M2、M1、M0)	コンフィギュレーション モード
010	マスター BPI
001	マスター SPI
101	JTAG

図 1-32 に、モード スイッチ SW13 を示します。

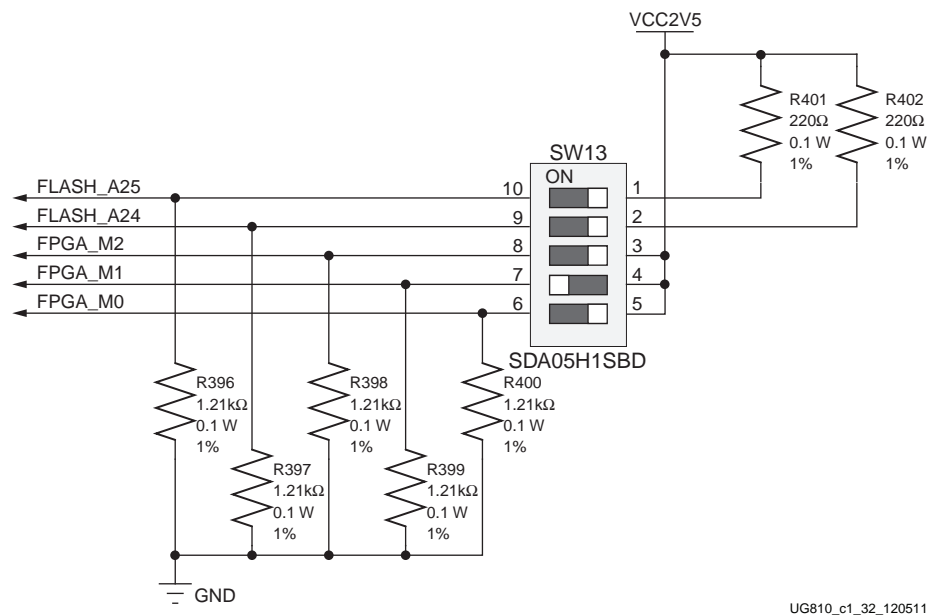
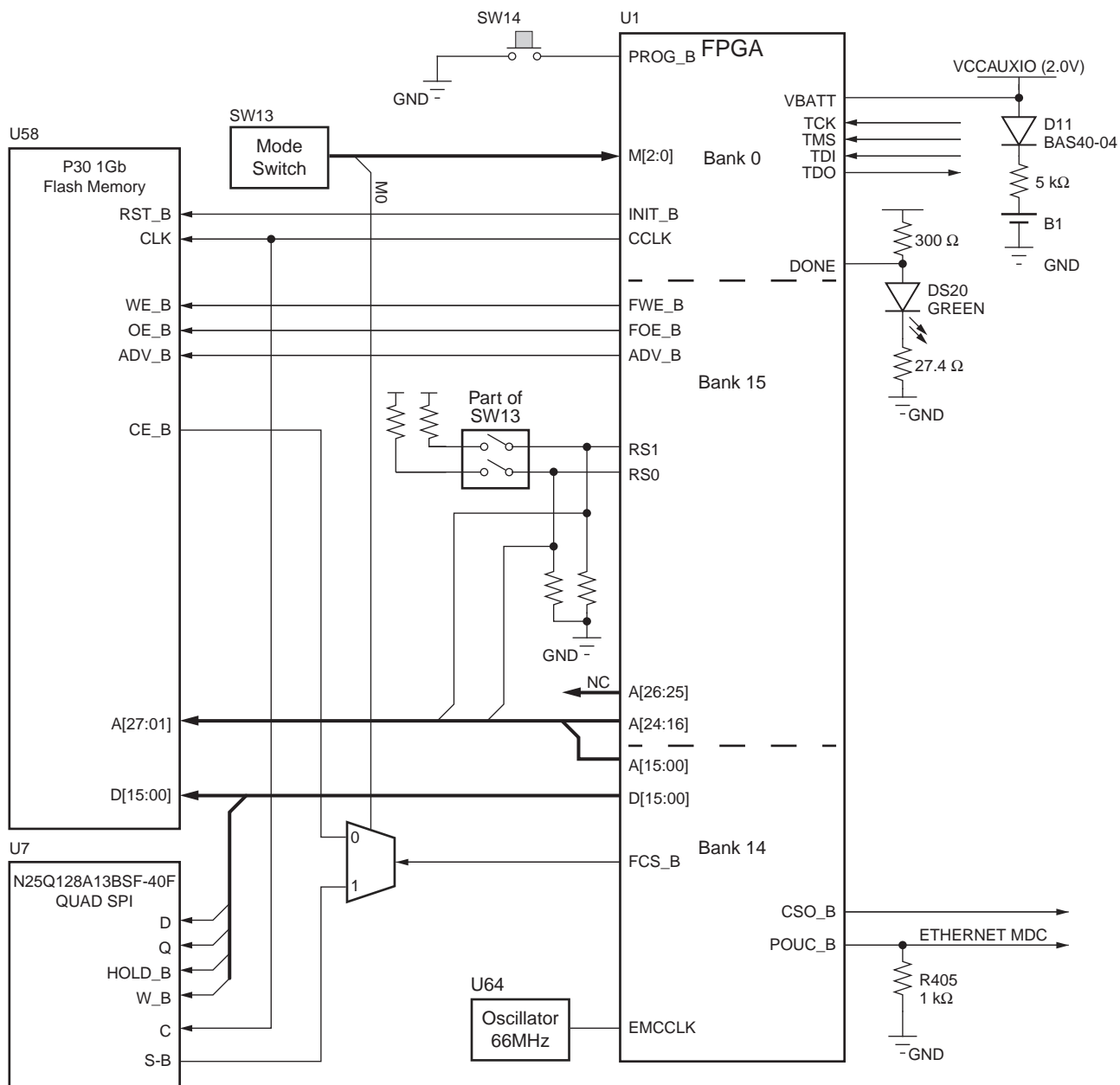


図 1-32 : モード スイッチ

SW13 のモード ピン設定によって、FPGA のコンフィギュレーションに、リニア BPI フラッシュまたは QSPI フラッシュのいずれを使用するかが決定します。また、DIP スイッチ SW13 を使用して、リニア BPI フラッシュのアドレス上位 2 ビットも設定できるだけでなく、フラッシュに保存された複数のコンフィギュレーション ビットストリームのいずれを使用するかを選択できます。図 1-33 に、コンフィギュレーションに使用するオンボード不揮発性フラッシュ デバイスと FPGA 間の接続を示します。

最速のコンフィギュレーションを実現するために、外付けの 66MHz オシレーターが FPGA の EMCCLK ピンに接続されています。この構成によりユーザーはリニア BPI フラッシュ メモリから 16 ビットのデータパスを利用し、33MHz の最大同期読み出しレートで FPGA をコンフィギュレーションするビットストリームを作成できます。その場合、フラッシュ メモリに保存されるビットストリームは、EMCCLK を 2 分周するように bitgen オプションを設定して生成する必要があります。



UG810\_c1\_33\_011012

図 1-33 : KC705 ボードのコンフィギュレーション回路



## 資料およびリソース

---

### ドキュメント

Kintex™-7 デバイス、KC705 Kintex-7 FPGA 評価ボード、IP に関連する資料へのリンクを次に示します。

[UG138](#) : 『LogiCORE IP トライモード イーサネット MAC v4.2 ユーザー ガイド』

[DS180](#) : 『7 シリーズ FPGA の概要』

[UG586](#) : 『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』

[UG473](#) : 『7 シリーズ FPGA メモリ リソース ユーザー ガイド』

[UG470](#) : 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』

[UG475](#) : 『7 シリーズ FPGA パッケージおよびピン配置仕様』

[UG476](#) : 『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』

[UG477](#) : 『7 シリーズ FPGA PCI Express 用インテグレイテッド ブロック ユーザー ガイド』

[UG480](#) : 『7 シリーズ FPGA XADC ユーザー ガイド』

ザイリンクスのデバイス、デザイン ツール、IP、ボード、キットに関するその他のドキュメントは、次のザイリンクスのドキュメンテーション ウェブサイトから入手できます。

<http://japan.xilinx.com/support/documentation/index.htm>

KC705 Kintex-7 FPGA 評価ボードで使用しているその他のデバイスに関する資料は、各ベンダーのウェブサイトを参照してください。

Analog Devices 社 : <http://www.analog.com/en/index.html>  
(ADV7511KSTZ-P)

Integrated Device Technology 社 : [www.idt.com](http://www.idt.com)  
(ICS844021I)

Marvell Semiconductor 社 : <http://www.marvell.com>  
(88E1111)

Micron Semiconductor 社 : <http://www.micron.com>  
(Numonyx PC28F00AP30TF)

NXP Semiconductors 社 : <http://ics.nxp.com>  
(PCA9548)

Si Time 社 : <http://www.sitime.com>  
(SiT9102)

Silicon Labs 社 : <http://www.silabs.com>  
(Si570、Si5326C)

Texas Instruments 社 : [www.ti.com](http://www.ti.com)  
(UCD9248PFC、PTD08A010W、PTD08A020W、PTD08D021W、LMZ12002、TL1962ADC、  
ADP123、TPS51200DR)

## KC705 ボードのウェブページ

KC705 ボードの一般情報は、次のページをご覧ください。

<http://japan.xilinx.com/products/boards-and-kits/EK-K7-KC705-G.htm>

KC705 ボードの最新の回路図、部品表、リファレンス デザイン ファイル、ユーザー ガイドは、次のページより参照、ダウンロードできます。

[http://japan.xilinx.com/support/documentation/kc705\\_13-4.htm](http://japan.xilinx.com/support/documentation/kc705_13-4.htm)

## 製品サポート

ザイリンクスの製品サポート ウェブサイトでは、問い合わせ先情報、トレーニング、フォーラム、アンサー データベースへのアクセス、その他の製品サポート リソースをご利用になれます。

<http://japan.xilinx.com/support>

# スイッチおよびジャンパーのデフォルト設定

## DIP スイッチ SW11 ユーザー GPIO

SW11 の位置は、8 ページの図 1-2 の参照番号 24 をご覧ください。図 B-1 にデフォルト設定、表 B-1 に詳細を示します。

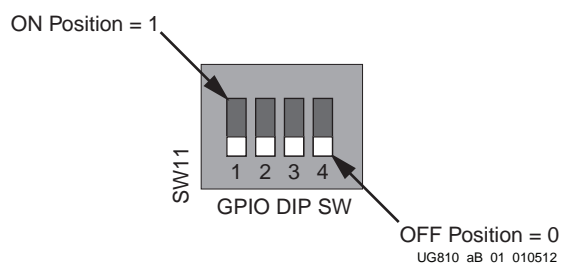


図 B-1 : SW11 のデフォルト設定

表 B-1 : SW11 のデフォルト スイッチ設定

位置	機能	デフォルト
1	GPIO_DIP_SW3	OFF
2	GPIO_DIP_SW2	OFF
3	GPIO_DIP_SW1	OFF
4	GPIO_DIP_SW0	OFF

## DIP スイッチ SW13 のモードおよびフラッシュ アドレス設定

SW13 の位置は、8 ページの図 1-2 の参照番号 29 をご覧ください。図 B-2 にデフォルト設定、表 B-2 に詳細を示します。

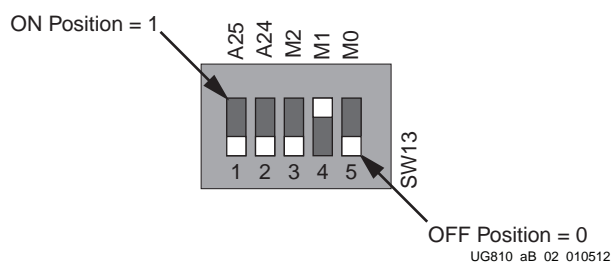


図 B-2 : SW13 のデフォルト設定

デフォルトのモード設定は  $M[2:0] = 010$  です。この設定ではボードへの電源投入時にマスター BPI によるコンフィギュレーションが選択されます。

表 B-2：SW13 のデフォルト スイッチ設定

位置	機能		デフォルト
1	FLASH_A25	A25	OFF
2	FLASH_A24	A24	OFF
3	FPGA_M2	M0	OFF
4	FPGA_M1	M1	ON
5	FPGA_M0	M3	OFF

## ジャンパーのデフォルト設定

表 B-3 に示すジャンパーの位置は、8 ページの図 1-2 を参照してください。

表 B-3：デフォルト ジャンパー設定

ジャンパー	ジャンパーのデフォルト位置
J32	ピン 5-6
J28	ピン 2-3
J29	ピン 1-2
J30	ピン 1-2
J5	なし
J3	ピン 1-2
J43	ピン 1-2
J42	なし
J47	ピン 1-2
J48	ピン 2-3
J53	なし
J56	なし
J68	ピン 1-2
J69	ピン 1-2



## VITA 57.1 FMC コネクタのピン配置

図 C-1 に、FMC HPC コネクタ J22 のピン配置を示します。詳細は、48 ページの「VITA 57.1 FMC HPC コネクタ (一部割り当て)」を参照してください。

	K	J	H	G	F	E	D	C	B	A
1	VREF_B_M2C	GND	VREF_A_M2C	GND	PG_M2C	GND	PG_C2M	GND	RES1	GND
2	GND	CLK3_M2C_P	PRSN_T_M2C_L	CLK1_M2C_P	GND	HA01_P_CC	GND	DP0_C2M_P	GND	DP1_M2C_P
3	GND	CLK3_M2C_N	GND	CLK1_M2C_N	GND	HA01_N_CC	GND	DP0_C2M_N	GND	DP1_M2C_N
4	CLK2_M2C_P	GND	CLK0_M2C_P	GND	HA00_P_CC	GND	GBTCLK0_M2C_P	GND	DP9_M2C_P	GND
5	CLK2_M2C_N	GND	CLK0_M2C_N	GND	HA00_N_CC	GND	GBTCLK0_M2C_N	GND	DP9_M2C_N	GND
6	GND	HA03_P	GND	LA00_P_CC	GND	HA05_P	GND	DP0_M2C_P	GND	DP2_M2C_P
7	HA02_P	HA03_N	LA02_P	LA00_N_CC	HA04_P	HA05_N	GND	DP0_M2C_N	GND	DP2_M2C_N
8	HA02_N	GND	LA02_N	GND	HA04_N	GND	LA01_P_CC	GND	DP8_M2C_P	GND
9	GND	HA07_P	GND	LA03_P	GND	HA09_P	LA01_N_CC	GND	DP8_M2C_N	GND
10	HA06_P	HA07_N	LA04_P	LA03_N	HA08_P	HA09_N	GND	LA06_P	GND	DP3_M2C_P
11	HA06_N	GND	LA04_N	GND	HA08_N	GND	LA05_P	LA06_N	GND	DP3_M2C_N
12	GND	HA11_P	GND	LA08_P	GND	HA13_P	LA05_N	GND	DP7_M2C_P	GND
13	HA10_P	HA11_N	LA07_P	LA08_N	HA12_P	HA13_N	GND	GND	DP7_M2C_N	GND
14	HA10_N	GND	LA07_N	GND	HA12_N	GND	LA09_P	LA10_P	GND	DP4_M2C_P
15	GND	HA14_P	GND	LA12_P	GND	HA16_P	LA09_N	LA10_N	GND	DP4_M2C_N
16	HA17_P_CC	HA14_N	LA11_P	LA12_N	HA15_P	HA16_N	GND	GND	DP6_M2C_P	GND
17	HA17_N_CC	GND	LA11_N	GND	HA15_N	GND	LA13_P	GND	DP6_M2C_N	GND
18	GND	HA18_P	GND	LA16_P	GND	HA20_P	LA13_N	LA14_P	GND	DP5_M2C_P
19	HA21_P	HA18_N	LA15_P	LA16_N	HA19_P	HA20_N	GND	LA14_N	GND	DP5_M2C_N
20	HA21_N	GND	LA15_N	GND	HA19_N	GND	LA17_P_CC	GND	GBTCLK1_M2C_P	GND
21	GND	HA22_P	GND	LA20_P	GND	HB03_P	LA17_N_CC	GND	GBTCLK1_M2C_N	GND
22	HA23_P	HA22_N	LA19_P	LA20_N	HB02_P	HB03_N	GND	LA18_P_CC	GND	DP1_C2M_P
23	HA23_N	GND	LA19_N	GND	HB02_N	GND	LA23_P	LA18_N_CC	GND	DP1_C2M_N
24	GND	HB01_P	GND	LA22_P	GND	HB05_P	LA23_N	GND	DP9_C2M_P	GND
25	HB00_P_CC	HB01_N	LA21_P	LA22_N	HB04_P	HB05_N	GND	GND	DP9_C2M_N	GND
26	HB00_N_CC	GND	LA21_N	GND	HB04_N	GND	LA26_P	LA27_P	GND	DP2_C2M_P
27	GND	HB07_P	GND	LA25_P	GND	HB09_P	LA26_N	LA27_N	GND	DP2_C2M_N
28	HB06_P_CC	HB07_N	LA24_P	LA25_N	HB08_P	HB09_N	GND	GND	DP8_C2M_P	GND
29	HB06_N_CC	GND	LA24_N	GND	HB08_N	GND	TCK	GND	DP8_C2M_N	GND
30	GND	HB11_P	GND	LA29_P	GND	HB13_P	TDI	SCL	GND	DP3_C2M_P
31	HB10_P	HB11_N	LA28_P	LA29_N	HB12_P	HB13_N	TDO	SDA	GND	DP3_C2M_N
32	HB10_N	GND	LA28_N	GND	HB12_N	GND	3P3VAUX	GND	DP7_C2M_P	GND
33	GND	HB15_P	GND	LA31_P	GND	HB19_P	TMS	GND	DP7_C2M_N	GND
34	HB14_P	HB15_N	LA30_P	LA31_N	HB16_P	HB19_N	TRST_L	GA0	GND	DP4_C2M_P
35	HB14_N	GND	LA30_N	GND	HB16_N	GND	GA1	12P0V	GND	DP4_C2M_N
36	GND	HB18_P	GND	LA33_P	GND	HB21_P	3P3V	GND	DP6_C2M_P	GND
37	HB17_P_CC	HB18_N	LA32_P	LA33_N	HB20_P	HB21_N	GND	12P0V	DP6_C2M_N	GND
38	HB17_N_CC	GND	LA32_N	GND	HB20_N	GND	3P3V	GND	GND	DP5_C2M_P
39	GND	VIO_B_M2C	GND	VADJ	GND	VADJ	GND	3P3V	GND	DP5_C2M_N
40	VIO_B_M2C	GND	VADJ	GND	VADJ	GND	3P3V	GND	RES0	GND

UG810\_ac\_01\_011212

図 C-1 : FMC HPC コネクタのピン配置

図 C-2 に、FMC LPC コネクタ J2 のピン配置を示します。詳細は、49 ページの「VITA 57.1 FMC LPC コネクタ (全ピン割り当て)」を参照してください。

	K	J	H	G	F	E	D	C	B	A
1	NC	NC	VREF_A_M2C	GND	NC	NC	PG_C2M	GND	NC	NC
2	NC	NC	PRSNT_M2C_L	CLK1_M2C_P	NC	NC	GND	DP0_C2M_P	NC	NC
3	NC	NC	GND	CLK1_M2C_N	NC	NC	GND	DP0_C2M_N	NC	NC
4	NC	NC	CLK0_M2C_P	GND	NC	NC	GBTCLK0_M2C_P	GND	NC	NC
5	NC	NC	CLK0_M2C_N	GND	NC	NC	GBTCLK0_M2C_N	GND	NC	NC
6	NC	NC	GND	LA00_P_CC	NC	NC	GND	DP0_M2C_P	NC	NC
7	NC	NC	LA02_P	LA00_N_CC	NC	NC	GND	DP0_M2C_N	NC	NC
8	NC	NC	LA02_N	GND	NC	NC	LA01_P_CC	GND	NC	NC
9	NC	NC	GND	LA03_P	NC	NC	LA01_N_CC	GND	NC	NC
10	NC	NC	LA04_P	LA03_N	NC	NC	GND	LA06_P	NC	NC
11	NC	NC	LA04_N	GND	NC	NC	LA05_P	LA06_N	NC	NC
12	NC	NC	GND	LA08_P	NC	NC	LA05_N	GND	NC	NC
13	NC	NC	LA07_P	LA08_N	NC	NC	GND	GND	NC	NC
14	NC	NC	LA07_N	GND	NC	NC	LA09_P	LA10_P	NC	NC
15	NC	NC	GND	LA12_P	NC	NC	LA09_N	LA10_N	NC	NC
16	NC	NC	LA11_P	LA12_N	NC	NC	GND	GND	NC	NC
17	NC	NC	LA11_N	GND	NC	NC	LA13_P	GND	NC	NC
18	NC	NC	GND	LA16_P	NC	NC	LA13_N	LA14_P	NC	NC
19	NC	NC	LA15_P	LA16_N	NC	NC	GND	LA14_N	NC	NC
20	NC	NC	LA15_N	GND	NC	NC	LA17_P_CC	GND	NC	NC
21	NC	NC	GND	LA20_P	NC	NC	LA17_N_CC	GND	NC	NC
22	NC	NC	LA19_P	LA20_N	NC	NC	GND	LA18_P_CC	NC	NC
23	NC	NC	LA19_N	GND	NC	NC	LA23_P	LA18_N_CC	NC	NC
24	NC	NC	GND	LA22_P	NC	NC	LA23_N	GND	NC	NC
25	NC	NC	LA21_P	LA22_N	NC	NC	GND	GND	NC	NC
26	NC	NC	LA21_N	GND	NC	NC	LA26_P	LA27_P	NC	NC
27	NC	NC	GND	LA25_P	NC	NC	LA26_N	LA27_N	NC	NC
28	NC	NC	LA24_P	LA25_N	NC	NC	GND	GND	NC	NC
29	NC	NC	LA24_N	GND	NC	NC	TCK	GND	NC	NC
30	NC	NC	GND	LA29_P	NC	NC	TDI	SCL	NC	NC
31	NC	NC	LA28_P	LA29_N	NC	NC	TDO	SDA	NC	NC
32	NC	NC	LA28_N	GND	NC	NC	3P3VAUX	GND	NC	NC
33	NC	NC	GND	LA31_P	NC	NC	TMS	GND	NC	NC
34	NC	NC	LA30_P	LA31_N	NC	NC	TRST_L	GA0	NC	NC
35	NC	NC	LA30_N	GND	NC	NC	GA1	12P0V	NC	NC
36	NC	NC	GND	LA33_P	NC	NC	3P3V	GND	NC	NC
37	NC	NC	LA32_P	LA33_N	NC	NC	GND	12P0V	NC	NC
38	NC	NC	LA32_N	GND	NC	NC	3P3V	GND	NC	NC
39	NC	NC	GND	VADJ	NC	NC	GND	3P3V	NC	NC
40	NC	NC	VADJ	GND	NC	NC	3P3V	GND	NC	NC

UG810\_aC\_02\_011212

図 C-2 : FMC LPC コネクタのピン配置

## マスター UCF のリスト

KC705 のマスター ユーザー制約ファイル (UCF) テンプレートは、KC705 ボードをターゲットとするデザインを提供します。下記の制約一覧で使用されているネット名は、最新の KC705 ボード回路図のネット名に一致しています。ユーザーは該当するピンを特定し、下記のネット名をユーザー RTL 内のネット名に置き換える必要があります。制約に関するガイドは、次を参照してください。  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_3/cgd.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_3/cgd.pdf)

ユーザーは、ツールによって生成された UCF ファイルを参照できます。これらの UCF ファイルは、たとえば、メモリ インターフェイスについては **Memory Interface Generator (MIG)** を使用して、特定のインターフェイスに関するより詳細な I/O 規格情報を加味する場合は **Base System Builder (BSB)** を使用して生成できます。FMC コネクタの J2 および J22 は、2.5V  $V_{cc0}$  のバンクに接続されています。ユーザーの FMC カードには固有の回路がインプリメントされているため、FMC バンクの I/O 規格はそれぞれが一意に定義する必要があります。

### KC705 ボードの UCF リスト

ET SFP_TX_DISABLE	LOC = Y20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_0_12
NET USER_SMA_GPIO_P	LOC = Y23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L1P_T0_12
NET USER_SMA_GPIO_N	LOC = Y24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L1N_T0_12
NET SDIO_SDWP	LOC = Y21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L2P_T0_12
NET SDIO_SDDT	LOC = AA21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L2N_T0_12
NET SDIO_CMD_LS	LOC = AB22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L3P_T0_DQS_12
NET SDIO_CLK_LS	LOC = AB23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L3N_T0_DQS_12
NET SDIO_DAT2_LS	LOC = AA22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L4P_T0_12
NET SDIO_DAT1_LS	LOC = AA23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L4N_T0_12
NET SDIO_DAT0_LS	LOC = AC20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L5P_T0_12
NET SDIO_CD_DAT3_LS	LOC = AC21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L5N_T0_12
NET FMC_LPC_LA12_P	LOC = AA20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L6P_T0_12
NET FMC_LPC_LA12_N	LOC = AB20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L6N_T0_VREF_12
NET FMC_LPC_LA13_P	LOC = AB24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L7P_T1_12
NET FMC_LPC_LA13_N	LOC = AC25	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L7N_T1_12
NET FMC_LPC_LA16_P	LOC = AC22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L8P_T1_12
NET FMC_LPC_LA16_N	LOC = AD22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L8N_T1_12
NET FMC_LPC_LA15_P	LOC = AC24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L9P_T1_DQS_12
NET FMC_LPC_LA15_N	LOC = AD24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L9N_T1_DQS_12
NET FMC_LPC_LA14_P	LOC = AD21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L10P_T1_12
NET FMC_LPC_LA14_N	LOC = AE21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L10N_T1_12
NET FMC_LPC_LA01_CC_P	LOC = AE23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L11P_T1_SRCC_12
NET FMC_LPC_LA01_CC_N	LOC = AF23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L11N_T1_SRCC_12
NET FMC_LPC_LA00_CC_P	LOC = AD23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L12P_T1_MRCC_12
NET FMC_LPC_LA00_CC_N	LOC = AE24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L12N_T1_MRCC_12
NET FMC_LPC_CLK0_M2C_P	LOC = AF22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L13P_T2_MRCC_12
NET FMC_LPC_CLK0_M2C_N	LOC = AG23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L13N_T2_MRCC_12
NET SI5326_INT_ALM_LS	LOC = AG24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L14P_T2_SRCC_12
NET HDMI_INT	LOC = AH24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L14N_T2_SRCC_12
NET FMC_LPC_LA10_P	LOC = AJ24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L15P_T2_DQS_12
NET FMC_LPC_LA10_N	LOC = AK25	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L15N_T2_DQS_12
NET FMC_LPC_LA11_P	LOC = AE25	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L16P_T2_12
NET FMC_LPC_LA11_N	LOC = AF25	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L16N_T2_12
NET FMC_LPC_LA09_P	LOC = AK23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L17P_T2_12
NET FMC_LPC_LA09_N	LOC = AK24	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L17N_T2_12
NET FMC_LPC_LA07_P	LOC = AG25	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L18P_T2_12
NET FMC_LPC_LA07_N	LOC = AH25	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L18N_T2_12
NET FMC_LPC_LA02_P	LOC = AF20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L19P_T3_12
NET FMC_LPC_LA02_N	LOC = AF21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L19N_T3_VREF_12

NET FMC_LPC_LA05_P	LOC = AG22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L20P_T3_12
NET FMC_LPC_LA05_N	LOC = AH22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L20N_T3_12
NET FMC_LPC_LA08_P	LOC = AJ22	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L21P_T3_DQS_12
NET FMC_LPC_LA08_N	LOC = AJ23	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L21N_T3_DQS_12
NET FMC_LPC_LA03_P	LOC = AG20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L22P_T3_12
NET FMC_LPC_LA03_N	LOC = AH20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L22N_T3_12
NET FMC_LPC_LA04_P	LOC = AH21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L23P_T3_12
NET FMC_LPC_LA04_N	LOC = AJ21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L23N_T3_12
NET FMC_LPC_LA06_P	LOC = AK20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L24P_T3_12
NET FMC_LPC_LA06_N	LOC = AK21	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_L24N_T3_12
NET SI5326_RST_LS	LOC = AE20	IOSTANDARD=LVCNOS25; # Bank 12 VCCO - VADJ_FPGA - IO_25_12
NET ROTARY_INCB	LOC = Y25	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_0_13
NET ROTARY_INCA	LOC = Y26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L1P_T0_13
NET ROTARY_PUSH	LOC = AA26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L1N_T0_13
NET REC_CLOCK_C_P	LOC = W27	IOSTANDARD=LVD5_25; # Bank 13 VCCO - VADJ_FPGA - IO_L2P_T0_13
NET REC_CLOCK_C_N	LOC = W28	IOSTANDARD=LVD5_25; # Bank 13 VCCO - VADJ_FPGA - IO_L2N_T0_13
NET GPIO_DIP_SW3	LOC = Y28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L3P_T0_DQS_13
NET GPIO_DIP_SW2	LOC = AA28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L3N_T0_DQS_13
NET GPIO_DIP_SW1	LOC = W29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L4P_T0_13
NET GPIO_DIP_SW0	LOC = Y29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L4N_T0_13
NET XADC_GPIO_3	LOC = AA27	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L5P_T0_13
NET XADC_GPIO_2	LOC = AB28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L5N_T0_13
NET XADC_GPIO_1	LOC = AA25	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L6P_T0_13
NET XADC_GPIO_0	LOC = AB25	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L6N_T0_VREF_13
NET FMC_LPC_LA33_P	LOC = AC29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L7P_T1_13
NET FMC_LPC_LA33_N	LOC = AC30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L7N_T1_13
NET FMC_LPC_LA32_P	LOC = Y30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L8P_T1_13
NET FMC_LPC_LA32_N	LOC = AA30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L8N_T1_13
NET FMC_LPC_LA31_P	LOC = AD29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L9P_T1_DQS_13
NET FMC_LPC_LA31_N	LOC = AE29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L9N_T1_DQS_13
NET FMC_LPC_LA30_P	LOC = AB29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L10P_T1_13
NET FMC_LPC_LA30_N	LOC = AB30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L10N_T1_13
NET FMC_LPC_LA18_CC_P	LOC = AD27	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L11P_T1_SRCC_13
NET FMC_LPC_LA18_CC_N	LOC = AD28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L11N_T1_SRCC_13
NET FMC_LPC_LA17_CC_P	LOC = AB27	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L12P_T1_MRCC_13
NET FMC_LPC_LA17_CC_N	LOC = AC27	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L12N_T1_MRCC_13
NET FMC_LPC_CLK1_M2C_P	LOC = AG29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L13P_T2_MRCC_13
NET FMC_LPC_CLK1_M2C_N	LOC = AH29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L13N_T2_MRCC_13
NET FMC_LPC_LA29_P	LOC = AE28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L14P_T2_SRCC_13
NET FMC_LPC_LA29_N	LOC = AF28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L14N_T2_SRCC_13
NET FMC_LPC_LA26_P	LOC = AK29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L15P_T2_DQS_13
NET FMC_LPC_LA26_N	LOC = AK30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L15N_T2_DQS_13
NET FMC_LPC_LA28_P	LOC = AE30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L16P_T2_13
NET FMC_LPC_LA28_N	LOC = AF30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L16N_T2_13
NET FMC_LPC_LA27_P	LOC = AJ28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L17P_T2_13
NET FMC_LPC_LA27_N	LOC = AJ29	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L17N_T2_13
NET FMC_LPC_LA24_P	LOC = AG30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L18P_T2_13
NET FMC_LPC_LA24_N	LOC = AH30	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L18N_T2_13
NET FMC_LPC_LA25_P	LOC = AC26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L19P_T3_13
NET FMC_LPC_LA25_N	LOC = AD26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L19N_T3_VREF_13
NET FMC_LPC_LA22_P	LOC = A	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L20P_T3_13
NET FMC_LPC_LA22_N	LOC = AK28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L20N_T3_13
NET FMC_LPC_LA21_P	LOC = AG27	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L21P_T3_DQS_13
NET FMC_LPC_LA21_N	LOC = AG28	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L21N_T3_DQS_13
NET FMC_LPC_LA23_P	LOC = AH26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L22P_T3_13
NET FMC_LPC_LA23_N	LOC = AH27	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L22N_T3_13
NET FMC_LPC_LA20_P	LOC = AF26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L23P_T3_13
NET FMC_LPC_LA20_N	LOC = AF27	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L23N_T3_13
NET FMC_LPC_LA19_P	LOC = AJ26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L24P_T3_13
NET FMC_LPC_LA19_N	LOC = AK26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_L24N_T3_13
NET GPIO_LED_4_LS	LOC = AE26	IOSTANDARD=LVCNOS25; # Bank 13 VCCO - VADJ_FPGA - IO_25_13
NET PHY_RXD4	LOC = R19	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_0_14
NET FLASH_D0	LOC = P24	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L1P_T0_D00_MOSI_14
NET FLASH_D1	LOC = R25	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L1N_T0_D01_DIN_14
NET FLASH_D2	LOC = R20	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L2P_T0_D02_14
NET FLASH_D3	LOC = R21	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L2N_T0_D03_14
NET PHY_MDC	LOC = R23	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L3P_T0_DQS_PUDC_B_14
NET FPGA_EMCLK	LOC = R24	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L3N_T0_DQS_EMCLK_14
NET FLASH_D4	LOC = T20	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L4P_T0_D04_14
NET FLASH_D5	LOC = T21	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L4N_T0_D05_14
NET FLASH_D6	LOC = T22	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L5P_T0_D06_14
NET FLASH_D7	LOC = T23	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L5N_T0_D07_14
NET FPGA_FCS	LOC = U19	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L6P_T0_FCS_B_14
NET FLASH_D8	LOC = U20	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L6N_T0_D08_VREF_14
NET FLASH_D9	LOC = P29	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L7P_T1_D09_14
NET FLASH_D10	LOC = R29	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L7N_T1_D10_14
NET FLASH_D11	LOC = P27	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L8P_T1_D11_14
NET FLASH_D12	LOC = P28	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L8N_T1_D12_14
NET PHY_CRS	LOC = R30	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L9P_T1_DQS_14
NET FLASH_D13	LOC = T30	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L9N_T1_DQS_D13_14
NET FLASH_D14	LOC = P26	IOSTANDARD=LVCNOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L10P_T1_D14_14

```

NET FLASH_D15          LOC = R26 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L10N_T1_D15_14
NET PHY_RXCTL_RXDV     LOC = R28 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L11P_T1_SRCC_14
NET PHY_RXD7           LOC = T28 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L11N_T1_SRCC_14
NET PHY_RXD6           LOC = T26 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L12P_T1_MRCC_14
NET PHY_RXD5           LOC = T27 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L12N_T1_MRCC_14
NET PHY_RXCLK          LOC = U27 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L13P_T2_MRCC_14
NET PHY_RXD3           LOC = U28 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L13N_T2_MRCC_14
NET PHY_RXD2           LOC = T25 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L14P_T2_SRCC_14
NET PHY_RXD1           LOC = U25 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L14N_T2_SRCC_14
NET FLASH_WAIT         LOC = U29 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L15P_T2_DQS_RDWR_B_14
NET PHY_RXD0           LOC = U30 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L15N_T2_DQS_DOUT_CSO_B_14
NET PHY_RXER           LOC = V26 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L16P_T2_CSI_B_14
NET FLASH_A15          LOC = V27 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L16N_T2_A15_D31_14
NET FLASH_A14          LOC = V29 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L17P_T2_A14_D30_14
NET FLASH_A13          LOC = V30 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L17N_T2_A13_D29_14
NET FLASH_A12          LOC = V25 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L18P_T2_A12_D28_14
NET FLASH_A11          LOC = W26 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L18N_T2_A11_D27_14
NET FLASH_A10          LOC = V19 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L19P_T3_A10_D26_14
NET FLASH_A9           LOC = V20 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L19N_T3_A09_D25_VREF_14
NET FLASH_A8           LOC = W23 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L20P_T3_A08_D24_14
NET FLASH_A7           LOC = W24 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L20N_T3_A07_D23_14
NET SM_FAN_TACH        LOC = U22 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L21P_T3_DQS_14
NET FLASH_A6           LOC = U23 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L21N_T3_DQS_A06_D22_14
NET FLASH_A5           LOC = V21 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L22P_T3_A05_D21_14
NET FLASH_A4           LOC = V22 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L22N_T3_A04_D20_14
NET FLASH_A3           LOC = U24 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L23P_T3_A03_D19_14
NET FLASH_A2           LOC = V24 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L23N_T3_A02_D18_14
NET FLASH_A1           LOC = W21 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L24P_T3_A01_D17_14
NET FLASH_A0           LOC = W22 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_L24N_T3_A00_D16_14
NET PHY_COL            LOC = W19 | IOSTANDARD=LVCOS25; # Bank 14 VCCO - VCC2V5_FPGA - IO_25_14
NET USB_TX             LOC = M19 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_0_15
NET XADC_VAUX0P_R      LOC = J23 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L1P_T0_AD0P_15
NET XADC_VAUX0N_R      LOC = J24 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L1N_T0_AD0N_15
NET XADC_VAUX8P_R      LOC = L22 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L2P_T0_AD8P_15
NET XADC_VAUX8N_R      LOC = L23 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L2N_T0_AD8N_15
NET USB_RTS            LOC = K23 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L3P_T0_DQS_AD1P_15
NET USB_RX             LOC = K24 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L3N_T0_DQS_AD1N_15
NET IIC_SDA_MAIN       LOC = L21 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L4P_T0_AD9P_15
NET IIC_SCL_MAIN       LOC = K21 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L4N_T0_AD9N_15
NET PHY_MDIO           LOC = J21 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L5P_T0_AD2P_15
NET FMC_LPC_PRSTNT_M2C_B_LS LOC = J22 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L5N_T0_AD2N_15
NET FMC_HPC_PRSTNT_M2C_B_LS LOC = M20 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L6P_T0_15
NET PHY_RESET          LOC = L20 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L6N_T0_VREF_15
NET FMC_HPC_PG_M2C_LS  LOC = J29 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L7P_T1_AD10P_15
NET FMC_C2M_PG_LS      LOC = H29 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L7N_T1_AD10N_15
NET FMC_VADJ_ON_B_LS   LOC = | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L8P_T1_AD3P_15
NET PHY_TXD7           LOC = J28 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L8N_T1_AD3N_15
NET PHY_TXD6           LOC = L30 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L9P_T1_DQS_AD11P_15
NET PHY_TXC_GTXCLK     LOC = K30 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L9N_T1_DQS_AD11N_15
NET PHY_TXD5           LOC = K26 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L10P_T1_AD4P_15
NET PHY_TXD4           LOC = J26 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L10N_T1_AD4N_15
NET SM_FAN_PWM         LOC = L26 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L11P_T1_SRCC_AD12P_15
NET USB_CTS            LOC = L27 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L11N_T1_SRCC_AD12N_15
NET USER_SMA_CLOCK_P  LOC = L25 | IOSTANDARD=LVD5_25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L12P_T1_MRCC_AD5P_15
NET USER_SMA_CLOCK_N  LOC = K25 | IOSTANDARD=LVD5_25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L12N_T1_MRCC_AD5N_15
NET USER_CLOCK_P       LOC = K28 | IOSTANDARD=LVD5_25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L13P_T2_MRCC_15
NET USER_CLOCK_N       LOC = K29 | IOSTANDARD=LVD5_25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L13N_T2_MRCC_15
NET PHY_TXCLK          LOC = M28 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L14P_T2_SRCC_15
NET PHY_TXD3           LOC = L28 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L14N_T2_SRCC_15
NET PHY_TXD2           LOC = M29 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L15P_T2_DQS_15
NET FLASH_ADV_B        LOC = M30 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L15N_T2_DQS_ADV_B_15
NET PHY_TXD0           LOC = N27 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L16P_T2_A28_15
NET PHY_TXCTL_TXEN     LOC = M27 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L16N_T2_A27_15
NET PHY_TXER           LOC = N29 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L17P_T2_A26_15
NET PHY_INT            LOC = N30 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L17N_T2_A25_15
NET PHY_TXD1           LOC = N25 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L18P_T2_A24_15
NET FLASH_A23          LOC = N26 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L18N_T2_A23_15
NET FLASH_A22          LOC = N19 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L19P_T3_A22_15
NET FLASH_A21          LOC = N20 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L19N_T3_A21_VREF_15
NET FLASH_A20          LOC = N21 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L20P_T3_A20_15
NET FLASH_A19          LOC = N22 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L20N_T3_A19_15
NET IIC_MUX_RESET_B    LOC = P23 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L21P_T3_DQS_15
NET FLASH_A18          LOC = N24 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L21N_T3_DQS_A18_15
NET FLASH_A17          LOC = P21 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L22P_T3_A17_15
NET FLASH_A16          LOC = P22 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L22N_T3_A16_15
NET FLASH_OE_B         LOC = M24 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L23P_T3_FOE_B_15
NET FLASH_FWE_B        LOC = M25 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L23N_T3_FWE_B_15
NET FLASH_A25          LOC = M22 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L24P_T3_RS1_15
NET FLASH_A24          LOC = M23 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_L24N_T3_RS0_15
NET SFP_LOS_IS         LOC = P19 | IOSTANDARD=LVCOS25; # Bank 15 VCCO - VCC2V5_FPGA - IO_25_15
NET PCIE_WAKE_B_LS     LOC = F23 | IOSTANDARD=LVCOS25; # Bank 16 VCCO - VADJ_FPGA - IO_0_16

```



NET HDMI_R_D0	LOC = B23	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L1P_T0_16
NET HDMI_R_D1	LOC = A23	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L1N_T0_16
NET HDMI_R_D2	LOC = E23	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L2P_T0_16
NET HDMI_R_D3	LOC = D23	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L2N_T0_16
NET HDMI_R_D4	LOC = F25	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L3P_T0_DQS_16
NET HDMI_R_D5	LOC = E25	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L3N_T0_DQS_16
NET HDMI_R_D6	LOC = E24	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L4P_T0_16
NET HDMI_R_D7	LOC = D24	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L4N_T0_16
NET HDMI_R_D8	LOC = F26	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L5P_T0_16
NET HDMI_R_D9	LOC = E26	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L5N_T0_16
NET HDMI_R_D10	LOC = G23	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L6P_T0_16
NET HDMI_R_D11	LOC = G24	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L6N_T0_VREF_16
NET FMC_HPC_LA16_P	LOC = B27	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L7P_T1_16
NET FMC_HPC_LA16_N	LOC = A27	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L7N_T1_16
NET FMC_HPC_LA15_P	LOC = C24	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L8P_T1_16
NET FMC_HPC_LA15_N	LOC = B24	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L8N_T1_16
NET FMC_HPC_LA14_P	LOC = B28	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L9P_T1_DQS_16
NET FMC_HPC_LA14_N	LOC = A28	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L9N_T1_DQS_16
NET FMC_HPC_LA13_P	LOC = A25	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L10P_T1_16
NET FMC_HPC_LA13_N	LOC = A26	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L10N_T1_16
NET FMC_HPC_LA01_CC_P	LOC = D26	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L11P_T1_SRCC_16
NET FMC_HPC_LA01_CC_N	LOC = C26	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L11N_T1_SRCC_16
NET FMC_HPC_LA00_CC_P	LOC = C25	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L12P_T1_MRCC_16
NET FMC_HPC_LA00_CC_N	LOC = B25	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L12N_T1_MRCC_16
NET FMC_HPC_CLK0_M2C_P	LOC = D27	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L13P_T2_MRCC_16
NET FMC_HPC_CLK0_M2C_N	LOC = C27	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L13N_T2_MRCC_16
NET FMC_HPC_LA07_P	LOC = E28	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L14P_T2_SRCC_16
NET FMC_HPC_LA07_N	LOC = D28	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L14N_T2_SRCC_16
NET FMC_HPC_LA12_P	LOC = C29	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L15P_T2_DQS_16
NET FMC_HPC_LA12_N	LOC = B29	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L15N_T2_DQS_16
NET FMC_HPC_LA10_P	LOC = D29	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L16P_T2_16
NET FMC_HPC_LA10_N	LOC = C30	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L16N_T2_16
NET FMC_HPC_LA09_P	LOC = B30	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L17P_T2_16
NET FMC_HPC_LA09_N	LOC = A30	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L17N_T2_16
NET FMC_HPC_LA08_P	LOC = E29	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L18P_T2_16
NET FMC_HPC_LA08_N	LOC = E30	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L18N_T2_16
NET FMC_HPC_LA02_P	LOC = H24	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L19P_T3_16
NET FMC_HPC_LA02_N	LOC = H25	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L19N_T3_VREF_16
NET FMC_HPC_LA04_P	LOC = G28	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L20P_T3_16
NET FMC_HPC_LA04_N	LOC = F28	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L20N_T3_16
NET FMC_HPC_LA11_P	LOC = G27	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L21P_T3_DQS_16
NET FMC_HPC_LA11_N	LOC = F27	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L21N_T3_DQS_16
NET FMC_HPC_LA05_P	LOC = G29	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L22P_T3_16
NET FMC_HPC_LA05_N	LOC = F30	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L22N_T3_16
NET FMC_HPC_LA03_P	LOC = H26	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L23P_T3_16
NET FMC_HPC_LA03_N	LOC = H27	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L23N_T3_16
NET FMC_HPC_LA06_P	LOC = H30	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L24P_T3_16
NET FMC_HPC_LA06_N	LOC = G30	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_L24N_T3_16
NET PCIE_PERST_LS	LOC = G25	IOSTANDARD=LVCNOS25; # Bank 16 VCCO - VADJ_FPGA - IO_25_16
NET GPIO_LED_5_LS	LOC = G19	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_0_17
NET HDMI_R_CLK	LOC = K18	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L1P_T0_17
NET HDMI_R_HSYNC	LOC = J18	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L1N_T0_17
NET HDMI_R_VSYNC	LOC = H20	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L2P_T0_17
NET HDMI_SPDIF_OUT_LS	LOC = G20	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L2N_T0_17
NET HDMI_R_SPDIF	LOC = J17	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L3P_T0_DQS_17
NET HDMI_R_DE	LOC = H17	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L3N_T0_DQS_17
NET HDMI_R_D12	LOC = J19	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L4P_T0_17
NET HDMI_R_D13	LOC = H19	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L4N_T0_17
NET HDMI_R_D14	LOC = L17	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L5P_T0_17
NET HDMI_R_D15	LOC = L18	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L5N_T0_17
NET HDMI_R_D16	LOC = K19	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L6P_T0_17
NET HDMI_R_D17	LOC = K20	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L6N_T0_VREF_17
NET FMC_HPC_LA33_P	LOC = H21	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L7P_T1_17
NET FMC_HPC_LA33_N	LOC = H22	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L7N_T1_17
NET FMC_HPC_LA32_P	LOC = D21	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L8P_T1_17
NET FMC_HPC_LA32_N	LOC = C21	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L8N_T1_17
NET FMC_HPC_LA31_P	LOC = G22	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L9P_T1_DQS_17
NET FMC_HPC_LA31_N	LOC = F22	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L9N_T1_DQS_17
NET FMC_HPC_LA30_P	LOC = D22	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L10P_T1_17
NET FMC_HPC_LA30_N	LOC = C22	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L10N_T1_17
NET FMC_HPC_LA18_CC_P	LOC = F21	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L11P_T1_SRCC_17
NET FMC_HPC_LA18_CC_N	LOC = E21	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L11N_T1_SRCC_17
NET FMC_HPC_LA17_CC_P	LOC = F20	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L12P_T1_MRCC_17
NET FMC_HPC_LA17_CC_N	LOC = E20	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L12N_T1_MRCC_17
NET FMC_HPC_CLK1_M2C_P	LOC = D17	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L13P_T2_MRCC_17
NET FMC_HPC_CLK1_M2C_N	LOC = D18	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L13N_T2_MRCC_17
NET FMC_HPC_LA20_P	LOC = E19	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L14P_T2_SRCC_17
NET FMC_HPC_LA20_N	LOC = D19	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L14N_T2_SRCC_17
NET FMC_HPC_LA28_P	LOC = D16	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L15P_T2_DQS_17
NET FMC_HPC_LA28_N	LOC = C16	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L15N_T2_DQS_17
NET FMC_HPC_LA19_P	LOC = G18	IOSTANDARD=LVCNOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L16P_T2_17

```

NET FMC_HPC_LA19_N      LOC = F18 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L16N_T2_17
NET FMC_HPC_LA29_P      LOC = C17 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L17P_T2_17
NET FMC_HPC_LA29_N      LOC = B17 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L17N_T2_17
NET FMC_HPC_LA25_P      LOC = G17 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L18P_T2_17
NET FMC_HPC_LA25_N      LOC = F17 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L18N_T2_17
NET FMC_HPC_LA22_P      LOC = C20 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L19P_T3_17
NET FMC_HPC_LA22_N      LOC = B20 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L19N_T3_VREF_17
NET FMC_HPC_LA24_P      LOC = A16 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L20P_T3_17
NET FMC_HPC_LA24_N      LOC = A17 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L20N_T3_17
NET FMC_HPC_LA21_P      LOC = A20 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L21P_T3_DQS_17
NET FMC_HPC_LA21_N      LOC = A21 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L21N_T3_DQS_17
NET FMC_HPC_LA26_P      LOC = B18 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L22P_T3_17
NET FMC_HPC_LA26_N      LOC = A18 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L22N_T3_17
NET FMC_HPC_LA23_P      LOC = B22 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L23P_T3_17
NET FMC_HPC_LA23_N      LOC = A22 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L23N_T3_17
NET FMC_HPC_LA27_P      LOC = C19 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L24P_T3_17
NET FMC_HPC_LA27_N      LOC = B19 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_L24N_T3_17
NET GPIO_LED_6_LS      LOC = E18 | IOSTANDARD=LVCOS25; # Bank 17 VCCO - VADJ_FPGA - IO_25_17
NET GPIO_SW_C          LOC = G12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_0_18
NET FMC_HPC_HA13_P      LOC = L16 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L1P_T0_18
NET FMC_HPC_HA13_N      LOC = K16 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L1N_T0_18
NET FMC_HPC_HA16_P      LOC = L15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L2P_T0_18
NET FMC_HPC_HA16_N      LOC = K15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L2N_T0_18
NET FMC_HPC_HA23_P      LOC = L12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L3P_T0_DQS_18
NET FMC_HPC_HA23_N      LOC = L13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L3N_T0_DQS_18
NET FMC_HPC_HA20_P      LOC = K13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L4P_T0_18
NET FMC_HPC_HA20_N      LOC = J13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L4N_T0_18
NET FMC_HPC_HA18_P      LOC = K14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L5P_T0_18
NET FMC_HPC_HA18_N      LOC = J14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L5N_T0_18
NET FMC_HPC_HA22_P      LOC = L11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L6P_T0_18
NET FMC_HPC_HA22_N      LOC = K11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L6N_T0_VREF_18
NET FMC_HPC_HA15_P      LOC = H15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L7P_T1_18
NET FMC_HPC_HA15_N      LOC = G15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L7N_T1_18
NET FMC_HPC_HA21_P      LOC = J11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L8P_T1_18
NET FMC_HPC_HA21_N      LOC = J12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L8N_T1_18
NET FMC_HPC_HA14_P      LOC = J16 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L9P_T1_DQS_18
NET FMC_HPC_HA14_N      LOC = H16 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L9N_T1_DQS_18
NET FMC_HPC_HA19_P      LOC = H11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L10P_T1_18
NET FMC_HPC_HA19_N      LOC = H12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L10N_T1_18
NET FMC_HPC_HA01_CC_P   LOC = H14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L11P_T1_SRCC_18
NET FMC_HPC_HA01_CC_N   LOC = G14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L11N_T1_SRCC_18
NET FMC_HPC_HA17_CC_P   LOC = G13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L12P_T1_MRCC_18
NET FMC_HPC_HA17_CC_N   LOC = F13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L12N_T1_MRCC_18
NET FMC_HPC_HA00_CC_P   LOC = D12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L13P_T2_MRCC_18
NET FMC_HPC_HA00_CC_N   LOC = D13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L13N_T2_MRCC_18
NET FMC_HPC_HA09_P      LOC = F12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L14P_T2_SRCC_18
NET FMC_HPC_HA09_N      LOC = E13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L14N_T2_SRCC_18
NET FMC_HPC_HA03_P      LOC = C12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L15P_T2_DQS_18
NET FMC_HPC_HA03_N      LOC = B12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L15N_T2_DQS_18
NET FMC_HPC_HA04_P      LOC = F11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L16P_T2_18
NET FMC_HPC_HA04_N      LOC = E11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L16N_T2_18
NET FMC_HPC_HA10_P      LOC = A11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L17P_T2_18
NET FMC_HPC_HA10_N      LOC = A12 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L17N_T2_18
NET FMC_HPC_HA02_P      LOC = D11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L18P_T2_18
NET FMC_HPC_HA02_N      LOC = C11 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L18N_T2_18
NET FMC_HPC_HA05_P      LOC = F15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L19P_T3_18
NET FMC_HPC_HA05_N      LOC = E16 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L19N_T3_VREF_18
NET FMC_HPC_HA08_P      LOC = E14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L20P_T3_18
NET FMC_HPC_HA08_N      LOC = E15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L20N_T3_18
NET FMC_HPC_HA06_P      LOC = D14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L21P_T3_DQS_18
NET FMC_HPC_HA06_N      LOC = C14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L21N_T3_DQS_18
NET FMC_HPC_HA11_P      LOC = B13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L22P_T3_18
NET FMC_HPC_HA11_N      LOC = A13 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L22N_T3_18
NET FMC_HPC_HA12_P      LOC = C15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L23P_T3_18
NET FMC_HPC_HA12_N      LOC = B15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L23N_T3_18
NET FMC_HPC_HA07_P      LOC = B14 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L24P_T3_18
NET FMC_HPC_HA07_N      LOC = A15 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_L24N_T3_18
NET GPIO_LED_7_LS      LOC = F16 | IOSTANDARD=LVCOS25; # Bank 18 VCCO - VADJ_FPGA - IO_25_18
NET PMBUS_DATA_LS      LOC = Y14 | IOSTANDARD=LVCOS15; # Bank 32 VCCO - VCC1V5_FPGA - IO_0_VRN_32
NET DDR3_D24           LOC = AK16 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L1P_T0_32
NET DDR3_D31           LOC = AK15 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L1N_T0_32
NET DDR3_D26           LOC = AG15 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L2P_T0_32
NET DDR3_D30           LOC = AH15 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L2N_T0_32
NET DDR3_DQS3_P        LOC = AH16 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L3P_T0_DQS_32
NET DDR3_DQS3_N        LOC = AJ16 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L3N_T0_DQS_32
NET DDR3_D27           LOC = AF15 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L4P_T0_32
NET DDR3_D29           LOC = AG14 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L4N_T0_32
NET DDR3_D28           LOC = AH17 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L5P_T0_32
NET DDR3_D25           LOC = AJ17 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L5N_T0_32
NET DDR3_DM3           LOC = AE16 | IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L6P_T0_32
NET VTTVREF            LOC = AF16 | ; # Bank 32 VCCO - VCC1V5_FPGA - IO_L6N_T0_VREF_32

```

NET DDR3_D21	LOC = AJ19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L7P_T1_32
NET DDR3_D17	LOC = AK19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L7N_T1_32
NET DDR3_D16	LOC = AG19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L8P_T1_32
NET DDR3_D20	LOC = AH19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L8N_T1_32
NET DDR3_DQS2_P	LOC = AJ18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L9P_T1_DQS_32
NET DDR3_DQS2_N	LOC = AK18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L9N_T1_DQS_32
NET DDR3_D23	LOC = AD19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L10P_T1_32
NET DDR3_D22	LOC = AE19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L10N_T1_32
NET DDR3_D19	LOC = AF18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L11P_T1_SRCC_32
NET DDR3_D18	LOC = AG18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L11N_T1_SRCC_32
NET DDR3_DM2	LOC = AF17	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L12P_T1_MRCC_32
NET PMBUS_CLK_LS	LOC = AG17	IOSTANDARD=LVCNOS15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L12N_T1_MRCC_32
NET DDR3_D15	LOC = AD18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L13P_T2_MRCC_32
NET DDR3_D14	LOC = AE18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L13N_T2_MRCC_32
NET DDR3_D11	LOC = AD17	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L14P_T2_SRCC_32
NET DDR3_D9	LOC = AD16	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L14N_T2_SRCC_32
NET DDR3_DQS1_P	LOC = Y19	IOSTANDARD=DIFF_SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L15P_T2_DQS_32
NET DDR3_DQS1_N	LOC = Y18	IOSTANDARD=DIFF_SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L15N_T2_DQS_32
NET DDR3_D12	LOC = AA18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L16P_T2_32
NET DDR3_D13	LOC = AB18	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L16N_T2_32
NET DDR3_D8	LOC = AB19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L17P_T2_32
NET DDR3_D10	LOC = AC19	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L17N_T2_32
NET DDR3_DM1	LOC = AB17	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L18P_T2_32
NET 7N700	LOC = AC17	; # Bank 32 VCCO - VCC1V5_FPGA - IO_L18N_T2_32
NET DDR3_D6	LOC = AE15	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L19P_T3_32
NET VTI_VREF	LOC = AE14	; # Bank 32 VCCO - VCC1V5_FPGA - IO_L19N_T3_VREF_32
NET DDR3_D0	LOC = AA15	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L20P_T3_32
NET DDR3_D5	LOC = AB15	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L20N_T3_32
NET DDR3_DQS0_P	LOC = AC16	IOSTANDARD=DIFF_SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L21P_T3_DQS_32
NET DDR3_DQS0_N	LOC = AC15	IOSTANDARD=DIFF_SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L21N_T3_DQS_32
NET DDR3_D2	LOC = AC14	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L22P_T3_32
NET DDR3_D3	LOC = AD14	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L22N_T3_32
NET DDR3_D4	LOC = AA17	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L23P_T3_32
NET DDR3_D1	LOC = AA16	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L23N_T3_32
NET DDR3_DM0	LOC = Y16	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L24P_T3_32
NET DDR3_D7	LOC = Y15	IOSTANDARD=SSTL15; # Bank 32 VCCO - VCC1V5_FPGA - IO_L24N_T3_32
NET PMBUS_ALERT_LS	LOC = AB14	IOSTANDARD=LVCNOS15; # Bank 32 VCCO - VCC1V5_FPGA - IO_25_VRP_32
NET VRN_33	LOC = Y13	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_0_VRN_33
NET GPIO_SW_N	LOC = AA12	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L1P_T0_33
NET GPIO_SW_S	LOC = AB12	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L1N_T0_33
NET GPIO_LED_1_LS	LOC = AA8	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L2P_T0_33
NET GPIO_LED_0_LS	LOC = AB8	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L2N_T0_33
NET GPIO_LED_3_LS	LOC = AB9	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L3P_T0_DQS_33
NET GPIO_LED_2_LS	LOC = AC9	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L3N_T0_DQS_33
NET LCD_RS_LS	LOC = Y11	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L4P_T0_33
NET LCD_DB7_LS	LOC = Y10	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L4N_T0_33
NET LCD_DB6_LS	LOC = AA11	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L5P_T0_33
NET LCD_DB5_LS	LOC = AA10	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L5N_T0_33
NET LCD_DB4_LS	LOC = AA13	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L6P_T0_33
NET LCD_RW_LS	LOC = AB13	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L6N_T0_VREF_33
NET LCD_E_LS	LOC = AB10	IOSTANDARD=LVCNOS15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L7P_T1_33
NET DDR3_ODT1	LOC = AC10	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L7N_T1_33
NET DDR3_ODT0	LOC = AD8	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L8P_T1_33
NET DDR3_S1_B	LOC = AE8	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L8N_T1_33
NET DDR3_S0_B	LOC = AC12	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L9P_T1_DQS_33
NET DDR3_CAS_B	LOC = AC11	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L9N_T1_DQS_33
NET DDR3_RAS_B	LOC = AD9	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L10P_T1_33
NET DDR3_WE_B	LOC = AE9	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L10N_T1_33
NET DDR3_CLK1_P	LOC = AE11	IOSTANDARD=DIFF_SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L11P_T1_SRCC_33
NET DDR3_CLK1_N	LOC = AF11	IOSTANDARD=DIFF_SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L11N_T1_SRCC_33
NET SYSCLK_P	LOC = AD12	IOSTANDARD=LVD5; # Bank 33 VCCO - VCC1V5_FPGA - IO_L12P_T1_MRCC_33
NET SYSCLK_N	LOC = AD11	IOSTANDARD=LVD5; # Bank 33 VCCO - VCC1V5_FPGA - IO_L12N_T1_MRCC_33
NET DDR3_CLK0_P	LOC = AG10	IOSTANDARD=DIFF_SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L13P_T2_MRCC_33
NET DDR3_CLK0_N	LOC = AH10	IOSTANDARD=DIFF_SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L13N_T2_MRCC_33
NET DDR3_CKE1	LOC = AE10	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L14P_T2_SRCC_33
NET DDR3_CKE0	LOC = AF10	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L14N_T2_SRCC_33
NET DDR3_TEMP_EVENT	LOC = AJ9	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L15P_T2_DQS_33
NET DDR3_BA2	LOC = AK9	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L15N_T2_DQS_33
NET DDR3_BA1	LOC = AG9	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L16P_T2_33
NET DDR3_BA0	LOC = AH9	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L16N_T2_33
NET DDR3_A15	LOC = AK11	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L17P_T2_33
NET DDR3_A14	LOC = AK10	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L17N_T2_33
NET DDR3_A13	LOC = AH11	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L18P_T2_33
NET DDR3_A12	LOC = AJ11	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L18N_T2_33
NET DDR3_A11	LOC = AE13	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L19P_T3_33
NET DDR3_A10	LOC = AF13	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L19N_T3_VREF_33
NET DDR3_A9	LOC = AK14	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L20P_T3_33
NET DDR3_A8	LOC = AK13	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L20N_T3_33
NET DDR3_A7	LOC = AH14	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L21P_T3_DQS_33
NET DDR3_A6	LOC = AJ14	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L21N_T3_DQS_33
NET DDR3_A5	LOC = AJ13	IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L22P_T3_33



```

NET DDR3_A4      LOC = AJ12 | IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L22N_T3_33
NET DDR3_A3      LOC = AF12 | IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L23P_T3_33
NET DDR3_A2      LOC = AG12 | IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L23N_T3_33
NET DDR3_A1      LOC = AG13 | IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L24P_T3_33
NET DDR3_A0      LOC = AH12 | IOSTANDARD=SSTL15; # Bank 33 VCCO - VCC1V5_FPGA - IO_L24N_T3_33
NET VRP_33       LOC = AD13 | ; # Bank 33 VCCO - VCC1V5_FPGA - IO_25_VRP_33
NET GPIO_SW_W    LOC = AC6 | IOSTANDARD=LVCNMOS15; # Bank 34 VCCO - VCC1V5_FPGA - IO_0_VRN_34
NET DDR3_D63     LOC = AD4 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L1P_T0_34
NET DDR3_D57     LOC = AD3 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L1N_T0_34
NET DDR3_D62     LOC = AC2 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L2P_T0_34
NET DDR3_D56     LOC = AC1 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L2N_T0_34
NET DDR3_DQS7_P  LOC = AD2 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L3P_T0_DQS_34
NET DDR3_DQS7_N  LOC = AD1 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L3N_T0_DQS_34
NET DDR3_D59     LOC = AC5 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L4P_T0_34
NET DDR3_D58     LOC = AC4 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L4N_T0_34
NET DDR3_D61     LOC = AD6 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L5P_T0_34
NET DDR3_D60     LOC = AE6 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L5N_T0_34
NET DDR3_DM7     LOC = AC7 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L6P_T0_34
NET VTTVREF      LOC = AD7 | ; # Bank 34 VCCO - VCC1V5_FPGA - IO_L6N_T0_VREF_34
NET DDR3_D52     LOC = AF3 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L7P_T1_34
NET DDR3_D49     LOC = AF2 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L7N_T1_34
NET DDR3_D54     LOC = AE1 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L8P_T1_34
NET DDR3_D48     LOC = AF1 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L8N_T1_34
NET DDR3_DQS6_P  LOC = AG4 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L9P_T1_DQS_34
NET DDR3_DQS6_N  LOC = AG3 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L9N_T1_DQS_34
NET DDR3_D50     LOC = AE4 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L10P_T1_34
NET DDR3_D51     LOC = AE3 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L10N_T1_34
NET DDR3_D55     LOC = AE5 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L11P_T1_SRCC_34
NET DDR3_D53     LOC = AF5 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L11N_T1_SRCC_34
NET DDR3_DM6     LOC = AF6 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L12P_T1_MRCC_34
NET GPIO_SW_E    LOC = AG5 | IOSTANDARD=LVCNMOS15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L12N_T1_MRCC_34
NET DDR3_D44     LOC = AH4 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L13P_T2_MRCC_34
NET DDR3_D45     LOC = AJ4 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L13N_T2_MRCC_34
NET DDR3_D41     LOC = AH6 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L14P_T2_SRCC_34
NET DDR3_D40     LOC = AH5 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L14N_T2_SRCC_34
NET DDR3_DQS5_P  LOC = AG2 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L15P_T2_DQS_34
NET DDR3_DQS5_N  LOC = AH1 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L15N_T2_DQS_34
NET DDR3_D43     LOC = AH2 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L16P_T2_34
NET DDR3_D42     LOC = AJ2 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L16N_T2_34
NET DDR3_D47     LOC = AJ1 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L17P_T2_34
NET DDR3_D46     LOC = AK1 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L17N_T2_34
NET DDR3_DM5     LOC = AJ3 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L18P_T2_34
NET DDR3_RESET_B LOC = AK3 | IOSTANDARD=LVCNMOS15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L18N_T2_34
NET DDR3_D36     LOC = AF8 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L19P_T3_34
NET VTTVREF      LOC = AG8 | ; # Bank 34 VCCO - VCC1V5_FPGA - IO_L19N_T3_VREF_34
NET DDR3_D35     LOC = AF7 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L20P_T3_34
NET DDR3_D34     LOC = AG7 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L20N_T3_34
NET DDR3_DQS4_P  LOC = AH7 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L21P_T3_DQS_34
NET DDR3_DQS4_N  LOC = AJ7 | IOSTANDARD=DIFF_SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L21N_T3_DQS_34
NET DDR3_D39     LOC = AJ6 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L22P_T3_34
NET DDR3_D33     LOC = AK6 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L22N_T3_34
NET DDR3_D38     LOC = AJ8 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L23P_T3_34
NET DDR3_D32     LOC = AK8 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L23N_T3_34
NET DDR3_DM4     LOC = AK5 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L24P_T3_34
NET DDR3_D37     LOC = AK4 | IOSTANDARD=SSTL15; # Bank 34 VCCO - VCC1V5_FPGA - IO_L24N_T3_34
NET CPU_RESET    LOC = AB7 | IOSTANDARD=LVCNMOS15; # Bank 34 VCCO - VCC1V5_FPGA - IO_25_VRP_34
NET PCIE_TX4_P   LOC = T2 | ; # Bank 115 - MGTXTXP3_115
NET PCIE_RX4_P   LOC = V6 | ; # Bank 115 - MGTXRX3_115
NET PCIE_TX4_N   LOC = T1 | ; # Bank 115 - MGTXTXN3_115
NET PCIE_RX4_N   LOC = V5 | ; # Bank 115 - MGTXRXN3_115
NET PCIE_TX5_P   LOC = U4 | ; # Bank 115 - MGTXTXP2_115
NET PCIE_RX5_P   LOC = W4 | ; # Bank 115 - MGTXRX2_115
NET PCIE_TX5_N   LOC = U3 | ; # Bank 115 - MGTXTXN2_115
NET 9N302        LOC = R8 | ; # Bank 115 - MGTREFCLK0P_115
NET PCIE_RX5_N   LOC = W3 | ; # Bank 115 - MGTXR2N2_115
NET 9N301        LOC = R7 | ; # Bank 115 - MGTREFCLK0N_115
NET 9N173        LOC = W8 | ; # Bank 115 - MGTREF_115
NET PCIE_CLK_QO_N LOC = U7 | ; # Bank 115 - MGTREFCLK1N_115
NET PCIE_CLK_QO_P LOC = U8 | ; # Bank 115 - MGTREFCLK1P_115
NET PCIE_TX6_P   LOC = V2 | ; # Bank 115 - MGTXTXP1_115
NET PCIE_RX6_P   LOC = Y6 | ; # Bank 115 - MGTXRX1_115
NET PCIE_TX6_N   LOC = V1 | ; # Bank 115 - MGTXTXN1_115
NET PCIE_RX6_N   LOC = Y5 | ; # Bank 115 - MGTXRXN1_115
NET PCIE_TX7_P   LOC = Y2 | ; # Bank 115 - MGTXTXP0_115
NET PCIE_RX7_P   LOC = AA4 | ; # Bank 115 - MGTXRX3P0_115
NET PCIE_TX7_N   LOC = Y1 | ; # Bank 115 - MGTXTXN0_115
NET PCIE_RX7_N   LOC = AA3 | ; # Bank 115 - MGTXRXN0_115
NET PCIE_TX0_P   LOC = L4 | ; # Bank 116 - MGTXTXP3_116
NET PCIE_RX0_P   LOC = M6 | ; # Bank 116 - MGTXRX3P_116
NET PCIE_TX0_N   LOC = L3 | ; # Bank 116 - MGTXTXN3_116
NET PCIE_RX0_N   LOC = M5 | ; # Bank 116 - MGTXRXN3_116

```

```

NET PCIE_TX1_P          LOC = M2          ; # Bank 116      - MGTXTXP2_116
NET PCIE_RX1_P          LOC = P6          ; # Bank 116      - MGTXRX2_116
NET PCIE_TX1_N          LOC = M1          ; # Bank 116      - MGTXTXN2_116
NET SI5326_OUT_C_P      LOC = L8          ; # Bank 116      - MGTREFCLK0P_116
NET PCIE_RX1_N          LOC = P5          ; # Bank 116      - MGTXRXN2_116
NET SI5326_OUT_C_N      LOC = L7          ; # Bank 116      - MGTREFCLK0N_116
NET FMC_LPC_GBTCLK0_M2C_C_N LOC = N7      ; # Bank 116      - MGTREFCLK1N_116
NET FMC_LPC_GBTCLK0_M2C_C_P LOC = N8      ; # Bank 116      - MGTREFCLK1P_116
NET PCIE_TX2_P          LOC = N4          ; # Bank 116      - MGTXTXP1_116
NET PCIE_RX2_P          LOC = R4          ; # Bank 116      - MGTXRX1_116
NET PCIE_TX2_N          LOC = N3          ; # Bank 116      - MGTXTXN1_116
NET PCIE_RX2_N          LOC = R3          ; # Bank 116      - MGTXRXN1_116
NET PCIE_TX3_P          LOC = P2          ; # Bank 116      - MGTXTXP0_116
NET PCIE_RX3_P          LOC = T6          ; # Bank 116      - MGTXRX0_116
NET PCIE_TX3_N          LOC = P1          ; # Bank 116      - MGTXTXN0_116
NET PCIE_RX3_N          LOC = T5          ; # Bank 116      - MGTXRXN0_116
NET FMC_LPC_DP0_C2M_P   LOC = F2          ; # Bank 117      - MGTXTXP3_117
NET FMC_LPC_DP0_M2C_P   LOC = F6          ; # Bank 117      - MGTXRX3_117
NET FMC_LPC_DP0_C2M_N   LOC = F1          ; # Bank 117      - MGTXTXN3_117
NET FMC_LPC_DP0_M2C_N   LOC = F5          ; # Bank 117      - MGTXRXN3_117
NET SFP_TX_P            LOC = H2          ; # Bank 117      - MGTXTXP2_117
NET SFP_RX_N            LOC = G4          ; # Bank 117      - MGTXRX2_117
NET SFP_TX_N            LOC = H1          ; # Bank 117      - MGTXTXN2_117
NET SGMII_CLK_Q0_P      LOC = G8          ; # Bank 117      - MGTREFCLK0P_117
NET SFP_RX_P            LOC = G3          ; # Bank 117      - MGTXRXN2_117
NET SGMII_CLK_Q0_N      LOC = G7          ; # Bank 117      - MGTREFCLK0N_117
NET SMA_MGT_REFCLK_N    LOC = J7          ; # Bank 117      - MGTREFCLK1N_117
NET SMA_MGT_REFCLK_P    LOC = J8          ; # Bank 117      - MGTREFCLK1P_117
NET SGMII_TX_P          LOC = J4          ; # Bank 117      - MGTXTXP1_117
NET SGMII_RX_P          LOC = H6          ; # Bank 117      - MGTXRX1_117
NET SGMII_TX_N          LOC = J3          ; # Bank 117      - MGTXTXN1_117
NET SGMII_RX_N          LOC = H5          ; # Bank 117      - MGTXRXN1_117
NET SMA_MGT_TX_P        LOC = K2          ; # Bank 117      - MGTXTXP0_117
NET SMA_MGT_RX_P        LOC = K6          ; # Bank 117      - MGTXRX0_117
NET SMA_MGT_TX_N        LOC = K1          ; # Bank 117      - MGTXTXN0_117
NET SMA_MGT_RX_N        LOC = K5          ; # Bank 117      - MGTXRXN0_117
NET FMC_HPC_DP3_C2M_P   LOC = A4          ; # Bank 118      - MGTXTXP3_118
NET FMC_HPC_DP3_M2C_P   LOC = A8          ; # Bank 118      - MGTXRX3_118
NET FMC_HPC_DP3_C2M_N   LOC = A3          ; # Bank 118      - MGTXTXN3_118
NET FMC_HPC_DP3_M2C_N   LOC = A7          ; # Bank 118      - MGTXRXN3_118
NET FMC_HPC_DP2_C2M_P   LOC = B2          ; # Bank 118      - MGTXTXP2_118
NET FMC_HPC_DP2_M2C_P   LOC = B6          ; # Bank 118      - MGTXRX2_118
NET FMC_HPC_DP2_C2M_N   LOC = B1          ; # Bank 118      - MGTXTXN2_118
NET FMC_HPC_GBTCLK0_M2C_C_P LOC = C8      ; # Bank 118      - MGTREFCLK0P_118
NET FMC_HPC_DP2_M2C_N   LOC = B5          ; # Bank 118      - MGTXRXN2_118
NET FMC_HPC_GBTCLK0_M2C_C_N LOC = C7      ; # Bank 118      - MGTREFCLK0N_118
NET FMC_HPC_GBTCLK1_M2C_C_N LOC = E7      ; # Bank 118      - MGTREFCLK1N_118
NET FMC_HPC_GBTCLK1_M2C_C_P LOC = E8      ; # Bank 118      - MGTREFCLK1P_118
NET FMC_HPC_DP1_C2M_P   LOC = C4          ; # Bank 118      - MGTXTXP1_118
NET FMC_HPC_DP1_M2C_P   LOC = D6          ; # Bank 118      - MGTXRX1_118
NET FMC_HPC_DP1_C2M_N   LOC = C3          ; # Bank 118      - MGTXTXN1_118
NET FMC_HPC_DP1_M2C_N   LOC = D5          ; # Bank 118      - MGTXRXN1_118
NET FMC_HPC_DP0_C2M_P   LOC = D2          ; # Bank 118      - MGTXTXP0_118
NET FMC_HPC_DP0_M2C_P   LOC = E4          ; # Bank 118      - MGTXRX0_118
NET FMC_HPC_DP0_C2M_N   LOC = D1          ; # Bank 118      - MGTXTXN0_118
NET FMC_HPC_DP0_M2C_N   LOC = E3          ; # Bank 118      - MGTXRXN0_118

```