

KC705 リファレンス デザイン

ユーザー ガイド

UG845 (v1.0) 2012 年 1 月 31 日



Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2012 年 1 月 31 日	1.0	初版リリース

目次

改訂履歴.....	2
KC705 リファレンス デザイン ユーザー ガイド	
概要	5
KC705 の機能	5
リファレンス デザイン	7
フラッシュ コンテンツの復元.....	14
付録 A：その他の資料	
ザイリンクスのリソース.....	15
参考資料.....	15

KC705 リファレンス デザイン ユーザー ガイド

概要

Kintex™-7 FPGA は、前世代 FPGA の 2 倍の性能を半分の消費電力で実現する、新しいクラスの高性能 FPGA です。Kintex-7 ファミリは、システム レベルの性能と統合を強化する、高集積ロジック、高性能なシリアル コネクティビティ、メモリ、DSP、さらにアナログ ミックスド シグナルを提供しています。これらの機能により、新しい革新技术がもたらされ、量産価格でのデザインの差別化が可能になります。

KC705 評価キットは、XC7K325T-2FFG900 Kintex-7 FPGA をベースに構成されています。この FPGA は、326,080 のロジック セルを備えており、10.3125Gb/s のシリアル ライン レートをサポートします。詳細は、「[Kintex-7 ファミリ FPGA デバイス一覧表](#)」を参照してください。

このキットには、BIST (Built-In Self Test)、デモ機能、リファレンス デザイン ファイルが含まれています。BIST は、電源投入時およびリコンフィギュレーション後に、ボードのさまざまな機能を検証するのに役立ちます。『Kintex-7 FPGA KC705 評価キット スタートアップ ガイド』([UG883](#))のチュートリアルを一通り実施した後、KC705 のウェブページで提供されているチュートリアルとリファレンス デザインを使用すると、KC705 および Kintex-7 FPGA の機能をさらに検討できます。

KC705 評価キットで提供されるチュートリアルに関する最新情報は、ウェブページ (<http://japan.xilinx.com/KC705>) を参照してください。

KC705 の機能

KC705 デザインは、KC705 評価ボードを使用して Kintex™-7 FPGA の機能のデモを行うためのものです。これには次が含まれます。

- Kintex-7 XC7K325T-2FFG900 FPGA
- 1GB DDR3 メモリ SODIMM
- 128MB のリニア BPI フラッシュ メモリ
- Quad SPI フラッシュ
- セキュア デジタル (SD) コネクタ
- Digilent モジュールを介した USB JTAG
- クロック生成
 - 固定の 200MHz LVDS オシレーター (差動)
 - I²C プログラマブル オシレーター (差動)
 - SMA コネクタ (差動)

- GTX トランシーバー クロッキング用 SMA コネクタ
- GTX トランシーバー
 - FMC HPC コネクタ (GTX トランシーバー : 4 個)
 - FMC LPC コネクタ (GTX トランシーバー : 1 個)
 - SMA コネクタ (TX、RX、および REFCLK 用 : 各 1 組)
 - PCI Express (8 レーン)
 - SFP+ (Small form-factor pluggable plus) コネクタ
 - イーサネット PHY SGMII インターフェイス (RJ-45 コネクタ)
- PCI Express[®] エンドポイント コネクティビティ
 - Gen1 8 レーン (x8)
 - Gen2 8 レーン (x8)
- SFP+ コネクタ
- 10/100/1000 トライスピード イーサネット PHY
- USB - UART ブリッジ
- HDMI コーデック
- I²C バス
 - I²C MUX
 - I²C EEPROM (1 KB)
 - USER I²C プログラマブル 3.3V LVDS クロック
 - DDR3 SODIMM ソケット
 - HDMI コーデック
 - FMC HPC コネクタ
 - FMC LPC コネクタ
 - SFP+ コネクタ
 - I²C プログラマブル ジッター減衰高精度クロック乗算器
- ステータス LED
 - イーサネット ステータス
 - パワー グッド
 - FPGA INIT
 - FPGA DONE
- ユーザー I/O
 - ユーザー LED (8 個の GPIO)
 - ユーザー プッシュボタン (5 方向)
 - CPU リセット プッシュボタン
 - ユーザー DIP スイッチ (4 極 GPIO)
 - ユーザー SMA GPIO コネクタ (2 組)
 - LCD 文字表示 (16 文字 x 2 行)
- スイッチ

- 電源オン/オフ スライド スイッチ
- コンフィギュレーション モード DIP スイッチ
- VITA 57.1 FMC HPC コネクタ
- VITA 57.1 FMC LPC コネクタ
- 電力管理
 - TI 電源コントローラーを介した PMBus 電圧および電流のモニタリング
- XADC ヘッダー
- コンフィギュレーション オプション
 - リニア BPI フラッシュ メモリ
 - Quad SPI
 - USB JTAG コンフィギュレーション ポート
 - プラットフォーム ケーブル ヘッダー JTAG コンフィギュレーション ポート

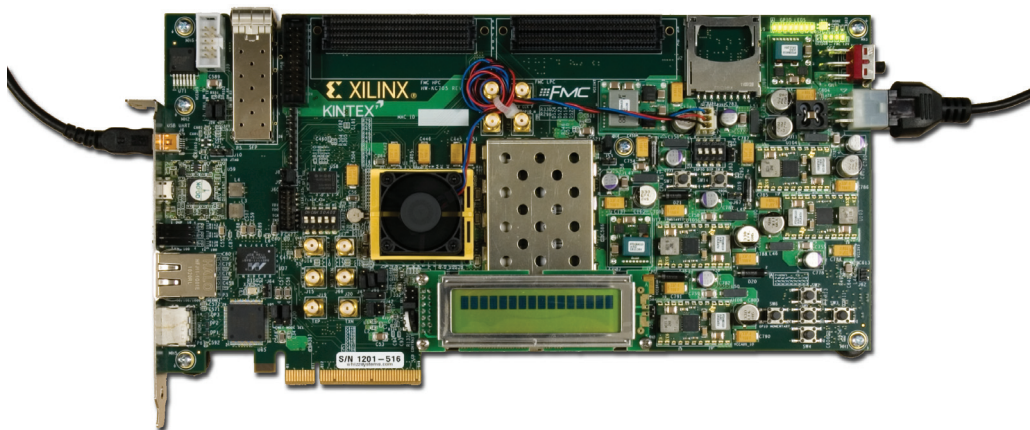
リファレンス デザイン

リファレンス デザインには、次が含まれます。

- [BIST \(Built-In Self Test\) デザイン](#)
- [MIG \(Memory Interface Generator\) でのデザイン](#)
- [PCI Express デザイン用インテグレイテッド エンドポイント ブロック](#)
- [マルチブート デザイン](#)
- [ChipScope Pro の IBERT デザイン](#)
- [ベース ターゲット リファレンス デザイン](#)

BIST (Built-In Self Test) デザイン

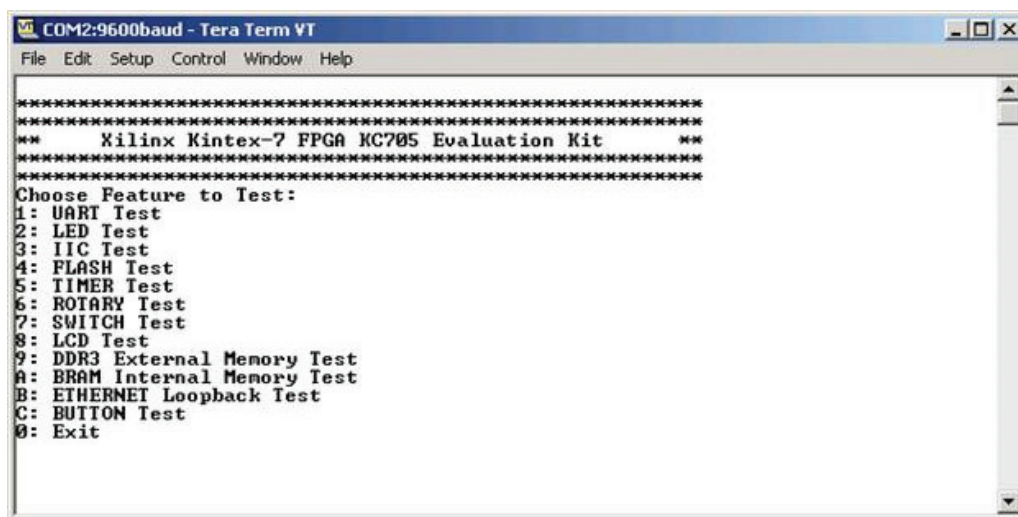
BIST を実行するには、電源ケーブルと USB-UART ケーブルを取り付けてから (図 1 を参照)、KC705 コンフィギュレーション モードとフラッシュ アドレス スイッチ (SW13) を 11010 に設定し、ボードの電源を入れます。



UG845_06_011612

図 1 : KC705 ボード

BIST を使用して、KC705 評価キットが提供するさまざまな機能が検証できます。コンフィギュレーション モードとフラッシュ アドレス スイッチが Master BPI モードに設定されると、電源投入時に BIST メニューが表示されます。



UG845_01_011212

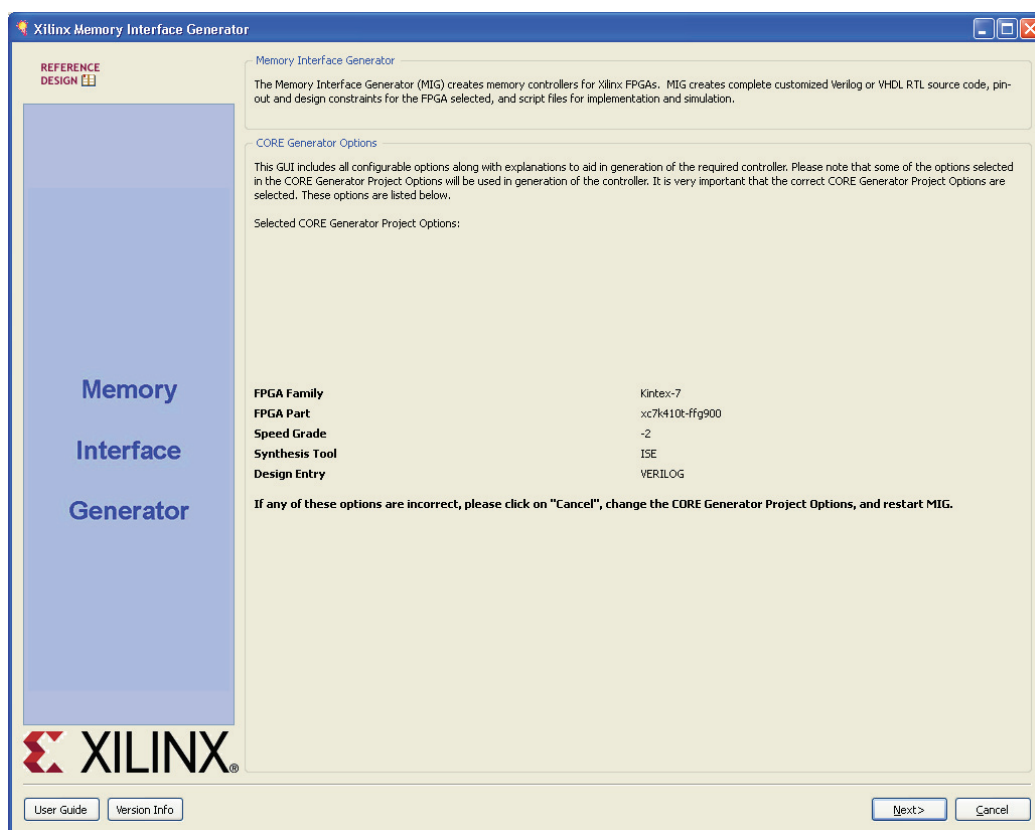
図 2 : BIST の初期画面

このような出力を表示するには、TeraTerm などのターミナルプログラムを起動します。BIST プログラムは、デフォルトではオンボードの BPI リニア フラッシュにあります。「KC705 フラッシュ コンテンツの復元」チュートリアルでは、この不揮発性フラッシュ メモリのデータを工場出荷時のデフォルト内容に復元する方法を説明しています。

MIG (Memory Interface Generator) でのデザイン

7 シリーズ FPGA メモリ インターフェイス ソリューション コアは、7 シリーズ FPGA のユーザー デザインおよび AXI4 (Advanced eXtensible Interface 4) スレーブ インターフェイスと DDR3 SDRAM デバイスを接続するために、設計済みのコントローラーと物理層 (PHY) を組み合わせたものです。7 シリーズ FPGA メモリ インターフェイス ソリューションの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』(UG586) を参照してください。

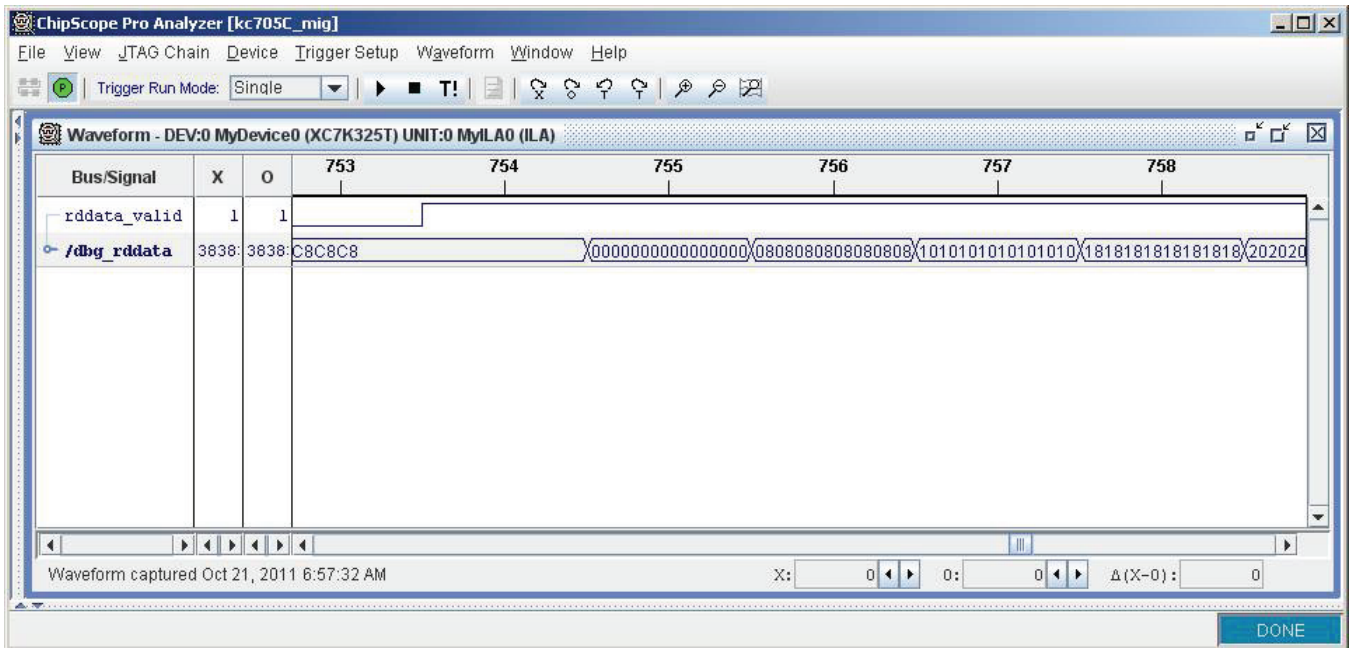
ロジック設計者は、MIG ツール (図 3) を使用し、メモリのトランザクションを簡略化したシンプルなユーザー インターフェイスを構築できます。統合したメモリ コントローラー ブロックの組み合わせおよびシグナル コネクティビティは、ユーザーに透過的です。



UG845_02_011112

図 3 : MIG の GUI

LogiCORE™ MIG のデバッグ デザイン例では、一連の読み出しおよび書き込みのパターン検証を通して DDR3 メモリ インターフェイスをテストします。サンプル デザインは、デバッグ インターフェイスを含むようにオプションを使用して生成されたものです。デバッグ結果は、ChipScope Pro™ Analyzer ツールで確認できます (図 4 を参照)。



UG845_03_011112

図 4 : ChipScope Pro Analyzer ツール

MCB の詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』([UG586](#)) を参照してください。ChipScope Pro Analyzer ツールの詳細は、『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』([UG029](#)) を参照してください。

PCI Express デザイン用インテグレイテッド エンドポイント ブロック

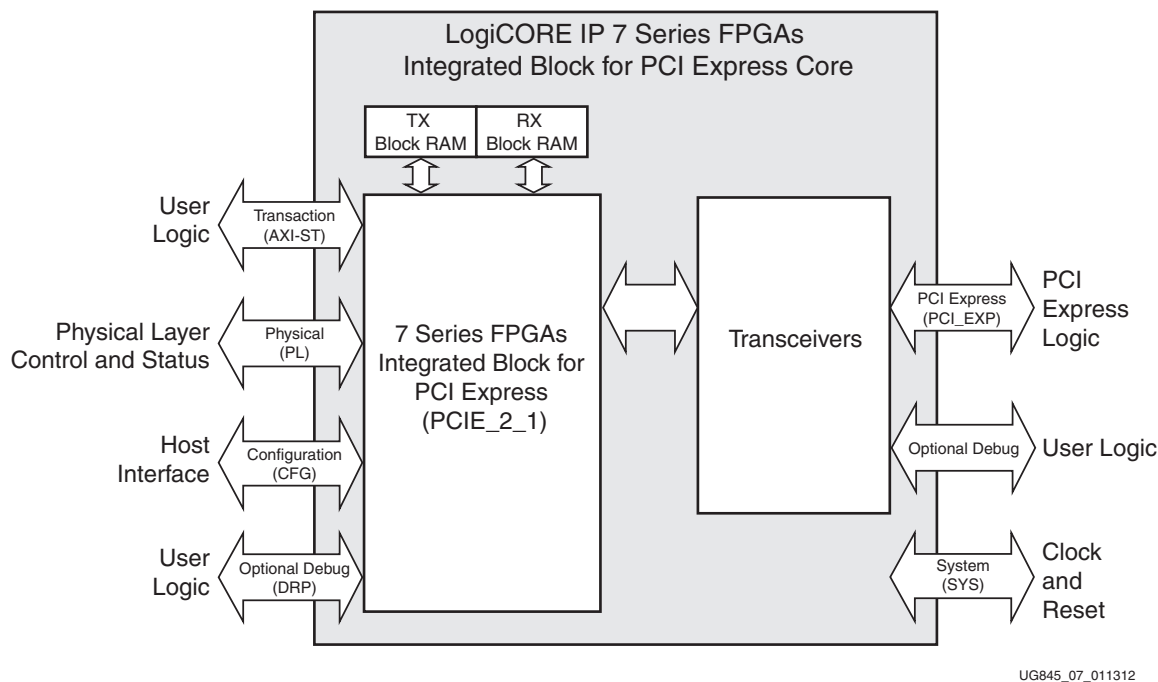
LogiCORE™ の IP コア、Kintex-7 FPGA PCI Express® 用インテグレイテッド エンドポイント ブロックは、Kintex-7 FPGA デバイス向けの高帯域幅、スケラブル、かつ高信頼性のシリアル インターコネクタを実装するための構築ブロックです。Kintex-7 FPGA PCI Express (PCIe®) 用インテグレイテッド エンドポイント ブロック ソリューションは、PCI Express Base Specification v1.1 のプロトコルに準拠し、かつ電氣的にも互換性のある 1 レーンのコンフィギュレーションをサポートします。

このインテグレイテッド エンドポイント ブロック ソリューションは、PCI Express Card Electromechanical (CEM) v1.1 や PCI Industrial Computer Manufacturers Group (PICMG) 3.4 仕様などの業界標準にのっとったアプリケーション要素と互換性があります。詳細は、『7 シリーズ FPGA PCI Express 用インテグレイテッド ブロック ユーザー ガイド』([UG477](#)) を参照してください。

ザイリンクスは、Kintex-7 FPGA PCIe Express 用インテグレイテッド エンドポイント ブロック コアを FPGA で構成するための Kintex-7 FPGA PCI Express 用インテグレイテッド エンドポイント ブロック ソリューションを提供しています。これには、PCIe 用の完全なエンドポイント ソリューションを構築するために使用するその他のロジックも含まれます ([図 5](#) を参照)。このザイリンクスの PCIe 用インテグレイテッド エンドポイント ブロック ラッパーにより、デザイン プロセスが簡潔になり、市場投入時間が短縮されます。

8 レーンの PCIe エッジ コネクタは、Gen1 アプリケーションについて、2.5GT/s の速度でデータを転送します。提供されるデザインは、Gen1 x8 レーンおよび Gen2 x4 レーン機能に対応しています。

詳細は、「KC705 PCIe x8 Gen1 デザインの作成」チュートリアルを参照してください。



UG845_07_011312

図 5 : PCI Express 用インテグレイテッド エンドポイント ブロック ソリューション

マルチブート デザイン

図 6 に、マルチブートの動作を示します。7 シリーズ FPGA のマルチブートおよびフォールバックは、フィールドでのシステム アップデートをサポートする機能です。ビットストリーム イメージは、フィールドで動的に更新できます。FPGA マルチブートは、デバイスの実行中にイメージを切り替える機能です。マルチブート コンフィギュレーションの実行時にエラーが検出されると FPGA はフォールバック機能を開始し、正常動作が確認済みのデザイン (ゴールデン イメージ) をデバイスに読み込むことができます。

信頼性の高いインシステム アップデート ソリューションをインプリメントするには、いくつかの点を事前に考えておく必要があります。まず、システム セットアップの方法を決定します。次に、使用するコンフィギュレーション モードに応じた設計上の注意点を考慮しておく必要があります。最後に、HDL デザインに関する注意点も考慮して、ファイルを正しく生成する必要があります。

電源投入時にアドレス 0 からゴールデン イメージを読み込みます。次に、このデザインがマルチブート イメージの読み込みを開始します。このような方式は、システム チェックを実行してからランタイム イメージを読み込む場合に適しています。つまり、システムのチェック/診断機能をゴールデン イメージに含めておき、実際のシステムとしての動作はマルチブート イメージに含めておきます。電源投入時は、常にゴールデン イメージが読み込まれます。このデザインが、上位アドレス空間からのブートをトリガーします。マルチブート イメージは複数用意しておくことが可能で、任意のデザインから別のイメージの読み込みを開始できます。上位アドレス空間のマルチブート イメージを読み込み中にエラーが発生した場合は、フォールバック回路がアドレス 0 からゴールデン イメージの読み込みを開始します。

Kintex-7 FPGA のマルチブート機能の詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) を参照してください。Kintex-7 FPGA でのこの動作のデモは、『KC705 MultiBoot』を参照してください。

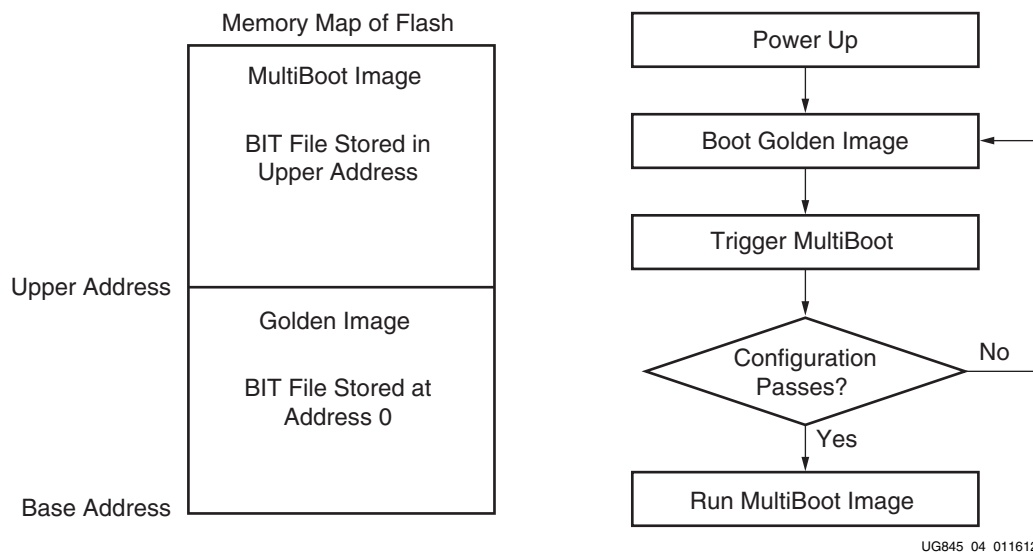
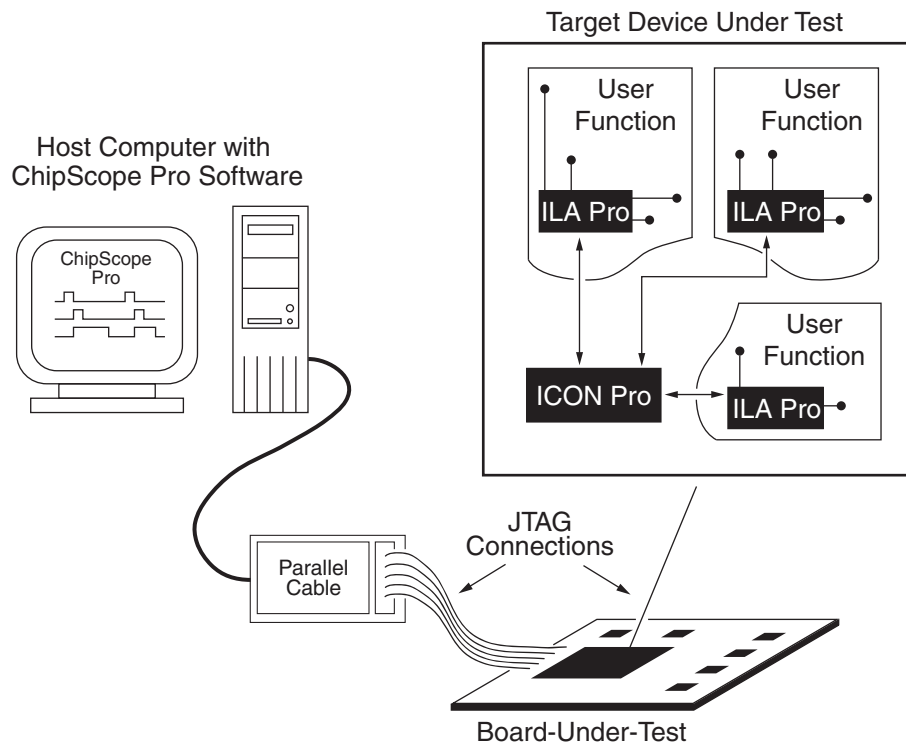


図 6：マルチブートの動作

ChipScope Pro の IBERT デザイン

CORE Generator ツールを使用すると、Kintex-7 の GTX トランシーバーを使用するハードウェアデザイン用の IBERT (Integrated Bit Error Ratio Test) コアが作成できます。IBERT コアには、Kintex-7 GTX トランシーバーを使用するデザイン、データ パターン ジェネレーター、データ パターン チェッカが含まれます (図 7 を参照)。デザインは、設計者が入力したデバイスとパッケージ、システム クロック ピンの配置、GTX の基準クロック、期待されるライン レートに基づいて生成されます。構成が完了すると、FPGA で動作している IBERT のデザインが ChipScope Pro Analyzer の IBERT コンソールで制御され、GTX トランシーバーの属性が設定されて高速シリアル GTX トランシーバーが使用できるようになります。



UG845_06_011112

図 7 : ChipScope Pro ソフトウェアを使用した IBERT コアの生成

LogiCORE の IBERT デザインでは、GTX トランシーバーを使用する次のインターフェイスのループバック接続を検証します。

- FMC HPC コネクタ (GTX トランシーバー : 4 個)
- FMC LPC コネクタ (GTX トランシーバー : 1 個)
- SMA コネクタ (TX、RX、および REFCLK 用 : 各 1 組)
- PCI Express (8 レーン)
- SFP+ (Small form-factor pluggable plus) コネクタ
- イーサネット PHY SGMII インターフェイス (RJ-45 コネクタ)

「KC705 GTX IBERT デザインの作成」チュートリアル、および付属のリファレンス デザインでは CORE Generator ツールおよび ChipScope Pro Analyzer ソフトウェアを使用して KC705 GTX トランシーバーを活用する方法を示しています。

ChipScope Pro Analyzer ツールの詳細は、『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』([UG029](#)) を参照してください。

ベース ターゲット リファレンス デザイン

KC705 評価キットに含まれるベース ターゲット リファレンス デザイン (TRD) は、複数のボード機能を含むように設計されています。TRD の主なコンポーネントは、PCI Express 用インテグレイテッド エンドポイント ブロック、Northwest Logic 社製 Packet DMA、およびマルチポート仮想 FIFO です。TRD システムは、エンド ツー エンドで最大 10 ギガビット秒 (Gb/s) のスループットに対応しています。

Kintex-7 FPGA PCI Express 用インテグレイテッド エンドポイント ブロックと Packet DMA は、ホスト システムからエンドポイント カード (S2C) へ、およびその逆方向 (C2S) へデータを転送する役割を果たします。ホストが送受信するデータは、DDR3 メモリを中心に構築された仮想 FIFO に保存されます。DDR3 メモリを中心としたマルチポート仮想 FIFO の抽象化層を使用することで、メモリ インターフェイスでのアドレス指定やアービトレーションを管理する必要がなくなり、トラフィックを効率的に移動できます。また、ブロック RAM を使用してインプリメントされたストレージよりも保存ワード数が拡大します。

PCI Express 用インテグレイテッド エンドポイント ブロック、Packet DMA、およびマルチポート仮想 FIFO が、ベース システムとして扱うことができます。ベース システムは、もう一端で実行されている任意のユーザー アプリケーションとホストをつなぐことができます。Raw Data Packet モジュールは、パケットを生成および使用するダミー アプリケーションです。Aurora または XAUI などのユーザー固有のプロトコルに簡単に置き換えることができます。

ベース TRD の詳細と実行方法は、『Kintex-7 FPGA KC705 評価キット スタートアップ ガイド』([UG883](#)) を参照してください。

フラッシュ コンテンツの復元

KC705 評価キットには、リニア BPI フラッシュ、SPI フラッシュの複数の不揮発性メモリが搭載されており、これらはユーザーが生成したデザインで上書き可能です。「フラッシュ コンテンツの復元」チュートリアルでは、リニア BPI フラッシュにプログラムされた初期機能の復元方法を説明しています。

フラッシュ インターフェイスを介する FPGA のコンフィギュレーションの詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』([UG470](#)) を参照してください。KC705 評価キットの特定のフラッシュ モジュールについては、『Kintex-7 FPGA 用 KC705 評価ボード ユーザー ガイド』([UG810](#)) を参照してください。

その他の資料

ザイリンクスのリソース

アンサー データベース、資料、ダウンロード、フォーラムなどのサポート リソースを利用するには、次のウェブサイトアクセスしてください。

<http://japan.xilinx.com/support>

ザイリンクスの資料で使用されている技術用語は、次の用語集を参照してください。

<http://japan.xilinx.com/company/terms.htm>.

参考資料

次の文書は、このユーザー ガイドに役立つ補足資料です。

- Kintex-7 FPGA 製品一覧表
http://japan.xilinx.com/publications/prod_mktg/Kintex7-Product-Table.pdf
- [UG883](#) : 『Kintex-7 FPGA KC705 評価キット スタートアップ ガイド』
- [UG882](#) : 『Kintex-7 FPGA ベース ターゲット リファレンス デザイン ユーザー ガイド』
- [UG810](#) : 『Kintex-7 FPGA 用 KC705 評価ボード ユーザー ガイド』
- [UG586](#) : 『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』
- [UG029](#) : 『ChipScope Pro 12.3 ソフトウェアおよびコア ユーザー ガイド』
- [UG477](#) : 『7 シリーズ FPGA PCI Express 用インテグレイテッド ブロック ユーザー ガイド』
- [UG470](#) : 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』
- PCI-SIG の資料 (www.pcisig.com/specifications)
 - PCI Express Base Specification 1.1
 - PCI Express Card Electromechanical (CEM) Specification 1.1

KC705 のチュートリアル、デモ、およびデザイン ファイルは、次のウェブサイト参照してください。

<http://japan.xilinx.com/KC705>

ここからは、次が入手可能です。

- KC705 BIST : RDF0102、XTP102
- KC705 IBERT : RDF0103、XTP103
- KC705 Multiboot : RDF0104、XTP104
- KC705 MIG : RDF0105、XTP105
- KC705 PCIe : RDF0106、XTP106
- KC705 Restoring Flash : RDF0145、XTP131

