



XMP057 (v1.0) 2010 年 4 月 8 日

Spartan-6 FPGA SP605 評価キットの FAQ

概要

この文書には、Spartan®-6 FPGA SP605 評価キットに関する FAQ とその回答が記載されています。

質問 1:

購入方法を教えてください。

SP605 評価キットは、次のウェブサイトから購入できます。
<http://japan.xilinx.com/products/devkits/EK-S6-SP605-G.htm>
 または、ザイリンクス販売代理店へお問い合わせください。
<http://japan.xilinx.com/japan/sales/store.htm>

質問 2:

いつ入手できますか。

在庫状況によってリードタイムが異なります。詳細は、次のウェブサイトをご確認ください。
http://japan.xilinx.com/onlinestore/s6_boards.htm
 または、ザイリンクス販売代理店へお問い合わせください。
<http://japan.xilinx.com/japan/sales/store.htm>

ソフトウェアは購入後、ダウンロードすることですぐに使用できます。購入注文時に、ソフトウェアの登録およびライセンス取得の手順を e-mail でお知らせいたします。詳細は、[質問 11: 「ソフトウェアの登録およびインストール方法について教えてください。」](#)を参照してください。

質問 3:

Spartan-6 FPGA SP605 評価キットには何が含まれますか。

同梱内容は次のとおりです。

- SP605 ベース ボード
XC6SLX45T-FGG484-3CES FPGA
- ウェルカム レター (ザイリンクスからのご挨拶文)
- FPGA デザイン ソフトウェア
ザイリンクス ISE® Design Suite : Logic Edition を含む DVD が同梱されています。SP605 評価キットのターゲット デバイスは、XC6SLX45T にロックされています (詳細は「[ソフトウェアについて](#)」を参照してください)。
- リファレンス デザイン

SP605 評価キットの製品ページから入手できます。

- ベース リファレンス デザイン - ボード機能のデモ、リファレンス デザイン、およびデザインのダウンロード、更新、カスタマイズ方法のチュートリアル
- メモリ コントローラ デザイン - Spartan-6 FPGA のメモリ コントローラを使用したデザインとその接続方法のデモ
- マルチブート コンフィギュレーション デザイン - マルチブート機能のインプリメンテーション方法と、あるデザインのコンフィギュレーションをほかのデザインのコンフィギュレーションに応用する方法のデモ
- x1 PCI Express® のリファレンス デザイン - PCIe を経由した基本的なメモリ伝送のリファレンス デザイン
- iBERT トランシーバのリファレンス デザイン - ループバック チャネルとして GTP トランシーバを検証するベーシック デザイン

- 資料
 - ハードウェア セットアップ ガイド - ケーブルの接続、スイッチやジャンパの設定、初回電源投入の各手順
 - スタートアップ ガイド - 診断のデモ、ベース リファレンス デザインの実行、ソフトウェア インストールの各手順
 - ハードウェア ユーザー ガイド - SP605 ボードの機能、ジャンパの設定、オプション、ピン配置表の各説明
 - リファレンス デザイン ユーザー ガイド - SP605 リファレンス デザインのインプリメント、更新、カスタマイズの各手順
 - ボード デザイン ファイル - 回路図、ガーバー ファイルおよび部品
- ケーブルと電源
 - 12V ユニバーサル電源アダプタ
 - ダウンロードおよびデバッグ用の USB A/MiniB ケーブル (2 本)
 - イーサネット ケーブル
 - DVI - VGA アダプタ

SP605 ボードについて

- 質問 4:** Spartan-6 LX45T FPGA のスピード グレードを教えてください。
 ボードには、スピード グレード -3CES の Spartan-6 XC6SLX45T FGG FPGA が搭載されています。
- 質問 5:** ボードやソフトウェアの返品規則について教えてください。
 販売代理店から購入したボードやケーブルを返品する場合は、購入先の正規販売代理店へお問い合わせください。詳細は、次のウェブサイトを参照してください。
<http://japan.xilinx.com/products/quality/rma.htm>
- 質問 6:** SP605 ボードに USB コネクタが 2 つある理由を教えてください。
 「USB/JTAG」とラベルのついた USB ポートは、コンフィギュレーション ビットストリームのダウンロードおよびフラッシュ メモリのプログラミングに使用します。このポートは、JTAG および ChipScope™ ロジック アナライザを使用する場合にはデバッグ ポートとしても使用可能ですが、標準の USB デバイス ポートとしては使用できません。「USB UART」とラベルのついた USB ポートは、シリアル通信チャネルとして使用可能な USB-to-UART ブリッジです。
- 質問 7:** SP605 ボードの拡張ポートを教えてください。
 SP605 ボードには 2 つの拡張ポートがあります。1 つは FPGA メザニン カード (FMC) コネクタです (質問 8 参照)。もう 1 つは V_{CC}、GND と 4 つの I/O ピンが 1 列にコンフィギュレーションされた I/O 用です。ペリフェラル モジュール (Pmods) という小型の周辺カードも多数使用できます。周辺カードは次のウェブサイトから入手できます。
<http://www.digilentinc.com/Products/Catalog.cfm?NavPath=2,401&Cat=9>
- 質問 8:** FMC 拡張コネクタとその接続先を教えてください。
 FMC とは、FPGA ベンダーやエンド ユーザーを含む企業コンソーシアムによって開発された拡張カードのインターフェイス形式です。インターフェイスは、標準的なメザニン カードのフォーム ファクタ、コネクタ、およびベース ボードに搭載された FPGA へのモジュラ インターフェイスを提供します。この方法で I/O インターフェイスを FPGA から切り離すことで、ボードを最大限に再利用しながら I/O インターフェイスのモジュール デザインを簡素化できます。詳細は、次のウェブサイトを参照してください。
<http://japan.xilinx.com/fmc/>
- 質問 9:** FMC の仕様書の入手方法を教えてください。
 FPGA メザニン カード (FMC) は VITA 仕様に準拠しており、これは次の VITA のウェブサイトから入手できます。
<https://www.vita.com/online-store.html>

ソフトウェアについて

質問 10: ISE Design Suite : Logic Edition について教えてください。

ISE Design Suite:Logic Edition は Linux、Windows XP、Windows Vista に対応した、フル機能の FPGA デザイン ソリューションです。SP605 評価キットで提供されるバージョンでは、このソフトウェアの全機能がサポートされていますが、ターゲット デバイスは Spartan-6 XCS6LX45T にロックされています。その他のザイリンクス デバイスをターゲットするには、ISE ソフトウェア Logic Edition のライセンスを購入する必要があります。このソフトウェアは FPGA および CPLD デザインに最適で、HDL 合成、シミュレーション、インプリメンテーション、デバイス フィット、JTAG プログラミングを行うことができる、ダウンロード可能なソリューションです。ISE Design Suite : Logic Edition はデザイン フローを包括的にサポートし、ISE ソフトウェアの機能を簡単に使用できます。ザイリンクスは、生産性の向上を実現するソリューションとして、シングル ファイルのダウンロードとインストールで使用可能な最新のデザイン ツールを提供しています。ツールは次のウェブサイトからダウンロードできます。

<http://japan.xilinx.com/support/download/index.htm>

質問 11: ソフトウェアの登録およびインストール方法について教えてください。

Spartan-6 FPGA SP605 評価キットの購入注文時に、ISE Design Suite: Logic Edition ソフトウェアのダウンロードおよび取得方法を示した e-mail が届きます。次のウェブサイトからもその方法が記載されたページへアクセスできます。

<http://japan.xilinx.com/support/download/index.htm>

購入時の e-mail アドレスでログインすると、アカウントが作成されます。それ以外のアドレスを使用する場合は、新規アカウントを登録する必要があります。

評価キットでは、ISE Design Suite : Logic Edition ソフトウェアのライセンスおよび関連するすべての更新が 1 年間有効となります。あるいは、内容が異なる場合は購入注文時に示されます。

登録およびインストールは、次のザイリンクス ソフトウェア登録サイトを参照してください。

<http://japan.xilinx.com/getproduct>

ライセンスの取得方法

[Create New License] タブを選択します。インストールするソフトウェアのチェックボックスをオンにし、[ISE Design Suite : WebPACK Edition, Node Locked] チェックボックスをオンにします。

メモ：ノートパソコンを使用する場合、ハードディスク ID またはワイヤレス イーサネット カードの HostID を選択する必要があります。イーサネット アダプタを選択する場合、ワイヤレス カードの選択を推奨します。ドッキングステーションの Host ID を選択すると、ドッキングしている場合のみライセンスが有効となります。また、ノートパソコンに直接接続された RJ45 イーサネットの多くが、ネットワークへの非接続時に切断されます。したがって、ケーブルで接続しない場合は、ライセンスが有効となりません。

HostID の選択後、[Generate Node Locked License] をクリックします。これによって [Manage Licenses] タブにライセンスが生成され、ライセンスのコピーが e-mail で送信されます。このライセンスは、後にソフトウェアをインストールする際に使用します。インストールおよびライセンスに関する詳細は、[UG631](#)、「ISE Design Suite 12 : インストール、ライセンス、リリース ノート」を参照してください。

ソフトウェアのインストール

[Download Software] タブを選択します。Web Install Client を実行するか、ISE Design Suite : Logic Edition のファイルをダウンロードするオプションがありますが、高速ネットワークを使用している場合は Individual Files ISE Design Suite:Logic Edition のダウンロードを推奨します。ネットワークが高速でない場合は、Web Install Client の選択を推奨します。いずれの場合にも ISE Design Suite : Logic Edition を選択し、次の手順に従ってください。

1. [Web Install Client] または [Full DVD Image] をダウンロードします。
2. ダウンロードしたファイルを解凍します。
3. [xsetup.exe] を実行します。

質問 12: その他のソフトウェアとその概要を教えてください。

ISE Design Suite : Logic Edition ソフトウェアは、SP605 ボードの全機能をサポートしていますが、その他にも有用なソフトウェアがあります。これらのソフトウェアは、ISE Design Suite : Embedded Edition、ISE Design Suite : DSP Edition、ISE Design Suite : System Edition に含まれています。詳細は、次のウェブサイト参照してください。

<http://japan.xilinx.com/tools/designtools.htm>

- ChipScope Pro Analyzer (SP605 に同梱)
FPGA のデバッグおよび検証ツールです。CORE Generator™ または ChipScope Pro ソフトウェアの Core Inserter ツールを使用し、ChipScope ツール コアと呼ばれる ChipScope ソフトウェア特定ロジックをデザインに組み込みます。その後 ChipScope analyzer を使用してこのコアに接続することで、デザインのデバッグや検証が可能となります。
- エンベデッド開発キット (EDK) ツール
ISE Design Suite : Embedded Edition には、ISE Design Suite : Logic Edition の機能とテクノロジーのすべてが含まれ、さらにエンベデッド PowerPC® プロセッサ コアや MicroBlaze™ ソフトウェア コアを使用するザイリンクス FPGA デザインに必要なツールや IP が追加されています。
- AccelDSP™ 合成ツール
MATLAB® ソフトウェアの浮動小数点デザインをハードウェア モジュールに変換し、ザイリンクス FPGA デバイスにインプリメントできます。AccelDSP 合成ツールは、使用が容易な GUI を備えているため、MATLAB ソフトウェア、ISE ソフトウェア ツール、業界標準の HDL シミュレータおよびロジック合成ツールなどのデザイン ツールを使用した統合環境を制御できます。
- System Generator
ザイリンクス DSP デザイン ツールにより、Mathworks 社のモデルを元にしたデザイン環境の Simulink® ソフトウェアを FPGA デザインに使用できます。デザインは、ザイリンクス固有のブロックセットを使用して DSP フレンドリな Simulink モデリング環境に取り込まれ、合成や配置配線を含む、ダウンストリーム FPGA のインプリメンテーション手順のすべてが自動的に実行されて、FPGA のプログラミング ファイルが生成されます。
- PlanAhead™ ソフトウェア (SP605 評価キットに同梱)
大型 FPGA デバイスのデザインに使用される設計および解析ツールです。コアとなるテクノロジーには階層的なフロアプランニング ツールが含まれ、物理デザインを小型で管理しやすいサイズに分割でき、FPGA のデザイン、検証、インプリメントに要する時間を短縮できます。

詳細について

質問 13:

製品の詳細を教えてください。

最新情報は、次の SP605 評価キットの製品ページを参照してください。
<http://japan.xilinx.com/products/devkits/EK-S6-SP605-G.htm>

改定履歴

次の表に、この文書の改定履歴を示します。

日付	バージョン	変更内容
2010/04/08	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Information") is provided "AS-IS" with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

この文書は参照用として、英語版 (XMP057 v1.0、2010 年 4 月 8 日発行) を翻訳したものです。