

概要

平素はザイリックス Kintex® UltraScale™ および Virtex® UltraScale™ FPGA デバイス ファミリーをご利用くださりありがとうございます。この通知は、Kintex UltraScale および Virtex UltraScale FPGA のタイミング仕様が新しいバージョンの Vivado® プロダクション スピード ファイルに更新されたことをお知らせするものです。

説明

ザイリックスは Kintex UltraScale FPGA および Virtex UltraScale FPGA の一部の SelectIO™ プリミティブのピン タイミングと Clock-to-Clock スキュー チェックに関するタイミング仕様を更新します。ネイティブ モードおよびコンポーネント モードでメモリ インターフェイスと SelectIO アプリケーションのいずれかまたは両方を使用しているデザインは、タイミングを再実行し、タイミング違反を修正する必要があります。

UltraScale の以前のプロダクション スピード ファイルでは、一部の SelectIO プリミティブに影響を与えるピンのタイミングが不正確であり、Clock-to-Clock スキュー要件が欠けています。このため、インターフェイスによってはキャリブレーション エラーあるいはデータ エラーが発生する可能性があります。新規デザインは、Vivado 2016.4 またはそれ以降を使用して作成してください。既存デザインは、新しいスピード ファイルを使用してタイミングを再実行する必要があります。タイミング違反が発生した場合は必要に応じてデザインをアップデートしてください。タイミング違反が発生しない場合は、デザインをアップデートする必要はありません (詳細はデザイン アドバイザリ [AR# 68169](#) 参照)。

スピード ファイルでは次のパラメーターが更新されています。

- CLK 入力と CLKDIV 入力間の OSERDESE3 スキュー
- CLK 入力と CLK_B 入力間の ISERDESE3 スキュー
- C 入力と CB 入力間の IDDRE1 スキュー
- DDR3、DDR4、および RLD RAM3 インターフェイスを使用する場合における、RIU_CLK 入力と PLL_CLK 入力間の BITSlice_CONTROL スキュー
- BITSlice_CONTROL、RXTX_BITSlice、RX_BITSlice、TX_BITSlice、ISERDESE3、IDELAYE3、および ODELAYE3 ピン タイミング パラメーター

表 1: Kintex UltraScale デバイスのスピード仕様バージョン

Vivado のバージョン	スピード仕様	デバイス
2016.4	1.23	XCKU025
		XCKU035
		XCKU040
		XCKU060
	1.24	XCKU085
		XCKU095
		XCKU115

表 2: Virtex UltraScale デバイスのスピード仕様バージョン

Vivado のバージョン	スピード仕様	デバイス
2016.4	1.24	XCVU080
		XCVU095
		XCVU440
	1.25	XCVU065
		XCVU125
		XCVU160
		XCVU190

注記: デザイン アドバイザリ [AR# 68169](#) を参照してください。

該当製品

この通知は、Kintex UltraScale および Virtex UltraScale FPGA のすべてのデバイス ファミリーに該当します。すべての標準番号製品およびそれらの SCD (Specification Control Document) 製品が該当します。この変更に関連したシリコンの変更はありません。

キーデート

これらの変更は、この XCN のリリース時点で有効となります。

お問い合わせ

この通知に対する回答は必要ありません。その他ご不明な点、ご質問等ございましたら、[ザイリンクス テクニカル サポート](#)までお問い合わせください。

重要なお知らせ: ザイリンクス カスタマー通知 (XCN、XDN、Quality Alert) リリースのお知らせは、ザイリンクスのサポートウェブサイト (<http://japan.xilinx.com/support>) から e-mail で受け取ることができます。アカウントご登録後、資料とデザイン アドバイザリ アラートにカスタマー変更通知が含まれるようにカスタマイズしてください。ザイリンクス サポート サイトでは、指定された製品に関する新規および更新情報、データシートやエラッタ、アプリケーション ノートなどに関するアラートを受け取ることができるサービスを提供しています。登録方法は、ザイリンクス アンサー 18683 を参照してください。
<http://japan.xilinx.com/support/answers/18683.htm>

その他の資料

『Kintex UltraScale FPGA データシート: DC 特性およびスイッチ特性』

https://japan.xilinx.com/support/documentation/data_sheets/ds892-kintex-ultrascale-data-sheet.pdf

『Virtex UltraScale FPGA データシート: DC 特性およびスイッチ特性』

https://japan.xilinx.com/support/documentation/data_sheets/ds893-virtex-ultrascale-data-sheet.pdf

デザイン アドバイザリ [AR# 68169](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年12月20日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社（本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ）に開示される情報（以下「本情報」といいます）は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で（with all faults）という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず（商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません）、すべての保証および条件を負わない（否認する）ものとします。また、(2) ザイリンクスは、本情報（貴殿または貴社による本情報の使用を含む）に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない（契約上、不法行為上（過失の場合を含む）、その他のいかなる責任の法理によるかを問わない）ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害（第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます）が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、訂正およびアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/warranty.htm> を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/warranty.htm#critapps>

この通知は参照用として、英語版（XCEN16031、バージョン 1.0、2016 年 12 月 20 日リリース）を翻訳したものです。