

## 概要

この通知は、コマーシャルグレード「XC」の Spartan®-6 LX16 -2C および Spartan-6 LX45 -2C FPGA Production デバイスについて、MCB (メモリコントローラー ブロック) のパフォーマンス、JTAG ID リビジョン コード、I<sub>CCINTQ</sub> と I<sub>CCAUXQ</sub> の最大値、CSG324 のバンク 0/2 に対する SSO 推奨上限値が変更されることをお知らせするものです。

## 内容

DDR2 インターフェイスでこれまでの MCB の仕様を満たすには、V<sub>CCINT</sub> 動作条件の仕様変更が必要になりました。V<sub>CCINT</sub> 動作条件範囲 (1.14V ~ 1.26V) で MCB を動作させると、以前のパフォーマンス仕様を満たすことができません。この変更は製品供給をより効率的にサポートするためのものです。また、JTAG ID リビジョン コードが「2」から「3」に変更されました。JTAG ID リビジョン コードの変更による該当デバイスのフォーム、形状、機能、あるいは信頼性への影響はなく、Circuit Design リビジョン コードに変更はありません。

DDR2 インターフェイスに MCB を Extended モードで使用する場合の V<sub>CCINT</sub> の推奨動作条件、およびそれに対応する最大データレート仕様の変更を表 1 に示します。これらの変更は、『Spartan-6 FPGA ファミリー データシート』(DS162) v2.1、『Spartan-6 FPGA メモリコントローラー ユーザー ガイド』(UG388) v2.2 にも記載されています。

ISE 12.2 (MIG 3.5) ソフトウェアでは、MCB のパフォーマンス モード (Standard または Extended) とタイミングが選択できるようになります。12.2 リリース以前のソフトウェアの場合、V<sub>CCINT</sub> を適切な範囲にし、MCB が変更後のパフォーマンス仕様に対応するように MIG ツールで設定することで、これらのモードが使用できます。

また、パフォーマンス仕様の変更に加え、すべての MCB デザインはそのパフォーマンスレベルに関わらず、READ データキャプチャに関連する IO エレメントのコンフィギュレーションをアップデートするよう、ビットストリームを変更する必要があります。MCB のパフォーマンスおよびビットストリームの変更、その他重要なアップデートの詳細情報は、[ザイリンクス アンサー #33566](#) から 6/14/10 付けで更新されている Spartan-6 FPGA MCB および MIG に関するアンサー レコードを参照して下さい。

JTAG ID リビジョン コードの変更によって更新される資料はありませんが、このコードから MCB のパフォーマンス仕様が判別できます。リビジョン コードが「2」のデバイスは、V<sub>CCINT</sub> 範囲全体での MCB のパフォーマンス仕様が表 1 に記載の変更前の値となり、リビジョン コードが「3」またはそれ以降のデバイスは変更後の新しいモードおよび仕様をサポートします。

表 1: -2 スピード グレード デバイス、DDR2 インターフェイスの MCB パフォーマンス仕様

	変更前	変更後	
V <sub>CCINT</sub> Range	1.14V to 1.26V	Standard Performance V <sub>CCINT</sub> 1.14V to 1.26V	Extended Performance V <sub>CCINT</sub> 1.2V to 1.26V
JTAG ID Revision	JTAG ID Revision Code “2”	JTAG ID Revision Code “3” or Later	JTAG ID Revision Code “3” or Later
DDR2	667 Mb/s	625 Mb/s	667 Mb/s

-2 スピード グレード デバイスの ICCINTQ および ICCAUXQ の最大値が変更されました。総静止電流の最大値は、XPower Estimator Revision 12.3.1 またはそれ以降 ([http://japan.xilinx.com/products/design\\_resources/power\\_central/index.htm](http://japan.xilinx.com/products/design_resources/power_central/index.htm)) を使用して算出できます。-2 スピード グレード デバイスの最大電流は、リビジョン 12.1.1 では 6% ~ 20% 高くなっていましたが、リビジョン 12.3.1 では 34% ~ 41% 低くなっており、結果として初期の Production 仕様よりも向上しました。変更は最大電流仕様のみであり、データシートに記載されている標準電流仕様に変更はありません。

『Spartan-6 FPGA ファミリー データシート』(DS162) では、Vcco/GND ペアあたりの SSO の推奨上限値が指定されています。ただし、このデータシートの v1.4 以前のバージョンでは CSG324 のバンク 0/2 に対する値に誤記がありました。バージョン 1.5 (以降) には正しい値が記載されています。

## 該当製品

この変更は、-2 スピード グレードおよび C 温度グレードの Spartan-6 LX16 および LX45 FPGA 製品 (XC) すべてに該当します。表 2 に、該当製品の標準製品番号を示します。

表 2: 該当する Spartan-6 コマーシャル「XC」FPGA 製品

製品番号	製品番号
XC6SLX16-2CSG225C	XC6SLX45-2CSG324C
XC6SLX16-2CSG324C	XC6SLX45-2FG484C
XC6SLX16-2FT256C	XC6SLX45-2FG676C
XC6SLX16-2FTG256C	XC6SLX45-2FGG484C
	XC6SLX45-2FGG676C

## キーデートおよび注文情報

これらの変更は、この PCN のリリース時点で有効となります。

## お問い合わせ先

この通知に対する回答は必要ありません。その他ご不明な点、ご質問等ございましたら、[ザイリンクス テクニカル サポート](#)までお問い合わせ下さい。

**重要なお知らせ** : カスタマー変更通知 (XCN、XDN、Quality Alert) は、弊社のサポートウェブサイト <http://japan.xilinx.com/support> から e-mail によるアラート配信として受信できます。アカウントご登録後、資料とデザイン アドバイザリ アラートにカスタマー変更通知が含まれるようにカスタマイズして下さい。ザイリンクス サポート サイトでは、指定された製品に関する新規および更新情報、データシートやエラッタ、アプリケーション ノートなどに関するアラートを受け取ることができる サービスを提供しています。登録方法は、[ザイリンクス アンサー # 18683](#) を参照して下さい。

## 参考資料

DS162 『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』  
[http://japan.xilinx.com/support/documentation/data\\_sheets/j\\_ds162.pdf](http://japan.xilinx.com/support/documentation/data_sheets/j_ds162.pdf)

UG388 『Spartan-6 FPGA メモリ コントローラー ユーザー ガイド』  
[http://www.xilinx.com/support/documentation/user\\_guides/ug388.pdf](http://www.xilinx.com/support/documentation/user_guides/ug388.pdf)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
06/14/2010	1.0	初版リリース
12/03/2010	1.1	ICCINTQ および ICCAUQ の最大仕様の説明を更新。
04/11/2011	1.2	DDR3 インターフェイスの記載を削除。この PCN の改訂以前に出荷されたすべての Production デバイスは現在、 $V_{CCINT}$ 範囲 (1.14V ~ 1.26V) 全体で元々の MCB DDR3 パフォーマンス仕様を満たす。

## Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials, or to advise you of any corrections or update. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

この通知は参照用として、英語版 (XCN10024、バージョン 1.2、2011 年 4 月 11 日発行) を翻訳したものです。