

概要

ザイリンクス Virtex®-6 ファミリー デバイスをご使用いただき、誠にありがとうございます。この通知は、表 1 に記載のデバイスのデータシートおよびユーザー ガイドの変更内容をお知らせするものです。量産シリコンの性能を反映させるよう、製品資料が変更されています。

表 1 : この変更通知が該当するデバイス ^(1, 2)

デバイス	XC6VLX75T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VLX130T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VLX195T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VLX240T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VLX365T	JTAG ID (Revision Code) 0 またはそれ以降
	XC6VLX550T	JTAG ID (Revision Code) 0 またはそれ以降
	XC6VLX760	JTAG ID (Revision Code) 2 またはそれ以降
	XC6VSX315T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VSX475T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VCX75T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VCX130T	JTAG ID (Revision Code) 2 またはそれ以降
	XC6VCX195T	JTAG ID (Revision Code) 4 またはそれ以降
	XC6VCX240T	JTAG ID (Revision Code) 2 またはそれ以降
パッケージ	すべて	
スピードグレード	1、-2、-3 ⁽³⁾ 、および -1L ⁽³⁾	
温度グレード	C および I	

メモ :

1. Virtex-6 LXT、SXT、および CXT FPGA の JTAG ID リビジョンが、継続的な製品改版の一環として変更になります。記載されたすべてのリビジョンは量産製品であり、データシートの全仕様を満たします。
2. 該当製品には、すべての標準製品番号および、それらの SCD (Specification Control Document) 製品が含まれます。
3. CXT デバイスは、-3 および -1L スピードグレードでは提供されていません。

コンフィギュレーション

コンフィギュレーション スイッチ特性 (-1L デバイスのみ)

-1L スピード グレードのコンフィギュレーション スイッチ特性の一部が変更されています。表 2 に、該当するパラメーターおよび変更前と変更後の値を示します。

これに伴い、[DS152](#) : 『Virtex-6 FPGA データシート: DC 特性およびスイッチ特性』、コンフィギュレーション スイッチ特性の表が更新されています。

http://www.xilinx.com/support/documentation/data_sheets/ds152.pdf

表 2 : -1L スピード グレードのコンフィギュレーション スイッチ特性パラメーターの変更

シンボル	説明	更新前の仕様 ⁽¹⁾ -1L のみ	更新後の仕様 ⁽²⁾ -1L のみ	単位
TPOR	パワーオンリセット	55	60	ms、最大
FMCKK	CCLK 周波数、シリアル モード	100	70	MHz、最大
FMCKKTOL	標準 CCLK に対する周波数偏差	55	60	%、最大
TMCKKL/TMCKKH	マスター CCLK の Low/High 時間のデューティ サイクル	45/55	40/60	%、最小/最大
TSMCSCCK	SelectMAP/ICAP の CSI_B セットアップ	4.5	5.5	ns、最小
TSMWCCK	SelectMAP/ICAP の RDWR_B セットアップ	13.5	16	ns、最小
FRBCCK	SelectMAP/ICAP のリードバック CCLK 周波数	100	60	MHz、最大
FTCK/FTCKB	コンフィギュレーション/バウンダリ スキャンの TCK 周波数	66	33	MHz、最大

メモ :

1. v2.10 およびそれ以前のバージョンの DS152 に記載されている値です。
2. v2.11 およびそれ以降のバージョンの DS152 に記載されている値です。

パラメーターは、製品データと一致するよう更新されています。詳細は、[アンサー レコード #38339](#) (<http://japan.xilinx.com/support/answers/38339.htm>) も参照して下さい。

PROGRAM_B ピン

[UG360](#) : 『Virtex-6 FPGA コンフィギュレーション ユーザー ガイド』

(http://www.xilinx.com/support/documentation/user_guides/ug360.pdf) の電源投入シーケンスの事前注意事項のセクションが更新されています。

以前のファミリでは、PROGRAM_B または INIT_B ピンを Low に維持することで、コンフィギュレーションを遅延させることができました。Virtex-6 デバイスの場合、PROGRAM_B ピンはレベルではなくエッジを認識して動作します。したがって、電源投入時にこのピンを Low にしても、コンフィギュレーションは遅延されません。詳細は、[アンサー レコード #38134](#) (<http://japan.xilinx.com/support/answers/38134.htm>) を参照して下さい。

MMCM (Mixed-Mode Clock Manager)

バンド幅 = HIGH または OPTIMIZED (FPFDMIN) の場合の周波数範囲の制限

MMCM を使用する Virtex-6 FPGA デザインの場合、CLKINPFD (PDF、位相周波数検出器の入力クロック周波数または F_{CLKIN} / D) が 135MHz またはそれ未満の場合、BANDWIDTH 属性は常に LOW しなければならないという要件があります。ISE® Design Suite 12.3 もしくはそれ以前のデザイン ツールでは、BANDWIDTH = OPTIMIZED とすると、デフォルトで HIGH に設定されるため、上述の条件に該当する場合は手動で LOW に変更する必要があります。ISE Design Suite ツールおよび影響を受ける IP のバージョン 12.4 ではこれが修正されており、BANDWIDTH = OPTIMIZED とすると、入力クロックの PERIOD 制約および D 値に基づいて、適切な BANDWIDTH 設定が選択されます。[アンサー レコード #38132](#) (<http://japan.xilinx.com/support/answers/38132.htm>) を参照して下さい。

変更は、次のデータシートの MMCM 仕様表に反映されています。値が変更となるパラメーターは $F_{PFD\text{MIN}}$ および $F_{IN\text{MAX}}$ です。

[DS152](http://www.xilinx.com/support/documentation/data_sheets/ds152.pdf) : 『Virtex-6 FPGA データシート : DC 特性およびスイッチ特性』
http://www.xilinx.com/support/documentation/data_sheets/ds152.pdf

[DS153](http://www.xilinx.com/support/documentation/data_sheets/ds153.pdf) : 『Virtex-6 CXT ファミリー データシート』
http://www.xilinx.com/support/documentation/data_sheets/ds153.pdf

クロック分周値の制限 ($F_{IN\text{MAX}}$)

MMCM を使用する Virtex-6 FPGA デザインで MMCM 入力クロック周波数 (F_{CLKIN}) が 315MHz を超える場合、DIVCLK_DIVIDE (入力分周器) 値に 3 もしくは 4 は使用できません。詳細および推奨される回避方法は、[アンサーレコード #38133](http://japan.xilinx.com/support/answers/38133.htm) (<http://japan.xilinx.com/support/answers/38133.htm>) を参照して下さい。

変更は、次の製品ユーザーガイドの「MMCM_ADV プリミティブ」セクションに反映されています。

[UG362](http://www.xilinx.com/support/documentation/user_guides/ug362.pdf) : 『Virtex-6 FPGA クロッキングリソースユーザーガイド』
http://www.xilinx.com/support/documentation/user_guides/ug362.pdf

GTX トランシーバー

GTX リセット

[UG366](http://www.xilinx.com/support/documentation/user_guides/ug366.pdf) : 『Virtex-6 FPGA GTX トランシーバーユーザーガイド』
(http://www.xilinx.com/support/documentation/user_guides/ug366.pdf) の「機能の説明」、「コンフィギュレーションの完了に応答する GTX TX リセット」、「GTX TX パルスに応答する GTX TX リセット」のセクションが、次に説明する TXOUTCLK を適切に機能させるための GTX トランシーバーの初期化の情報に基づき、更新されています。

TXOUTCLK を適切に機能させるための GTX トランシーバーの初期化

FPGA デバイスのコンフィギュレーション後、またはユーザー TXPLL リセット (TX で TXPLL が使用されている場合) もしくは RXPLL リセット (TX で RXPLL が使用されている場合) を適用後に、Virtex-6 FPGA GTX トランシーバーに誤動作が見られる可能性があります。誤動作となった結果、内部リセットのステートマシンが完了せず、TXRESETDONE がアサートしないか、または TXOUTCLK が正しい周波数にならないか、出力されなくなります。このような動作は、TXOUTCLK_CTRL = TXOUTCLKPCS、TXOUTCLKPMA_DIV1、または TXOUTCLKPMA_DIV2 で、TXPLL_DIVSEL_OUT = 2 または 4 となっているときに、TXOUTCLK を使用して USRCLK および USRCLK2 を生成する場合によく見られます。詳細および推奨される回避策は、[アンサーレコード #35681](http://japan.xilinx.com/support/answers/35681.htm) (<http://japan.xilinx.com/support/answers/35681.htm>) を参照して下さい。

GTX トランシーバーの遅延調整回路

GTX トランシーバーの遅延調整回路は、TX エラスティックバッファーか RX エラスティックバッファーがバイパスされる場合に、USRCLK (TXUSRCLK または RXUSRCLK) と内部 PMA クロックの位相を揃えるために使用されるコンポーネントの 1 つでした。また、この遅延調整回路はトランスミッターで TXOUTCLK を、レシーバーで RXRECCLK を生成しました。

トランスミッターの遅延調整回路が使用されている場合、特定の条件下にある TXOUTCLK に短いパルスが出力され、トランスミッターのデータがエラーとなる可能性があります。同様に、レシーバーの遅延調整回路が使用されている場合、RXRECCLK に短いパルスが出力されてデータがエラーとなる可能性があります。この結果、FPGA のほかのロジックがこれらのクロックを使用していると、ユーザーロジックに誤動作が見られます。

このような動作が見られる場合の条件および回避策は、[アンサーレコード #39430](http://japan.xilinx.com/support/answers/39430.htm) (<http://japan.xilinx.com/support/answers/39430.htm>) を参照して下さい。フィールド展開されているシステムについては、フィールドアップデートの必要性を判断するために、実際の条件と境界となる条件を比較することを推奨しています。今後設計されるシステムはすべて、[アンサーレコード #39430](http://japan.xilinx.com/support/answers/39430.htm) で説明されているソリューションに従う必要があります。

キーデートおよび注文情報

これらの変更は、この PCN のリリース時点で有効となります。

お問い合わせ先

この通知に対する回答は必要ありません。その他ご不明な点、ご質問等ございましたら、[ザイリンクス テクニカル サポート](#)までお問い合わせ下さい。

重要なお知らせ : カスタマー変更通知 (XCN, XDN, Quality Alert) は、弊社のサポートウェブサイトに <http://japan.xilinx.com/support> から e-mail によるアラート配信として受信できます。アカウントご登録後、資料とデザイン アドバイザリ アラートにカスタマー変更通知が含まれるようにカスタマイズして下さい。ザイリンクス サポート サイトでは、指定された製品に関する新規および更新情報、データシートやエラッタ、アプリケーション ノートなどに関するアラートを受け取ることができるサービスを提供しています。登録方法は、[アンサー レコード #18683](#) を参照して下さい。

参考資料

Virtex-6 FPGA 関連資料

<http://japan.xilinx.com/support/documentation/virtex-6.htm>

ザイリンクス アンサー レコード データベース

<http://japan.xilinx.com/support/answers/>

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011/01/24	1.0	初版リリース

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED ON THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFESUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE.

この通知は参照用として、英語版 (XCN11009、バージョン 1.0、2011 年 1 月 24 日発行) を翻訳したものです。