

概要

ザイリンクス Virtex®-6 ファミリー デバイスをご使用いただき、誠にありがとうございます。この通知は、Virtex-6 FPGA の特定のファンクション ブロックの動作説明について訂正するものです。該当するブロックは、Built-in 同期 FIFO および入力ロジックレジスタです。

内容

Built-In 同期 FIFO および入力ロジック レジスタの推奨される使用方法と実際の動作について、次に説明します。

同期モードの Built-in FIFO のリセット

Built-In FIFO を同期モード (EN_SYN=TRUE) で使用する場合、最初の書き込み後に FIFO が適切にフラグするように、デザインでは RESET の立ち上がりエッジを RDCLK または WRCLK に同期させる必要があります。

詳細は、アンサー レコード #41099 (<http://japan.xilinx.com/support/answers/41099.htm>) を参照して下さい。

メモ : その他の設定の Built-In FIFO (EN_SYN=FALSE) では、RESET の同期は必ずしも要件ではありません。

GSR を使用する入力ロジックのリセット

ILOGIC 入力レジスタ (IFF, IDDR, ISERDES) が、INIT=0 属性を使用する FPGA コンフィギュレーション シーケンスまたは STARTUP_VIRTEX6 プリミティブからのグローバル セット/リセット (GSR) イベントによって、必ずしも 0 に初期化されません。

入力レジスタを 0 に初期化することが求められるアプリケーションでは、汎用インターコネクトを使用する個別のリセットをインプリメントする必要があります。

メモ : GSR によって入力ロジック レジスタを 1 に初期化する動作 (INIT=1 属性を使用) は想定どおりです。

該当製品

この通知は、すべての Virtex-6 LXT, SXT, HXT, CXT FPGA に該当します。該当製品には、すべての標準製品番号および、それらの SCD (Specification Control Document) 製品が含まれます。

キーデート

これらの変更は、この PCN のリリース時点で有効となります。

お問い合わせ先

この通知に対する回答は必要ありません。その他ご不明な点、ご質問等ございましたら、ザイリンクス テクニカル サポート <http://japan.xilinx.com/support/techsup/tappinfo.htm>までお問い合わせ下さい。

重要なお知らせ :ザイリンクス カスタマー通知 (XCN、XDN、Quality Alert) リリースの通知は、サポートウェブサイト (<http://japan.xilinx.com/support>) から e-mail で受け取ることができます。アカウントご登録後、資料とデザイン アドバイザリ アラートにカスタマー変更通知が含まれるようにカスタマイズして下さい。ザイリンクス サポート サイトでは、指定された製品に関する新規および更新情報、データシートやエラッタ、アプリケーション ノートなどに関するアラートを受け取ることができる サービスを提供しています。登録方法は、ザイリンクス アンサー #18683 を参照して下さい。 <http://japan.xilinx.com/support/answers/18683.htm>

参考資料

Virtex-6 FPGA 関連資料

<http://japan.xilinx.com/support/documentation/virtex-6.htm>

ザイリンクス アンサー レコード データベース

<http://japan.xilinx.com/support/answers/>

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011/04/18	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials, or to advise you of any corrections or update. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

この通知は参照用として、英語版 (XCN11015、バージョン 1.0、2011 年 4 月 18 日発行) を翻訳したものです。