

## 概要

ザイリンクス Spartan®-6 FPGA ファミリー デバイスをご使用いただき、誠にありがとうございます。この通知は、ISE® Design Suite v13.3 およびそれ以降での、Spartan-6 FPGA のスピード ファイルの変更についてお知らせするものです。この変更によって、スピード ファイルがデータシートに記載されていた値と一致するよう修正されます。

## 内容

すべてのスピード グレードの Spartan-6 FPGA で、DCM 位相オフセット CLKIN\_CLKFB\_PHASE の最大値が増加しています。低消費電力の Spartan-6 -1L デバイスでは、ブロック RAM の最大周波数 F<sub>MAX</sub> が低下しています。ISE v13.3 での新しいスピード ファイルは、標準電圧デバイス用が v1.20、低消費電力 -1L デバイス用が v1.08 です。さらに、データシートに記載されている -2 スピード グレードでのブロック RAM の F<sub>MAX</sub> が改善されています。以降のセクションで、これらの変更について詳しく説明します。

## DCM 位相オフセット CLKIN\_CLKFB\_PHASE

表 1 に示すように、DCM の位相オフセット CLKIN\_CLKFB\_PHASE の最大値が増加しています。DCM の DLL 部分をクロックフィードバック付きで使用している場合、CLKIN\_CLKFB\_PHASE は CLKIN と CLKFB 入力間の位相オフセットを表し、タイミング解析では位相エラーとしてレポートされます。新しいスピード ファイルの値は、『[Spartan-6 FPGA データシート](#)』の表 54、DLL (デジタル ロックループ) のスイッチ特性に記載されている値と一致します。

表 1 : スピード ファイルの DCM CLKIN\_CLKFB\_PHASE (CLK\_FEEDBACK=1X)

ISE Design Suite バージョン	スピード ファイル	-3 (-3Q)	-3N	-2 (-2Q)	スピード ファイル	-1L
v13.2 およびそれ以前	v1.19 およびそれ以前	±50 ps	±60 ps	±60 ps	v1.07 およびそれ以前	±150 ps
v13.3 およびそれ以降	v1.20 およびそれ以降	±150 ps	±150 ps	±150 ps	v1.08 およびそれ以降	±250 ps

影響を受ける可能性のあるデザインは、タイミングが満たされることを確認するために評価を実施してください。タイミング解析は ISE 13.3 ソフトウェアを使用して実行できます。また、それ以前のバージョンのソフトウェアで解析を行う場合は、スピード ファイルのパッチが適用可能です。パッチの入手については、『[ザイリンクス アンサー 44193 – Spartan-6 FPGA スピード ファイルのデザイン アドバイザリ](#)』を参照してください。

データシートに記載されている CLKIN\_CLKFB\_PHASE 仕様は、CLK\_FEEDBACK=2X のときに 100ps 高くなっています。これに対してスピード ファイルでは、1X と 2X のフィードバックで値に差がないため、CLK\_FEEDBACK=1X が使用されます。2X フィードバックを使用する場合は、タイミング解析の際に 100ps 追加する必要があります。『[Spartan-6 FPGA データシート](#)』v3.0 には、タイミング解析では 2X フィードバック値を手動で追加する必要がある旨が注記で示されています。表 2 を参照してください。

表 2 : データシートの DCM CLKIN\_CLKFB\_PHASE

条件	-3 (-3Q)	-3N	-2 (-2Q)	-1L
CLK_FEEDBACK=1X	±150 ps	±150 ps	±150 ps	±250 ps
CLK_FEEDBACK=2X <sup>(1)</sup>	±250 ps	±250 ps	±250 ps	±350 ps

注記:

1. タイミング解析ツールでは、CLKIN\_CLKFB\_PHASE 値 (位相エラーとしてレポート) に対して CLK\_FEEDBACK = 1X の条件が使用されます。CLK\_FEEDBACK = 2X を使用する場合は、CLKIN\_CLKFB\_PHASE 値の位相エラーに 100ps を追加してください (上の表を参照)。

## ブロック RAM の最大周波数 F<sub>MAX</sub>

Spartan-6 -1L スピード グレード デバイスのブロック RAM の最大周波数 F<sub>MAX</sub> が、250MHz から 150MHz に低下しています。-1L デバイスでブロック RAM を使用している場合、クロック周波数は 150MHz までに制限してください。また、ISE v13.3 あるいは、それ以前のバージョンにパッチ ([ザイリンクス アンサー 44192 – Spartan-6 FPGA スピード ファイルのデザインアドバイザリ](#)から入手可能) を適用した ISE ツールを使用してタイミング解析を実行する必要があります。

Spartan-6 FPGA データシート v3.0 では、ブロック RAM の F<sub>MAX</sub> が、-2 スピード グレードで 260MHz から 280MHz に向上しています。-2 スピード グレードは ISE v12.4.1 アップデートで改善されていますため、スピード ファイルの仕様は 280MHz です。この変更によってお客様側で必要となる作業やソフトウェアの更新はありません。

[表 3](#) に、ブロック RAM の F<sub>MAX</sub> の変更を示しています。

表 3 : ブロック RAM の F<sub>MAX</sub>

ISE Design Suite バージョン	スピード ファイル	-3 (-3Q)	-3N	-2 (-2Q)	スピード ファイル	-1L
v13.2 およびそれ以前	v1.19 およびそれ以前	320 MHz	280 MHz	280 MHz	v1.07 およびそれ以前	250 MHz
v13.3 およびそれ以降	v1.20 およびそれ以降	320 MHz	280 MHz	280 MHz <sup>(1)</sup>	v1.08 およびそれ以降	150 MHz

注記:

1. データシートは 2011 年 10 月に v3.0 に更新されています。

## 該当製品

この通知は、すべての Spartan-6 LX および LXT FPGA に該当します。該当製品には、すべての標準製品番号および、それらの SCD (Specification Control Document) 製品が含まれます。汎用 XC デバイス、オートモーティブ XA デバイス、および航空宇宙/防衛 Spartan-6Q デバイスが該当します。この変更に関連したシリコンへの変更はありません。更新された使用はすべての製品シリコンに適用されます。

## キーデート

これらの変更は、この PCN のリリース時点で有効となります。

## お問い合わせ

この通知に対する回答は必要ありません。その他ご不明な点、ご質問等ございましたら、ザイリンクス テクニカル サポート <http://japan.xilinx.com/support/techsup/tappinfo.htm>までお問い合わせください。

重要なお知らせ :ザイリンクス カスタマー通知 (XCN, XDN, Quality Alert) リリースの通知は、サポートウェブサイト (<http://japan.xilinx.com/support>) から e-mail で受け取ることができます。アカウントご登録後、資料とデザイン アドバイザリ アラートにカスタマー変更通知が含まれるようにカスタマイズしてください。ザイリンクス サポート サイトでは、指定された製品に関する新規および更新情報、データシートやエラッタ、アプリケーション ノートなどに関するアラートを受け取ることができる サービスを提供しています。登録方法は、ザイリンクス アンサー#18683 を参照してください。 <http://japan.xilinx.com/support/answers/18683.htm>

## 参考資料

『Spartan-6 FPGA データシート: DC 特性およびスイッチ特性』

[http://www.xilinx.com/support/documentation/data\\_sheets/ds162.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds162.pdf)

Spartan-6 FPGA スピード ファイルのデザイン アドバイザリ - DCM 位相アライメントに関するアップデート

<http://japan.xilinx.com/support/answers/44193.htm>

Spartan-6 FPGA スピード ファイルのデザイン アドバイザリ - 低消費電力 -1L デバイスにおけるブロック RAM の F<sub>MAX</sub>

<http://japan.xilinx.com/support/answers/44192.htm>

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011/10/17	1.0	初版リリース

## Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials, or to advise you of any corrections or update. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

この通知は参照用として、英語版 (XCN11028、バージョン 1.0、2011 年 10 月 17 日発行) を翻訳したものです。