

特徴

- 高性能
 - ピン間のロジック遅延: 5ns
 - 最大 $f_{CNT} = 125\text{MHz}$
- 広い集積度範囲
 - 36 ~ 288 マクロセル
(使用可能なゲート数: 800 ~ 6,400 個)
- 5V インシステム プログラマブル
 - 10,000 回のプログラム / 消去サイクル
 - コマーシャル電圧範囲および温度範囲でプログラム / 消去可能
- ピン固定アーキテクチャの向上
- 柔軟性のある 36V18 ファンクション ブロック
 - 90 個の積項がファンクション ブロック内のマクロセル (最大 18 個) を駆動する
 - グローバルおよび積項クロック、出力イネーブル、セット / リセット信号
 - 拡張された IEEE 1149.1 バウンダリ スキャン (JTAG) をサポート
 - 各マクロセルに対して電力削減モードのプログラムが可能
 - 各出力にスルー レート制御がある
 - ユーザー プログラマブルなグラウンド ピン
 - デザイン保護用のパターン セキュリティ機能の強化
 - 高駆動 24mA 出力
 - 3.3V または 5V I/O
 - 高度な CMOS 5V FastFLASH™ テクノロジ
 - 複数の XC9500 デバイスをパラレルプログラミング可能

ファミリの概要

XC9500 CPLD ファミリは、高性能な汎用のロジック統合用に高度なインシステム プログラムおよびテスト機能を提供します。すべてのデバイスが、最低 10,000 回のプログラム/消去サイクルのインシステム プログラムが可能です。また、全ファミリでは、広範な IEEE 1149.1 (JTAG) バウンダリ スキャンがサポートされています。

表 1 に示すように、XC9500 デバイスの集積度は、レジスタ数 36 ~ 288 個 (ゲート数: 800 ~ 6,400 個) です。表 2 に、さまざまなパッケージ オプションおよび関連する I/O を示します。XC9500 ファミリは完全なピン互換があるため、使用されるパッケージフットプリントに基づいて、異なる集積度へ容易にデザインをマイグレーションできます。

XC9500 のアーキテクチャは、インシステム プログラム機能の要件に対応しています。強化されたピン固定機能により、高コストの原因となるボードの再設計を回避できます。また、拡張された JTAG 命令セットにより、プログラミング パターンおよびインシステム デバッグのバージョン管理が可能になります。動作範囲内でのインシステム プログラミングおよび 10,000 回のプログラム/消去サイクルという持続性により、再コンフィギュレーションで容易にシステムをフィールド アップグレードできます。

高度なシステム機能としては、システム ノイズを軽減させるための出力スルー レート制御およびユーザー プログラマブル グラウンド ピンがあります。I/O は、3.3V または 5V 動作用にコンフィギュレーションできます。すべての出力は、24mA です。

表 1: XC9500 デバイス ファミリ

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
マクロセル	36	72	108	144	216	288
使用可能なゲート	800	1,600	2,400	3,200	4,800	6,400
レジスタ	36	72	108	144	216	288
T_{PD} (ns)	5	7.5	7.5	7.5	10	15
T_{SU} (ns)	3.5	4.5	4.5	4.5	6.0	8.0
T_{CO} (ns)	4.0	4.5	4.5	4.5	6.0	8.0
f_{CNT} (MHz) ⁽¹⁾	100	125	125	125	111.1	92.2
f_{SYSTEM} (MHz) ⁽²⁾	100	83.3	83.3	83.3	66.7	56.6

1. $f_{CNT} = 16$ ビット カウンタの動作周波数

2. $f_{SYSTEM} =$ 複数のファンクションブロックがある汎用システム デザインの内部動作周波数

表 2：使用可能なパッケージおよびデバイス I/O ピン (専用 JTAG ピンは含まない)

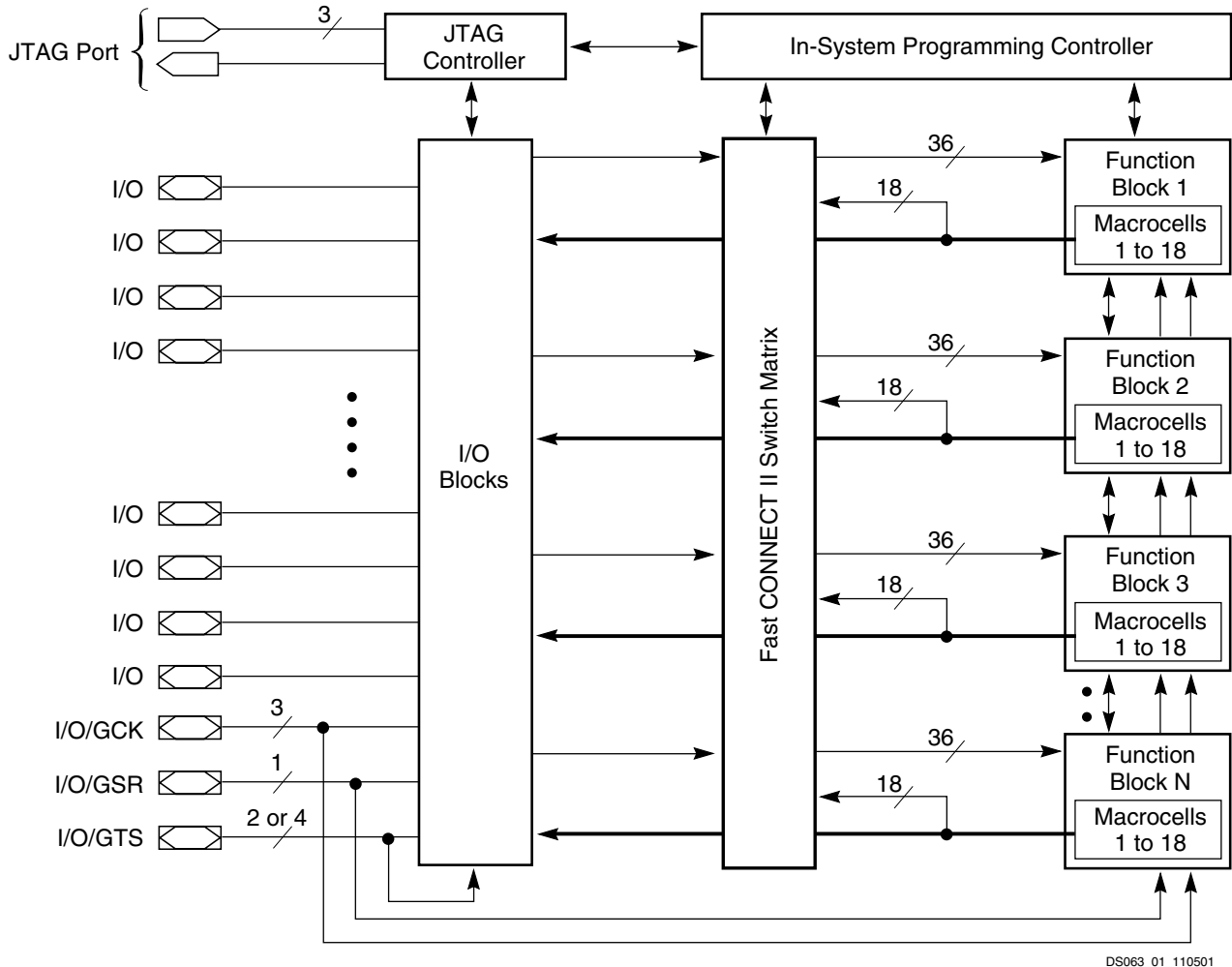
	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
44 ピン VQFP	34	-	-	-	-	-
44 ピン PLCC	34	34	-	-	-	-
48 ピン CSP	34	-	-	-	-	-
84 ピン PLCC	-	69	69	-	-	-
100 ピン TQFP	-	72	81	81	-	-
100 ピン PQFP	-	72	81	81	-	-
160 ピン PQFP	-	-	108	133	133	-
208 ピン HQFP	-	-	-	-	166	168
352 ピン BGA	-	-	-	-	166	192

1. ほとんどのパッケージは、鉛フリーバージョンがあります。詳細は、各データシートを参照してください。

アーキテクチャの説明

各 XC9500 デバイスは、複数のファンクションブロック (FB) と I/O ブロック (IOB) が Fast CONNECT™ スイッチ マトリックスで内部接続されて構成されているサブシステムです。IOB は、デバイスの入力および出力をバッファリングします。各 FB は、36 個の入力と 18 個の出力を備えたプログラム可能なロジック機能

として有効です。Fast CONNECT スイッチ マトリックスは、すべての FB 出力と入力信号を FB 入力へ接続します。各 FB では、12 ~ 18 出力 (パッケージのピン数に依存) および関連する出力イネーブル信号が IOB を直接駆動します。詳細は、[図 1](#) を参照してください。



DS063_01_110501

図 1 : XC9500 アーキテクチャ

メモ : ファンクションブロック出力 (太字で表示) は、I/Oブロックを直接駆動します。

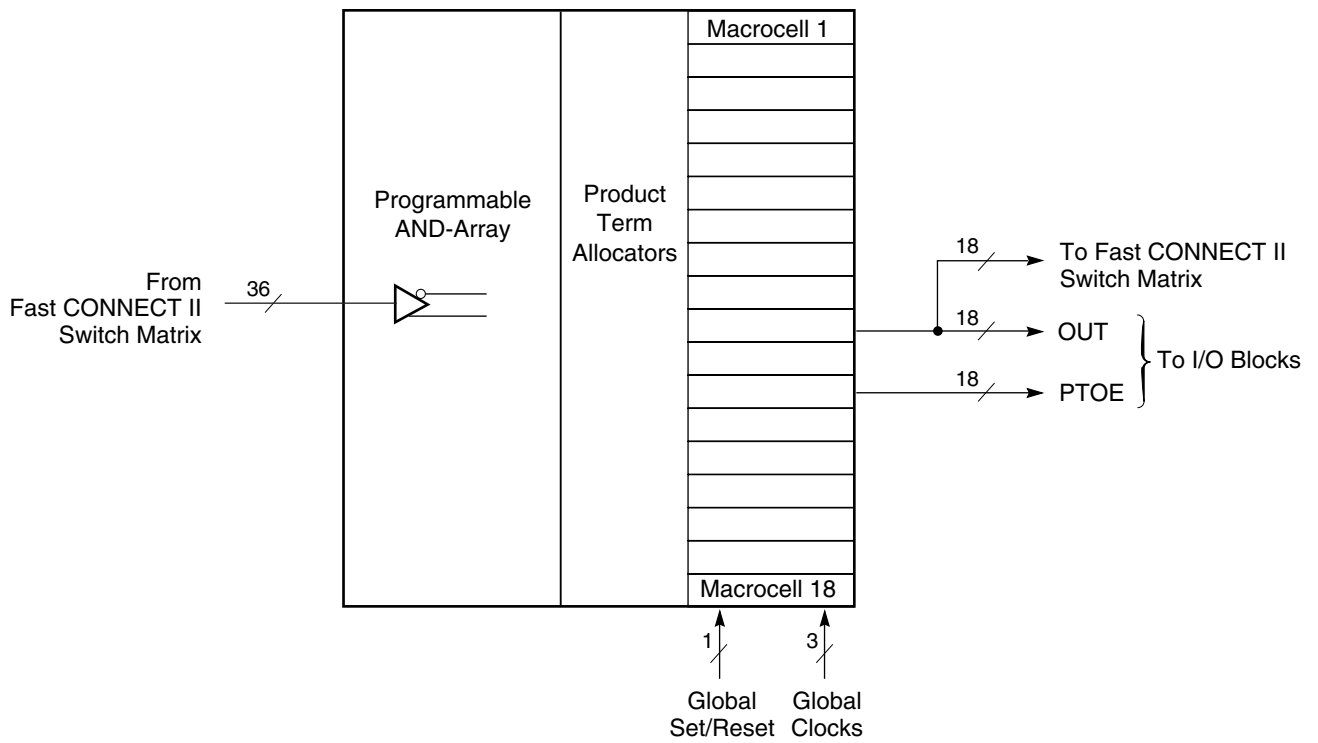
ファンクションブロック

図 2 に示す各ファンクションブロックには、18 個の独立したマクロセルがあり、組み合わせファンクションやレジスタ付きファンクションをインプリメントできます。また、FB は、グローバルクロック、出力イネーブル、およびセット/リセット信号も受信します。FB では、Fast CONNECT スイッチマトリックスを駆動する 18 個の出力を生成します。18 個の出力とそれらに対応する出力イネーブル信号は IOB も駆動します。

FB 内のロジックは、積和を使用してインプリメントされます。36 入力から、72 個の相補信号がプログラマブル AND アレイへ送信

され、90 個の積項を構成します。そして、積項アロケータがこれらの積項 (最大 90) を各マクロセルへ割り当てます。

各 FB (XC9536 を除く) にはローカルフィードバックパスがあるため、FB の外部へアクセスしなくても FB 出力が自身のプログラマブル AND アレイを駆動できます。これらのパスは、高速カウンタや、同じファンクションブロック内にすべてのステートレジスタがあるステートマシンを作成する際に使用します。



DS063_02_110501

図 2 : XC9500 のファンクション ブロック

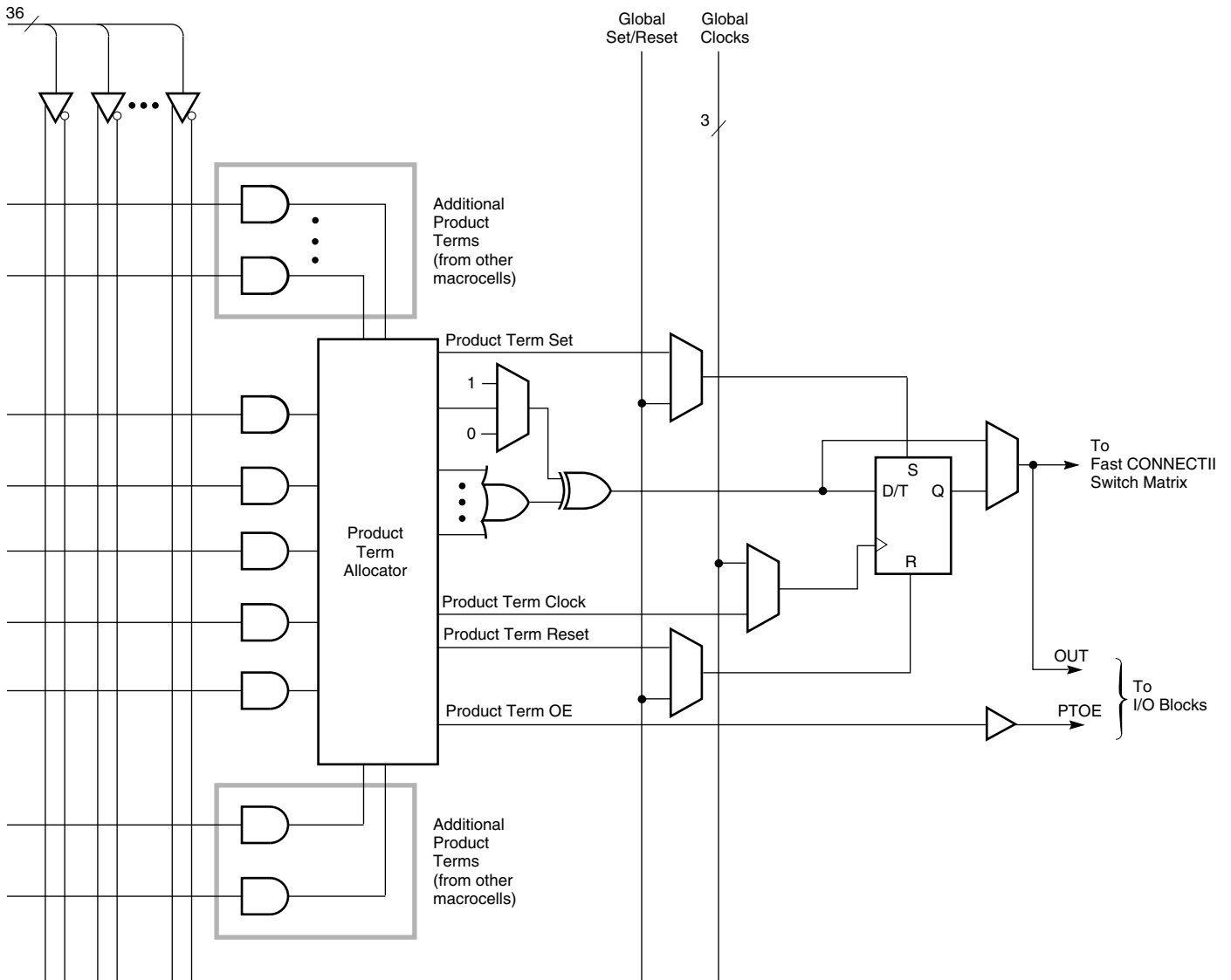
マクロセル

各 XC9500 マクロセルは、組み合わせファンクションまたは定義されたファンクションとして個別にコンフィギュレーションできます。図 3 に、マクロセルと関連する FB ロジックを示します。

AND アレイからの 5 つの直接積項は、組み合わせファンクションをインプリメントするために OR および XOR ゲートのプライマリ データ入力として使用、またはクロック、セット /リセット および出力イネーブルを含む制御入力として使用できます。各マクロ

セルに関連する積項アロケータによって、5 つの積項がどのように使用されるか決定されます。

マクロセルレジスタは、D 型および T 型フリップフロップとしてコンフィギュレーションでき、また組み合わせ動作にバイパスも可能です。各レジスタは、非同期のセット およびリセット 動作を両方サポートします。パワーアップ中、すべてのユーザーレジスタはユーザーが定義したロード 前のステート に初期化されます (指定されていない場合は、デフォルト 値 0)。

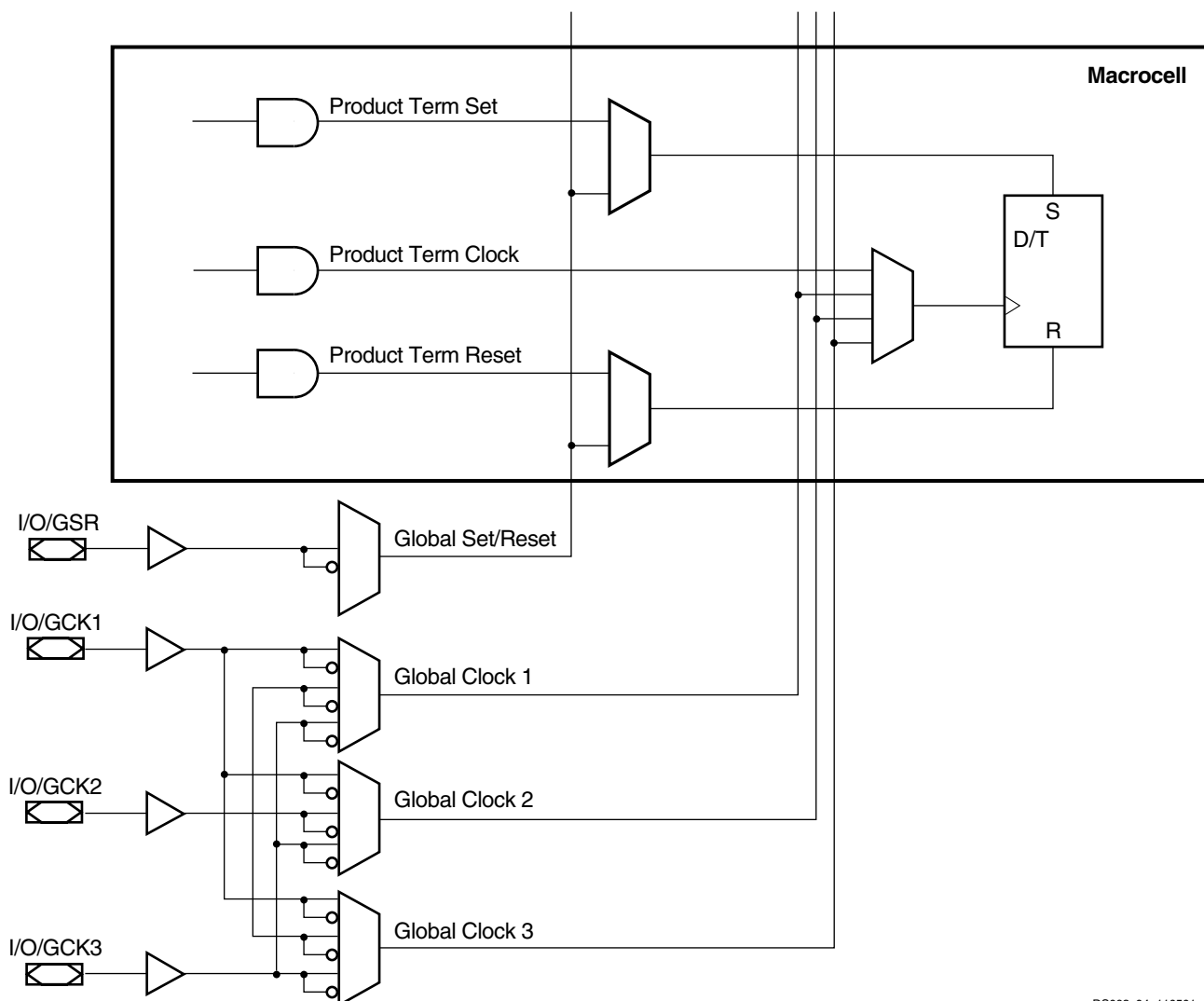


DS063_03_110501

図 3 : ファンクション ブロック内の XC9500 マクロセル

各マクロセルでは、クロック、セット/リセット、および出力イネーブル信号を含むすべてのグローバル制御信号を使用できます。図 4 に示すように、マクロセルレジスタクロックは、3 つのグローバルクロックまたは 1 つの積項クロックを使用します。デ

バイス内では GCK ピンの相補する両極を使用できます。また、ユーザーレジスタをユーザー定義のステートに設定できるようにするため、GSR 入力もあります。

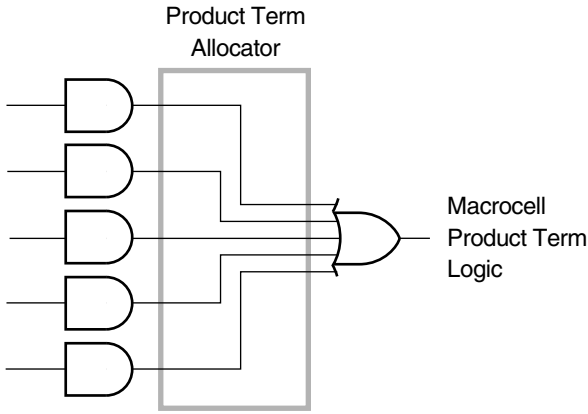


DS063_04_110501

図 4 : マクロセル クロックおよびセット/リセット機能

積項アロケータ

積項アロケータは、各マクロセルに 5 つの直接積項をどのように割り当てるかを制御します。たとえば、図 5 では、5 つすべての直接積項が OR ファンクションを駆動します。

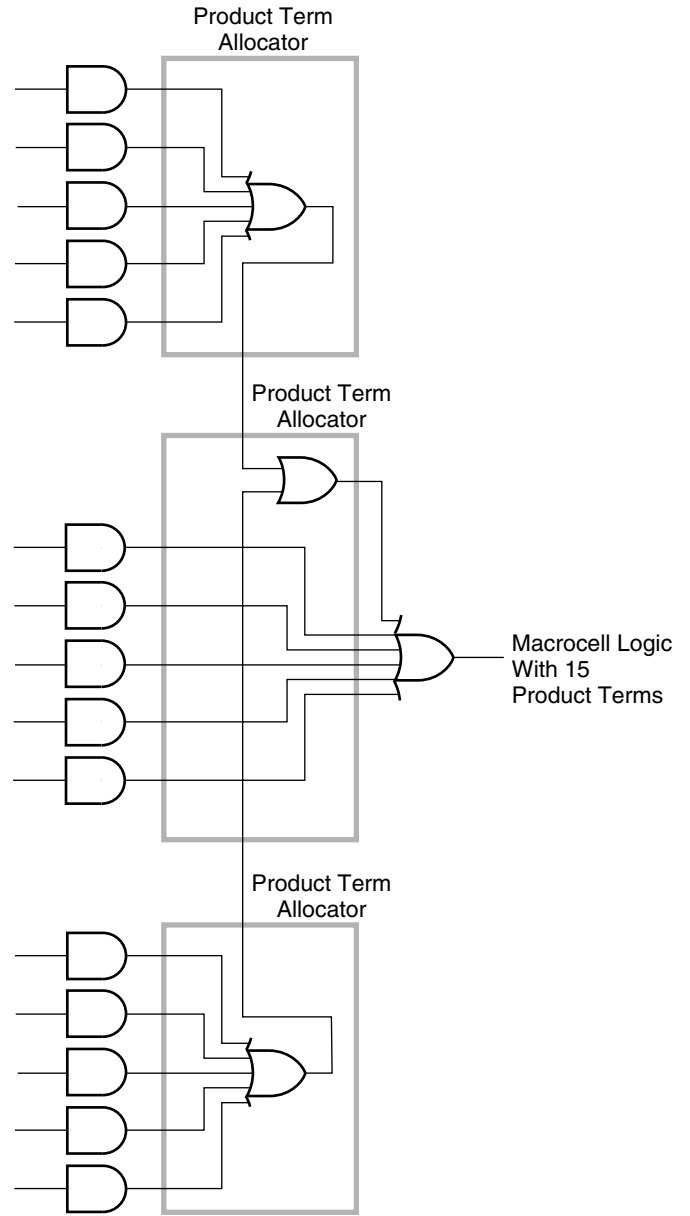


DS063_05_110501

図 5：直接積項を使用するマクロセル ロジック

積項アロケータは、FB 内にはかの積項を再び割り当てて、マクロセルのロジック キャパシティを 5 つの直接積項より多くすることができます。積項を追加する必要があるマクロセルは、FB 内の他のマクロセルの未接続積項へアクセスできます。1 つのマクロセルに対して最大 15 積項の追加が可能であり、インクリメンタル遅延 (T_{PTA}) は微小です (図 6)。

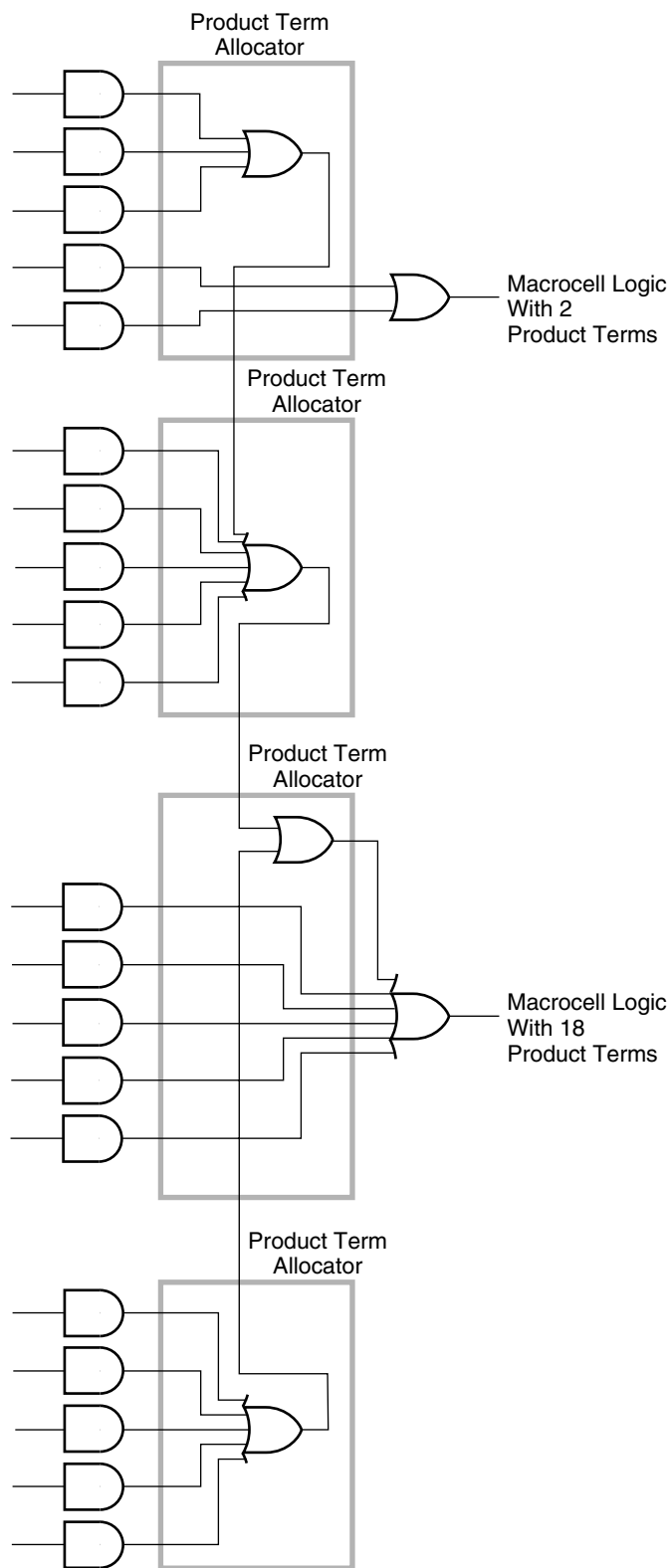
インクリメンタル遅延は、別のマクロセルの積項のみに影響します。直接積項のタイミングは変化しません。



DS063_06_110501

図 6：15 積項の割り当て

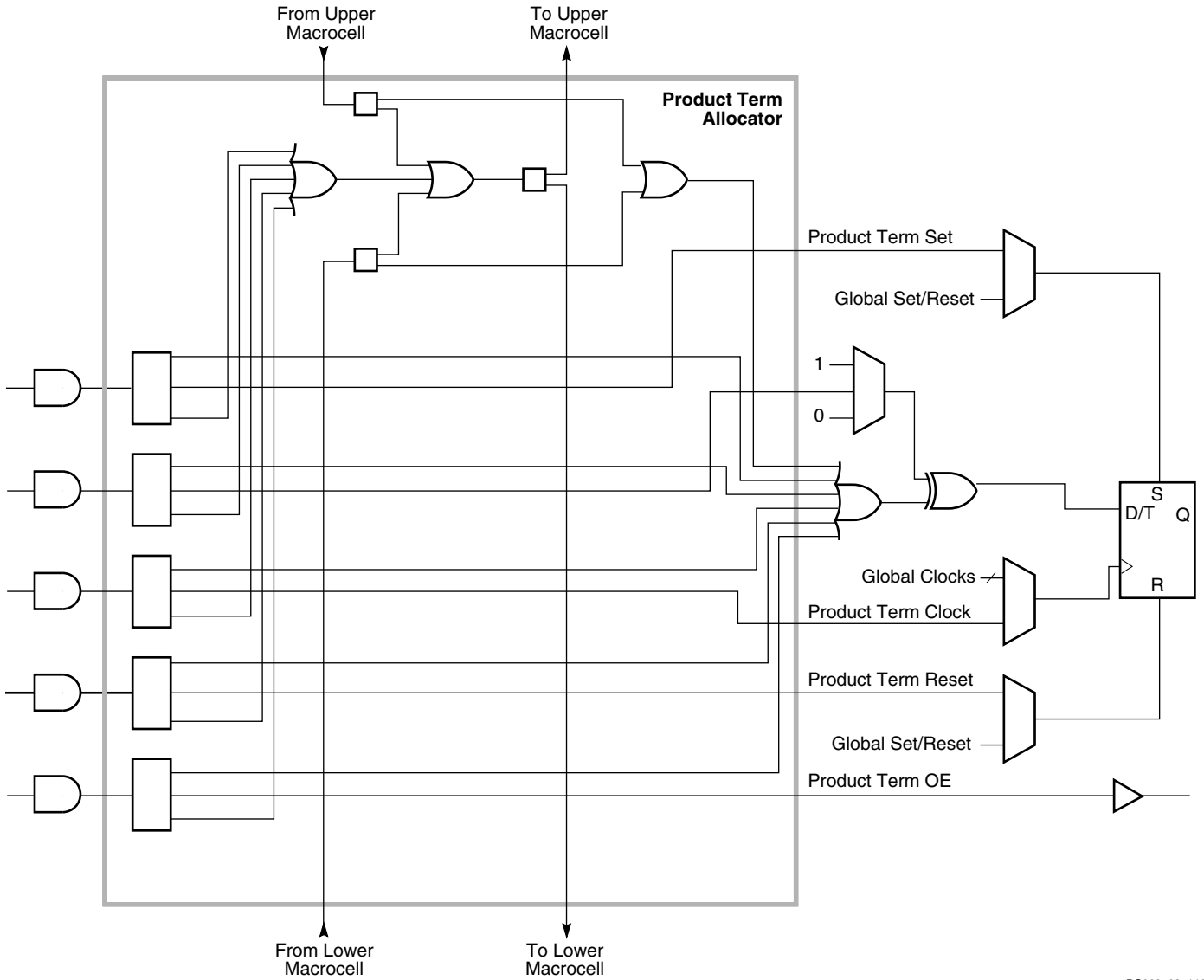
複数のマクロセルに及ぶ部分的な積和を結合することによって、積項アロケータは、FB 内のマクロセルからの積項を再度割り当てできます (図 7 を参照)。この例では、インクリメンタル遅延はわずか $2 \cdot T_{PTA}$ 程度です。どのマクロセルに対しても最大 90 積項を使用でき、この場合の最大インクリメンタル遅延は $8 \cdot T_{PTA}$ になります。



DS063_07_110501

図 7: 複数のマクロセルに及ぶ積項の割り当て

図 8 に、積項アロケータの内部ロジックを示します。



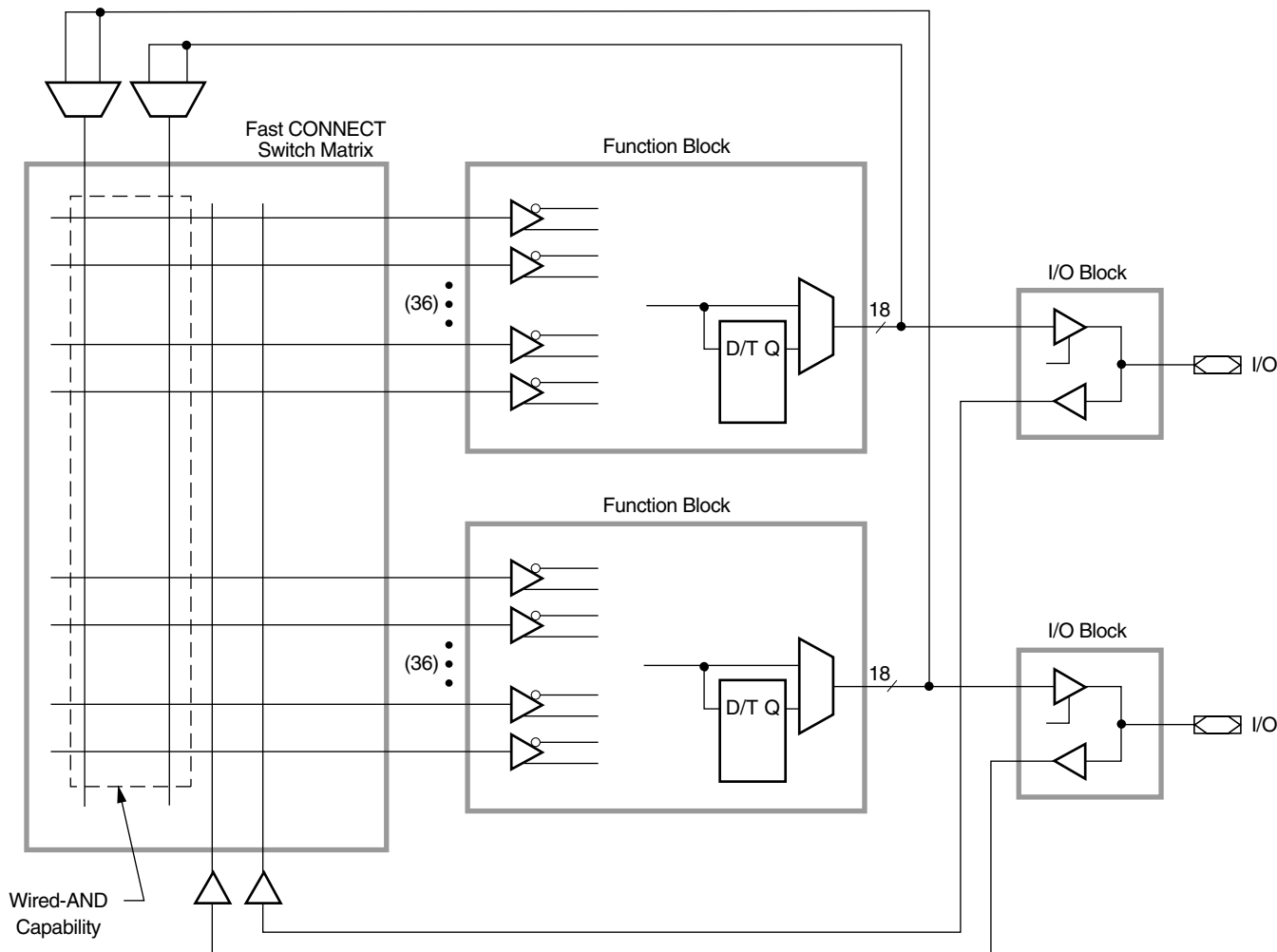
DS063_08_110501

図 8：積項アロケータのロジック

Fast CONNECT スイッチ マトリックス

図 9 で示すように、Fast CONNECT スイッチ マトリックスは FB 入力へ信号を接続します。(ユーザー ピン入力に対応する) すべての IOB とすべての FB 出力は Fast CONNECT マトリックスを駆動します。ユーザー プログラミングによってこれらの中のいくつかが選択され (最大は FB のファンイン リミットの 36)、一定遅延で各 FB を駆動します。

Fast CONNECT スイッチ マトリックスは、目的の FB を駆動する前に複数の内部接続を 1 つのワイヤード AND 出力へ結合することが可能です。これにより、追加のタイミング遅延を生じさせずにロジックを追加でき、目的の FB に対して効果的にロジックファンインを増加させることができます。この機能は、FB 出力を使用している内部接続に対してのみ使用でき、適切な開発ソフトウェアで自動的に実行されます。



DS063_09_110501

図 9 : Fast CONNECT スイッチ マトリックス

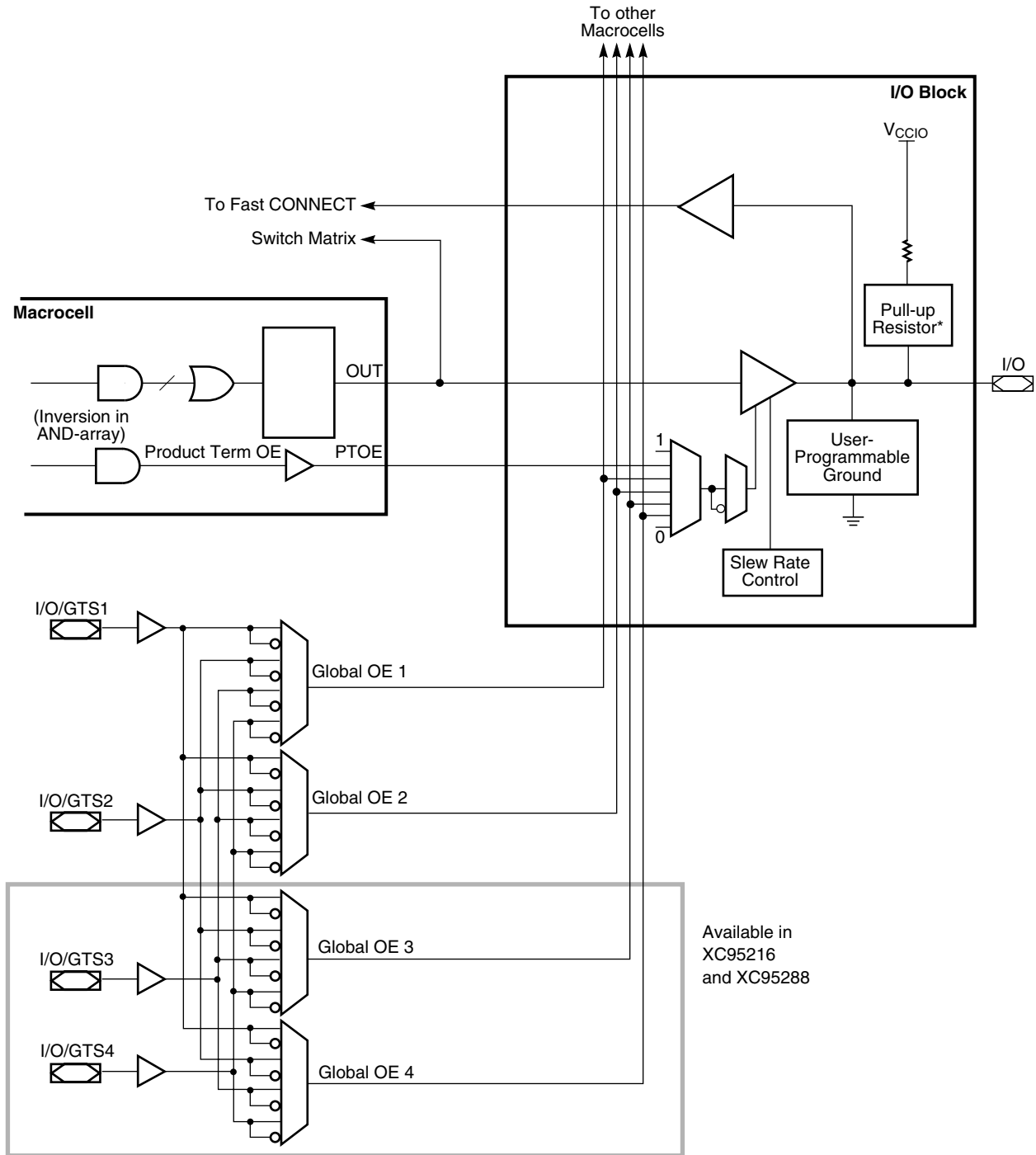
I/O ブロック

I/O ブロック (IOB) は、内部ロジックとデバイス ユーザー I/O ピンを相互接続するインターフェイスとなります。各 IOB には、入力バッファ、出力ドライバ、出力イネーブル セレクション マルチプレクサ、およびユーザー プログラマブル グランド制御があります。詳細は、図 10 を参照してください。

入力バッファは、標準的な 5V CMOS、5V TTL、および 3.3V 信号レベルに準拠しています。入力バッファは 5V の内部電源

(V_{CCINT}) を使用して入力しきい値を一定にし、 V_{CCIO} 電圧の影響を受けないようにします。

出力イネーブルは、4 つのオプション (マクロセルからの 1 つの積項信号、グローバル OE 信号、always [1]、または always [0]) から生成されます。グローバル出力イネーブルの数は、マクロセル数が 144 個以下のデバイスには 2 つあり、その他のデバイスには 4 つあります。グローバル トライステート制御 (GTS) ピンの両極性をデバイス内で使用できます。



DS063_10_092203

図 10 : I/O ブロックおよび出力イネーブルの機能

各出力では、個別にスルー レートを設定できます。ユーザー制御で出力エッジ レートを減速させると、システム ノイズが減少する場合があります (追加遅延 T_{SLEW} が生じる)。詳細は、図 11 を参照してください。

各 IOB には、ユーザー プログラマブル グランド ピン機能があります。これにより、デバイス I/O ピンを追加グランド ピンとしてコンフィギュレーションできます。プログラマブル グランド ピンを外部グランド 接続へ接続することによって、多数のスイッチング出力から生じるシステム ノイズを低減できる場合があります。

各デバイス I/O には制御プルアップ抵抗 (通常 $10K\Omega$) が付いているため、デバイスが通常のユーザー動作でないときにフローティング状態になることを回避します。この抵抗は、デバイスのプログラミング中およびシステムのパワー アップ中にアクティブになります。また、消去されたデバイスに対してもアクティブになります。通常の動作中は非アクティブです。

出力ドライバは、 $24mA$ 駆動を供給できます。デバイスのすべての出力ドライバは、デバイス出力電圧供給 (V_{CCIO}) を $5V$ または $3.3V$ に接続することによって、 $5V$ TTL レベルまたは $3.3V$ レベル用にコンフィギュレーションできます。図 12 に、 $5V$ 専用シ

テムおよび $3.3V/5V$ の混合システムで使用される XC9500 デバイスを示します。

ピン固定機能

デザイン変更時にユーザー定義のピン割り当てを固定する機能は、アーキテクチャが予期しない変更に応用できるかによって異なります。XC9500 デバイスには、ピン配置を固定しながらデザインの変更を可能にする機能を強化したアーキテクチャが組み込まれています。

XC9500 アーキテクチャは、Fast CONNECT スイッチ マトリックス内での最大配線を提供し、使用可能な積項のブロック ワイドな割り当てを可能とする柔軟なファンクション ブロックを組み込んでいます。これにより、入出力ピンの割り当てを維持しながら、予期しないデザイン変更に対応できます。

最初に選択したデバイスのロジック許容量以上を求めるデザインの変更には、同じピン配置を使用してピン互換の大規模デバイスへ新しいデザインをフィットできます。つまり、ボードを再設計することなく、高集積デバイスに同じボードを使用できます。

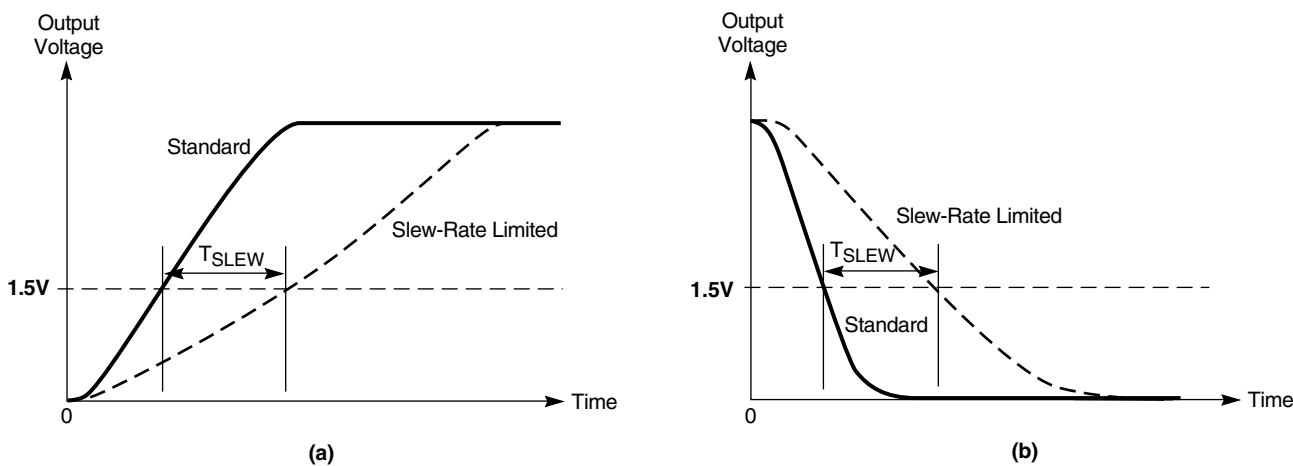


図 11 : 出カスルー レート コントロール (a) 立ち上がり出力 (b) 立ち下がり出力

DS063_11_110501

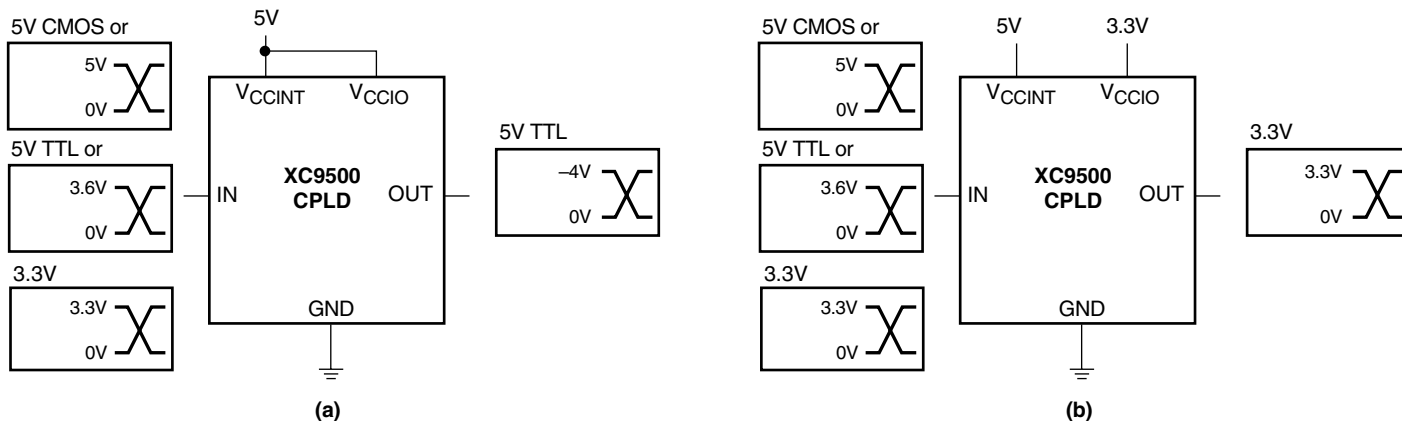


図 12 : XC9500 デバイス (a) $5V$ システム (b) 複数レベル混在システム $5V/3.3V$

DS063_12_110501

インシステム プログラミング

XC9500 デバイスは、標準の 4 ピン JTAG プロトコルを使用してインシステム プログラミングが可能です (図 13 を参照)。インシステム プログラミングでは、迅速かつ高効率で繰り返し設計でき、デバイス パッケージを処理する必要がなくなります。ザイリンクスの開発システムには、ザイリンクスのダウンロード ケーブル、サードパーティの JTAG 開発システム、JTAG と互換性のあるボード テスタ、または JTAG 命令シーケンスをエミュレートする単純なマイクロプロセッサ インターフェイスを使用するプログラミング データ シーケンスがあります。

すべての I/O はトライステートであり、インシステム プログラミング中は IOB の抵抗によって High にプルアップされます。この時、Low になる必要がある信号がある場合は、そのピンにプルダウン抵抗を追加してください。

外部プログラミング

XC9500 デバイスのプログラミングには、ザイリンクス HW-130 デバイス プログラマやサードパーティ プログラマを使用することも可能です。これにより、将来の機能拡大のためのインシステム プログラマブル オプションを使用して、製造中にプログラム済みデバイスを使用できるという新たな柔軟性が備わりました。

耐久性

すべての XC9500 CPLD デバイスの最少耐久性は、10,000 回のインシステム プログラム/消去サイクルです。この範囲内であれば、デバイスのファンクション、パフォーマンス、データ保持などすべての特性に問題はありませぬ。

IEEE 1149.1 バウンダリ スキャン (JTAG)

XC9500 デバイスは、IEEE 1149.1 バウンダリ スキャン (JTAG) を完全にサポートします。各デバイスでは、EXTEST、SAMPLE/PRELOAD、BYPASS、USERCODE、INTEST、IDCODE、および HIGHZ 命令がサポートされています。ISP 動作の場合は、5 つの追加命令 (ISPEN、FERASE、FPGM、FVIFY、および ISPEX) が追加されます。これらの命令は、1149.1 命令セットに完全準拠しています。

TMS および TCK ピンには、IEEE 1149.1 規格で指定された専用のプルアップ抵抗があります。

XC9500 用のバウンダリ スキャン記述言語 (BSDL) ファイルは開発システム内に含まれており、ザイリンクスの FTP サイトから入手できます。

デザイン セキュリティ

XC9500 デバイスには高度なデータ セキュリティ機能が組み込まれており、不正な読み出しおよび不注意による消去/上書きから完全に保護されています。表 3 に、4 つのセキュリティ設定を示します。

ユーザーが読み出し用セキュリティ ビットを設定することで、JTAG を介する内部プログラミング パターンの読み出しやコピーを防止できます。設定すると、それ以上のプログラムはできませんが消去は可能です。また、デバイス全体を消去しない限り、このセキュリティ ビットはリセットできません。

書き込み用のセキュリティ ビットは、パワー アップ時など JTAG ピンがノイズの影響を受ける際に、不注意による消去または上書きから保護します。設定後、デバイスが有効なパターンで再プログラミングする必要がある場合には、JTAG の特定シーケンスを使用して書き込み保護を非アクティブにできます。

表 3: データ セキュリティのオプション

		読み出し用のセキュリティ	
		デフォルト	セット
書き込み用のセキュリティ	デフォルト	読み出し可 プログラム/消去可	読み出し不可 プログラム不可 消去可
	セット	読み出し可 プログラム/消去不可	読み出し不可 プログラム/消去不可

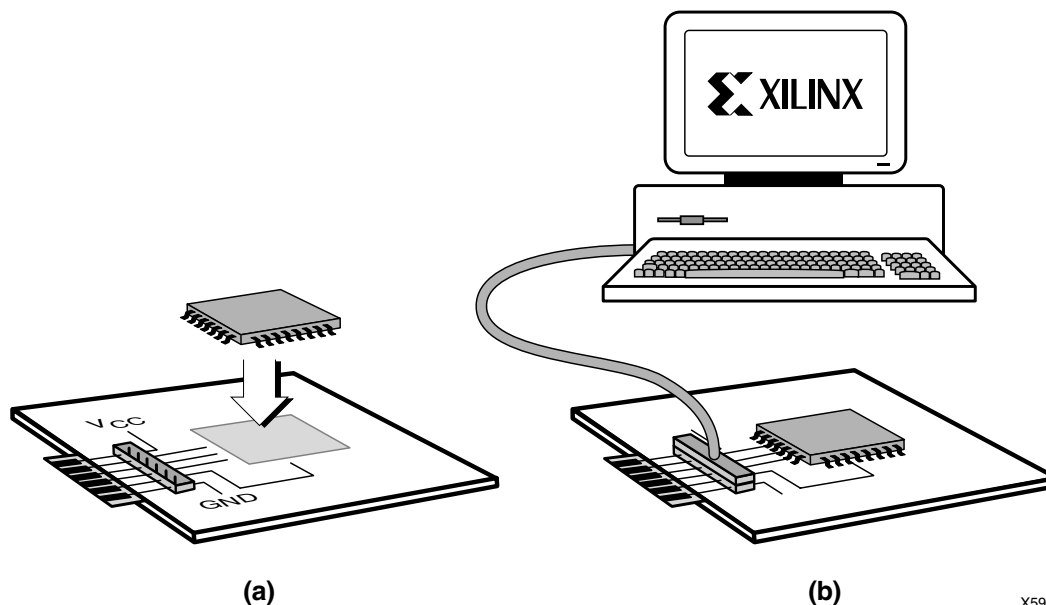


図 13: インシステム プログラミング動作 (a) デバイスを PCB にハンダ付けする (b) ダウンロード ケーブルを使用したプログラミング

低電力モード

すべての XC9500 デバイスには、個別マクロセルまたは全マクロセルに対する低電力モードがあります。このモードを使用すると、デバイスの消費電力を大幅に削減できます。

個別のマクロセルに対して低電力モードでプログラムすることも可能です。パフォーマンスが重要なアプリケーションのパーツには、標準の電力モードを使用し、そのほかのパーツには低電力モードを使用してプログラミングすると、全体的な消費電力を抑えることができます。低電力モードでプログラムしたマクロセルには、ピン間の組み合わせ遅延やレジスタセットアップタイムで追加遅延 (T_{LP}) が生じます。積項クロックから出力までの時間および積項出力イネーブル遅延は、マクロセルの電力モード設定の影響を受けません。

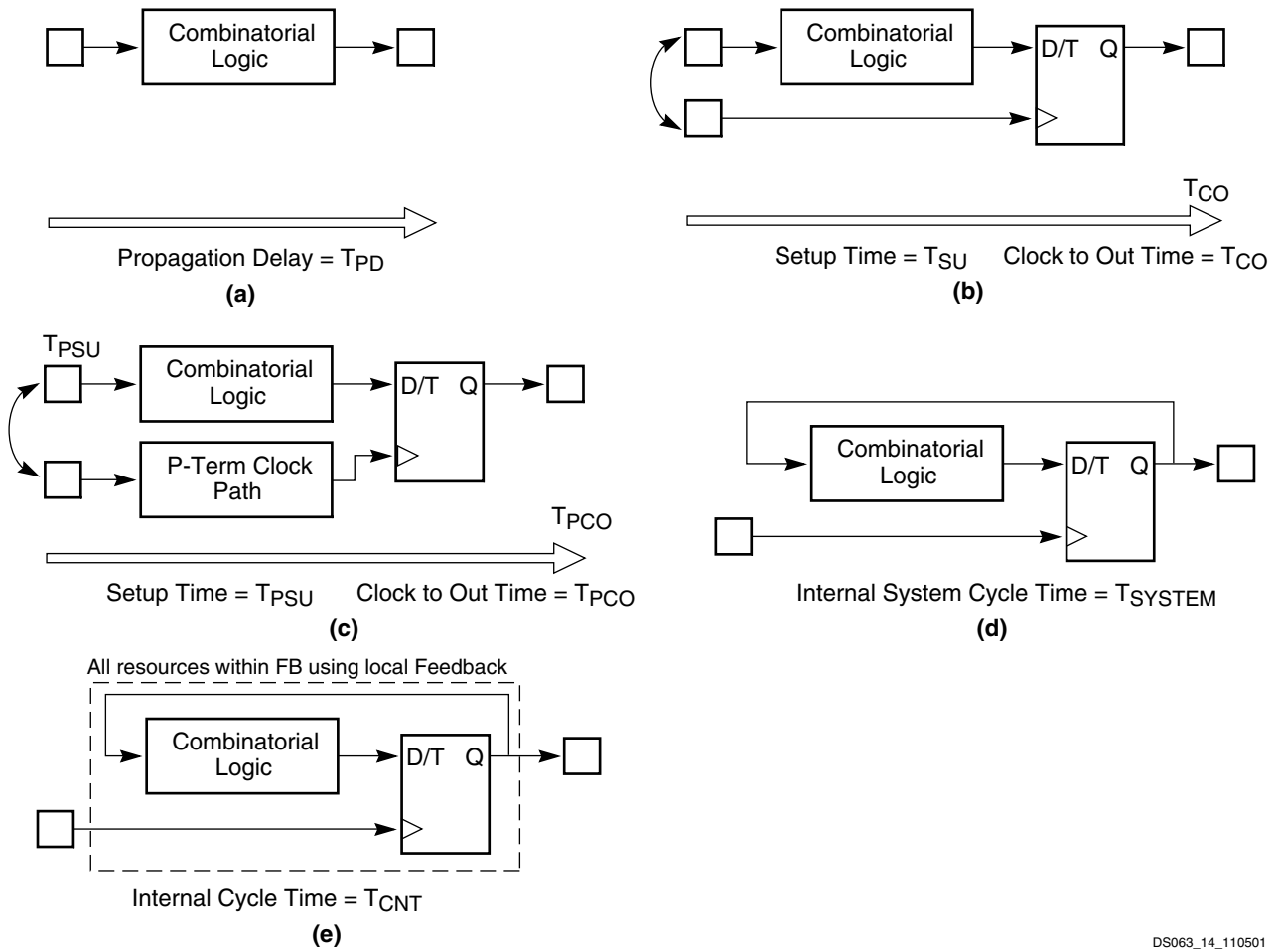
タイミング モデル

XC9500 アーキテクチャの一貫性により、全デバイスのタイミングモデルが単純化されました。図 14 に示す基本的なタイミング

モデルは、標準電力モードおよび標準スルー レートを使用し、直接積項のみを使用したマクロセル ファンクションで有効です。表 4 では、各主要タイミング パラメータが積項アロケータ (必要な場合)、低電力モード、およびスルー リミテッド設定によってどのように影響を受けるかを示します。

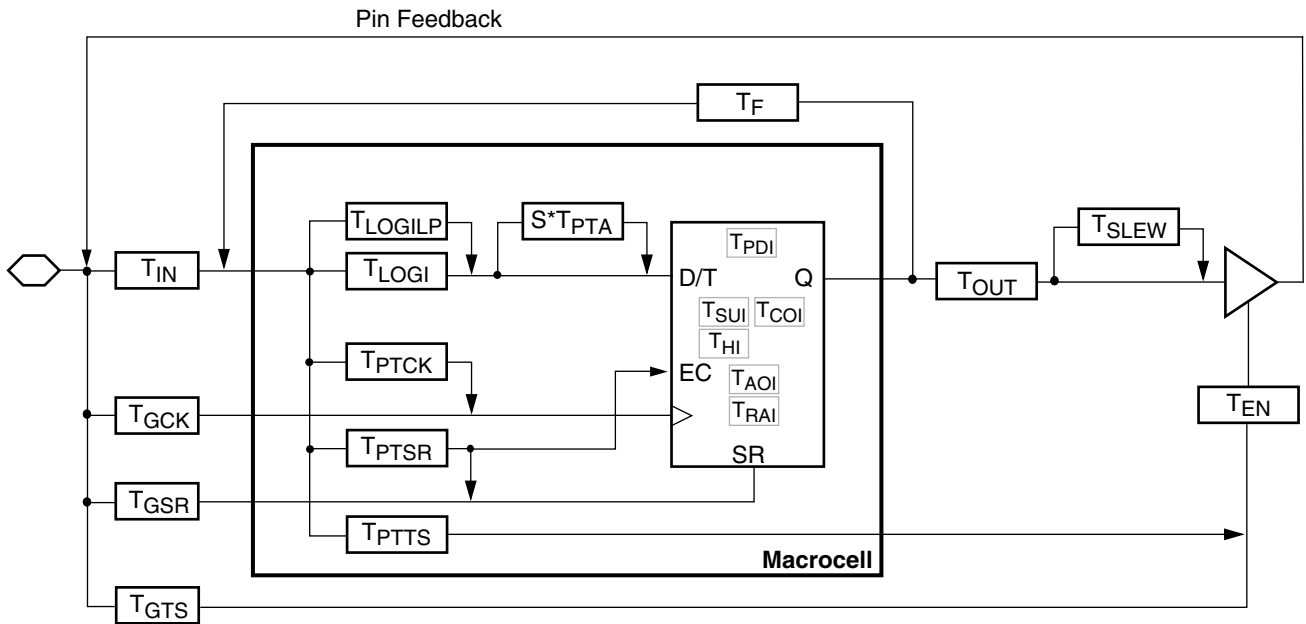
積項アロケーション時間は、マクロセル ファンクションのロジック スパンに依存し、積項パスにあるアロケータの最大数より 1 つ小さい値として定義されます。直接積項のみ使用される場合、ロジック スパンは 0 になります。図 6 の例では、1 個のロジック スパンで最大 15 個の積項を使用できます。図 7 の例は、2 個のロジック スパンで 18 個の積項ファンクションがあります。

タイミングの詳細情報は、図 15 に示す完全なタイミング モデルを参照してください。各パラメータの値および説明は、各デバイスのデータシートを参照してください。



DS063_14_110501

図 14 : 基本的なタイミング モデル



DS063_15_110501

図 15 : タイミング モデルの詳細

パワーアップのタイミング特性

XC9500 デバイスは、すべての動作条件において正常に機能します。パワーアップ中には、 V_{CCINT} が安全なレベル (約 3.8V) に達するまでデバイスを静止状態に保持する内部回路を使用します。この間、すべてのデバイスピンおよび JTAG ピンは無効になり、すべてのデバイス出力は IOB ブルアップ抵抗 (~10K Ω) によって無効となります (表 5 を参照)。供給電力が安全なレベルに達すると、すべてのユーザーレジスタは初期化され (通常、9536 および 95144 の場合は 100 μ s 以内、95216 の場合は 200 μ s 以内、および 95288 の場合は 300 μ s 以内)、デバイスが動作可能になります (図 16 を参照)。

デバイスが消去状態の場合 (すべてのユーザーパターンがプログラムされる前)、IOB のプルアップ抵抗によって、デバイス出力は無効のままになります。JTAG ピンは有効で、常にプログラムできる状態です。

デバイスがプログラムされると、入力および出力はコンフィギュレーションされた状態になり、通常動作が可能になります。JTAG ピンが有効の場合は、デバイスの消去またはバウンダリ スキャンテストが常に実行できます。

開発システム サポート

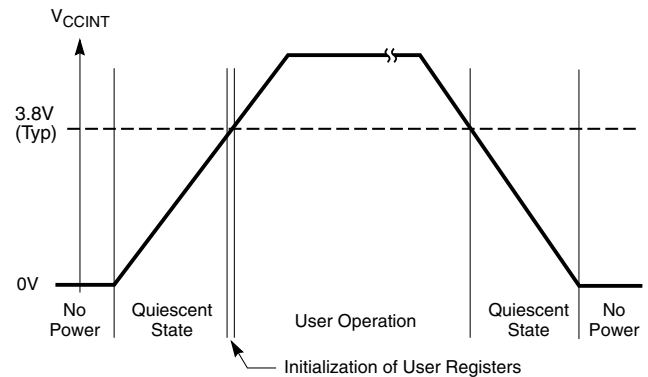
XC9500 CPLD ファミリは、ザイリンクスおよびザイリンクスのアライアンス プログラム ベンダが提供する開発システムで完全にサポートされています。

また、設計者は ABEL、回路図、等式、VHDL、またはさまざまなソフトウェア フロントエンド ツールの Verilog を使用してデザインできます。開発ツールを使用してデザインをインプリメン

トしたり、XC9500 デバイスをプログラムするための JEDEC ビットマップを生成できます。各開発システムには JTAG ダウンロード ソフトウェアが含まれているため、標準の JTAG インターフェイスおよびダウンロード ケーブルを使用してデバイスをプログラムできます。

FastFLASH テクノロジ

すべての XC9500 デバイスには、高度な CMOS Flash プロセスが採用されています。ザイリンクスのインシステム プログラマブル CPLD 用に特別に開発された FastFLASH プロセスは、高性能ロジック、高速プログラム、および 10,000 回のプログラム/消去サイクルという耐久性が保証されています。



DS063_16_110501

図 16: 電源投入時のデバイス ビヘイビア

表 4: タイミング モデル パラメータ

パラメータ	説明	積項 アロケータ ⁽¹⁾	マクロセル 低電力モード	出力スルー リミテッド 設定
T_{PD}	伝搬遅延	$+ T_{PTA} * S$	$+ T_{LP}$	$+ T_{SLEW}$
T_{SU}	グローバルクロックのセットアップ タイム	$+ T_{PTA} * S$	$+ T_{LP}$	-
T_{CO}	グローバルクロックの Clock-to-output タイム	-	-	$+ T_{SLEW}$
T_{PSU}	積項クロックのセットアップ タイム	$+ T_{PTA} * S$	$+ T_{LP}$	-
T_{PCO}	積項クロックの Clock-to-output タイム	-	-	$+ T_{SLEW}$
T_{SYSTEM}	内部システム サイクル周期	$+ T_{PTA} * S$	$+ T_{LP}$	-

メモ:

1. S = テキストで定義されているとおり、ファンクションのロジック スパン

表 5: XC9500 デバイスの特性

デバイス回路	静止状態	消去状態のデバイス動作	有効なユーザー動作
IOB ブルアップ抵抗	有効	有効	無効
デバイス出力	無効	無効	コンフィギュレーションどおり
デバイス入力およびクロック	無効	無効	コンフィギュレーションどおり
ファンクションブロック	無効	無効	コンフィギュレーションどおり
JTAG コントローラ	無効	有効	有効

保証免責条項

THESE PRODUCTS ARE SUBJECT TO THE TERMS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://japan.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF THE PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED ON THE THEN-CURRENT XILINX DATA SHEET FOR THE PRODUCTS. PRODUCTS ARE NOT DESIGNED TO BE FAIL-SAFE AND ARE NOT WARRANTED FOR USE IN APPLICATIONS THAT POSE A RISK OF PHYSICAL HARM OR LOSS OF LIFE. USE OF PRODUCTS IN SUCH APPLICATIONS IS FULLY AT THE RISK OF CUSTOMER SUBJECT TO APPLICABLE LAWS AND REGULATIONS.

その他の情報

[XC9500 データシートおよびアプリケーション ノート](#)

[パッケージ仕様](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
1998/12/14	3.0	AC 特性および内部タイミング パラメータを変更。
1999/02/10	4.0	図 3 を修正。
1999/09/15	5.0	XC95288 に -10 スピード グレードを追加。
2003/09/22	5.1	微修正。
2004/02/16	5.2	10 ページの GTS 入力の内容を修正。「その他の情報」にリンクを追加。
2005/04/15	5.3	PDF 属性のみを変更。文書の変更はない。
2006/04/03	5.4	「保証免責条項」を追加。鉛フリー パッケージについてのメモを追加。