

## 特長

- FZP (Fast Zero Power™) デザイン テクニクによる超低消費電力かつ高速なデザインの実現
  - 標準的なスタンバイ電流は 25 mA で 17 ~ 18µA
- 高速性と柔軟性を共に備えた革新的な CoolRunner™ XPLA3 アーキテクチャ
- 業界初の TotalCMOS™ CPLD に基づく CMOS デザイン およびプロセス テクノロジー
- 最先端の 0.35µm、5 層メタル EEPROM プロセス
  - 1,000 回の消去/プログラム サイクルを保証
  - 20 年間のデータ保持を保証
- JTAG IEEE 1149.1 インターフェイスを使用 3V の ISP (インシステム プログラミング)
  - 完全なバウンダリ スキャン テスト (IEEE 1149.1)
  - 高速プログラミング
- 複雑な非同期クロックをサポート
  - 各ファンクション ブロックに 16 個の P-term クロック および 4 個のローカル制御項クロック
  - 各デバイスに、4 つのグローバル クロック および 1 つのユニバーサル制御項クロック
- デザイン変更時の優れたピン固定機能
- コマーシャル グレード および電圧範囲の拡張した (2.7V ~ 3.6V) インダストリアル グレードで使用可能

- 5V トレラント I/O ピン
- 2.5ns の入力レジスタ セットアップ タイム
- シングル バスのロジックを 48 P-term まで拡張可能
- 5.0ns の高速ピン間遅延
- 各出力ピンでスルー レートを制御可能
- 100% 配線可能
- セキュリティ ビットによる不法アクセス防止
- ホット プラグ機能をサポート
- ザイリンクスまたは業界標準の CAE ツールを使用したデザイン入力/検証
- 革新的な制御項ストラクチャ
  - 非同期マクロセル クロッキング
  - 非同期マクロセル レジスタ プリセット/リセット
  - 各マクロセルでクロック イネーブル制御
- 各ファンクション ブロックには 4 つの出力イネーブル制御
- 合成の最適化のためフォールドバック NAND
- インサーキット テスタでのテストを促進するユニバーサル トライステート
- チップスケール BGA、ファインライン BGA、PLCC、および QFP パッケージで提供し、大半のパッケージ タイプは鉛フリーバージョンでも入手可能。詳細は、[ザイリンクス パッケージ仕様](#)を参照

表 1: CoolRunner XPLA3 デバイス ファミリ

	XCR3032XL	XCR3064XL	XCR3128XL	XCR3256XL	XCR3384XL	XCR3512XL
マクロセル	32	64	128	256	384	512
使用可能ゲート	750	1,500	3,000	6,000	9,000	12,000
レジスタ	32	64	128	256	384	512
T <sub>PD</sub> (ns)	4.5	5.5	5.5	7.0	7.0	7.0
T <sub>SU</sub> (ns)	3.0	3.5	3.5	4.3	4.3	3.8
T <sub>CO</sub> (ns)	3.5	4	4	4.5	4.5	5.0
F <sub>system</sub> (MHz)	213	192	175	154	135	135
I <sub>CCSB</sub> (µA)	17	17	17	18	18	18

表 2: CoolRunner XPLA3 パッケージおよびユーザー I/O ピン

	XCR3032XL	XCR3064XL	XCR3128XL	XCR3256XL	XCR3384XL	XCR3512XL
44-pin PLCC	36	36	-	-	-	-
44-pin VQFP	36	36	-	-	-	-
48-pin 0.8mm CSP	36	40	-	-	-	-
56-pin 0.5mm CSP	-	48	-	-	-	-
100-pin VQFP	-	68	84	-	-	-
144-pin 0.8mm CSP	-	-	108	-	-	-
144-pin TQFP	-	-	108	120	118 <sup>(1)</sup>	-
208-pin PQFP	-	-	-	164	172	180
256-pin Fineline BGA	-	-	-	164	212	212

表 2 : CoolRunner XPLA3 パッケージおよびユーザー I/O ピン (続き)

	XCR3032XL	XCR3064XL	XCR3128XL	XCR3256XL	XCR3384XL	XCR3512XL
280-pin 0.8mm CSP	-	-	-	164	-	-
324-pin FINELINE BGA	-	-	-	-	220	260

(1) XCR3384XL TQ144 の JTAG ピンは、TQ144 パッケージのその他の CoolRunner XPLA3 ファミリーと互換性がありません。

(2) 大半のパッケージは、鉛フリーバージョンでも入手可能です。詳細は、各データシートを参照してください。

## ファミリー概要

CPLD の CoolRunner™ XPLA3 (eXtended Programmable Logic Array) ファミリーは、携帯用あるいは電力の影響を受けやすい低消費電力システムをターゲットとしています。CoolRunner XPLA3 ファミリーの各メンバは、低消費電力と高速性を組み合わせる Fast Zero Power (FZP) デザイン テクニックを採用しています。このテクニックにより、CoolRunner XPLA3 ファミリーでは、「ターボビット」やその他の電力削減テクニックを用いることなく、56μW 未満のスタンバイ電流と 5.0ns のピン間速度を同時に実現しています。従来のようにセンス アンプ (二極化時代から PLD で採用されてきた技術) を使用するのではなく、CMOS ゲートをカスケード接続して P-term のインプリメントすることにより、ダイナミック電力もその他の CPLD より大幅に削減しています。CoolRunner デバイスは、CMOS プロセステクノロジー、そして特許を取得した完全な CMOS FZP デザインテクニックを共に使用する唯一の TotalCMOS PLD です。FZP デザインテクニックは、高速の不揮発性メモリセルと超低消費電力の SRAM シャドウメモリを組み合わせ、業界で最も消費電力の低い 3.3V CPLD ファミリーを実現します。

CoolRunner XPLA3 ファミリーは、ファンクションブロック内のロジック配置に完全な PLA ストラクチャを採用しています。PLA ストラクチャは、優れたピン固定機能によって、タイミングの確実性を維持しながら最高の柔軟性とロジック集積度を提供します。

CoolRunner XPLA3 CPLD は、ザイリンクス WebPACK™ および ABEL、VHDL、Verilog や回路図キャプチャ デザイン入力などの HDL エディタを使用する業界標準の CAE ツール (Cadence/OrCAD, Exemplar Logic, Mentor, Synopsys, Viewlogic, Synplicity) でサポートされています。デザイン検証には、ファンクションおよびタイミングシミュレーションを実行する業界標準のシミュレータを使用します。開発はパーソナルコンピュータ (PC)、Sun、および HP など複数のプラットフォームでサポートされています。

CoolRunner XPLA3 ファミリーの機能には、業界標準の IEEE 1149.1、JTAG インターフェイスのサポートが含まれます。このインターフェイスを使用して、デバイスのバウンダリ スキャンテスト、インシステムプログラミング (ISP)、リプログラミングが実行できます。CoolRunner XPLA3 CPLD は、業界で一般的に使用されるデバイス プログラマによって電氣的にリプログラミング可能です。

## CoolRunner XPLA3 アーキテクチャ

図 1 に、CoolRunner XPLA3 アーキテクチャをインプリメントした 128 マクロセル デバイスの高レベル ブロック図を示します。CoolRunner XPLA3 アーキテクチャは、ZIA (Zero-power Interconnect Array) で相互接続されたファンクション ブロックで構成されます。ZIA は仮想クロスポイントスイッチです。各ファンクションブロックには ZIA からの 40 個の入力があり、16 個のマクロセルを含みます。

この観点からは、CoolRunner XPLA3 のアーキテクチャは、その他多数の CPLD アーキテクチャと同様に見えます。その他のアーキテクチャと異なる独特の特徴は、各ファンクションブロック内のロジック配置および P-term のインプリメントに使用する設計テクニックです。

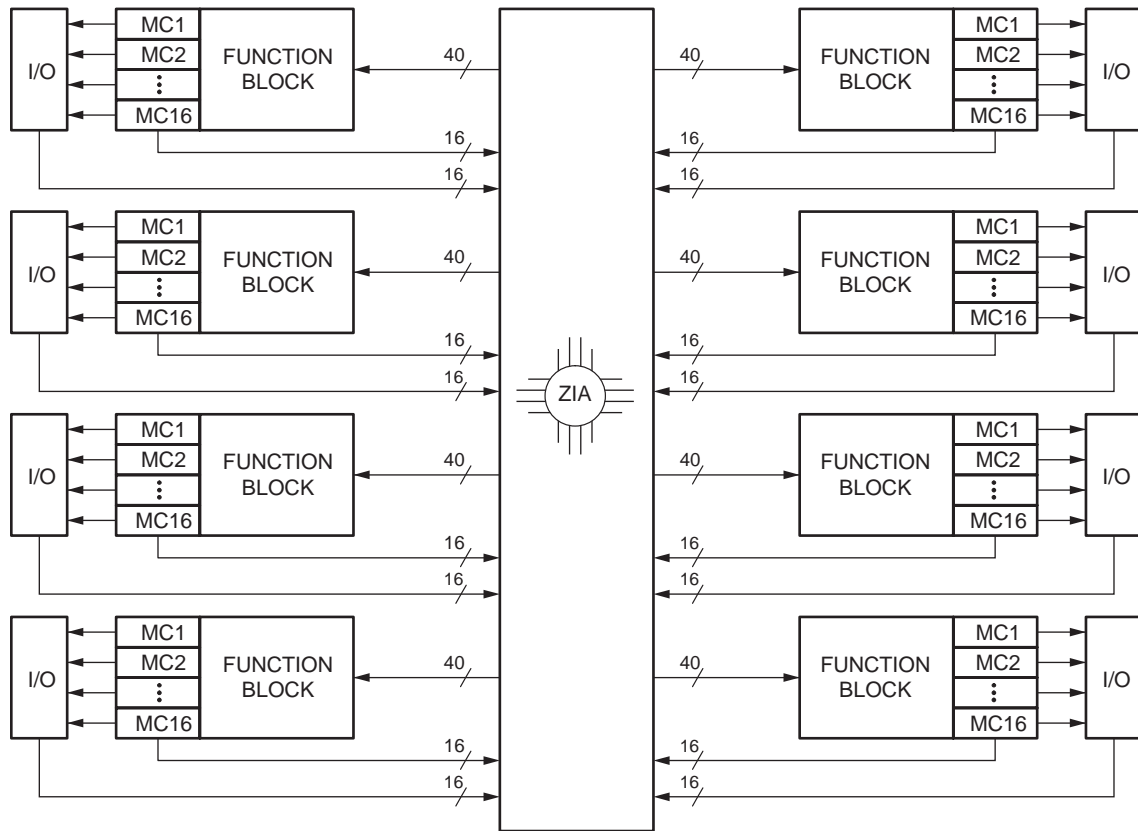
### ファンクション ブロック アーキテクチャ

図 3 に、ファンクションブロックのアーキテクチャを示します。各ファンクションブロックは、制御項、クロック項、ロジックセルを作成する PLA アレイを含みます。PLA には完全にプログラム可能な AND アレイとそれに続く OR アレイがあり、PLA ごとに異なります。PAL アレイには固定された OR アレイがあり、柔軟性は限られています。PAL および PLA アレイの例は、図 2 を参照してください。PLA アレイは ZIA から入力を直接受信します。ZIA からは 40 個の真数および補数ペア入力され、アレイで 48 個の P-term を出力します。48 個の P-term のうち、各マクロセルへの制御信号 (非同期クロック、リセット、プリセット、および出力イネーブル) として使用可能な 8 つのローカル制御項 (LCT[0:7]) があります。制御項が不要な場合、これらの P-term は、ほかの 40 個の P-term と共に追加ロジック リソースとして使用できます。

各ファンクションブロックでは、8 個のフォールドバック NAND P-term を使用し、多入力の論理方程式をサポートするようロジック集積度を向上します。この機能は、ソフトウェアで無効にできません。未使用の制御 P-term と同様に、未使用フォールドバック NAND P-term は追加のロジック リソースとして使用可能です。

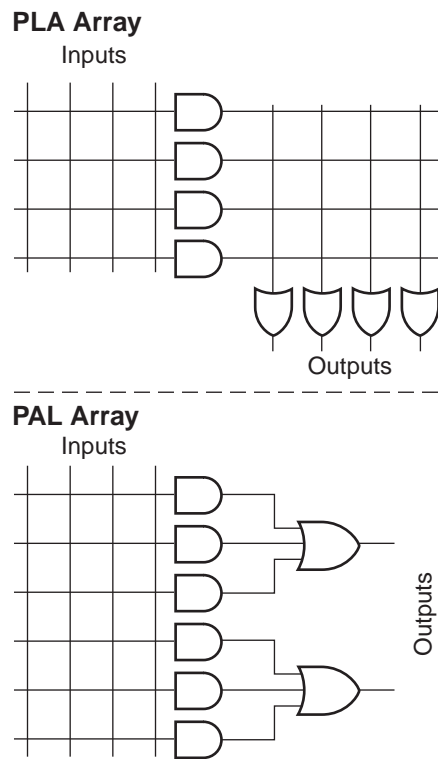
高速動作が非常に重要なロジックに対応するよう、各マクロセルでは 16 個の高速 P-term が使用可能です。マクロセルで 1 つの P-term ロジック以上の入力数が必要な場合、VFM (変数ファンクション マルチプレクサ) の前に 47 個の追加 P-term を合計できます。VFM は、マクロセルへの入力前にいくつかの 2 入力ロジック ファンクションをインプリメントすることによって、ロジックの使用効率を向上させます (図 4)。

各マクロセルは、組み合わせロジックまたはレジスタを介したロジックをサポートします。マクロセルのレジスタは、非同期のプリセットとリセット、および「パワーオン」初期ステートに対応します。また、D または T タイプ レジスタ用のハードウェア クロック イネーブルが備わり、マクロセル レジスタがラッチ ファンクションとして構成されると、レジスタ クロック入力がラッチ イネーブルとして使用されます。



DS012\_01\_112000

図 1 : ザイリンクス XPLA3 CPLD アーキテクチャ



DS012\_08\_020601

図 2 : PLA および PAL アレイ例

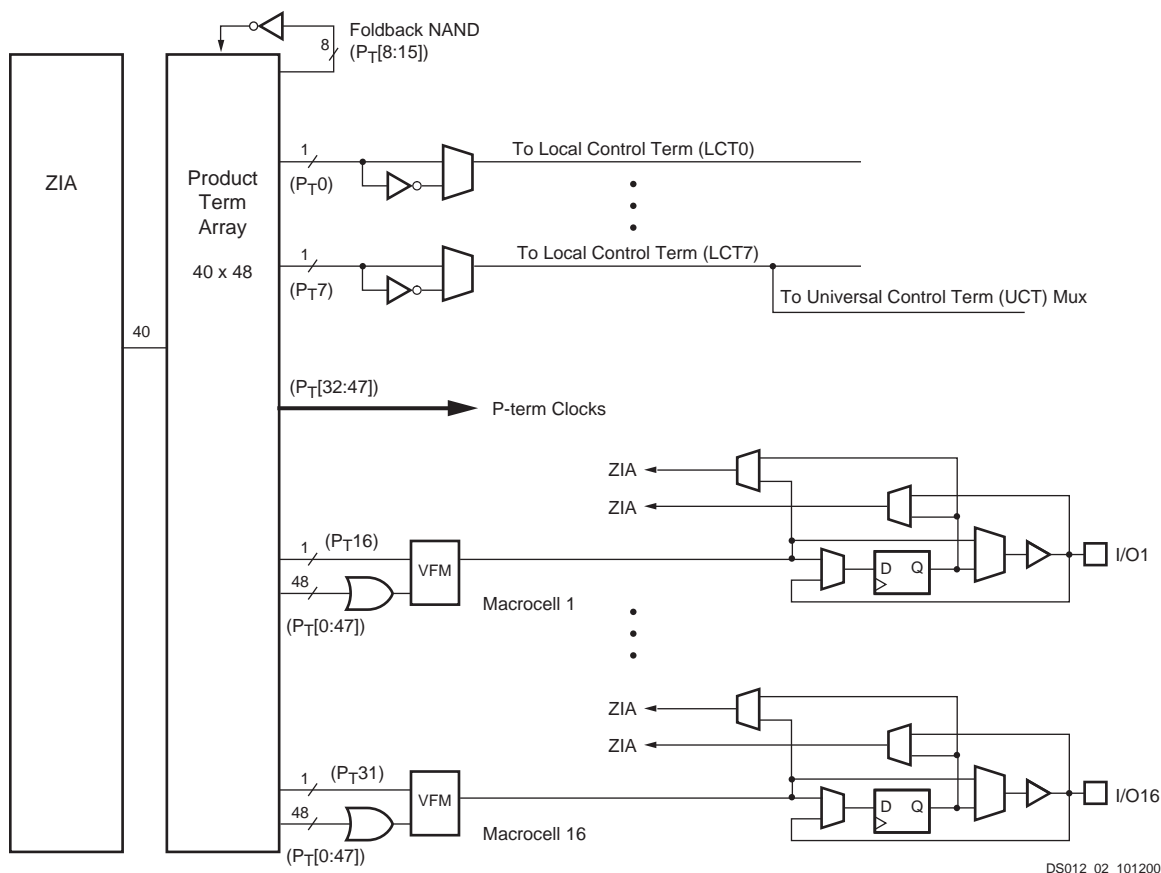


図 3: ザイリンクス CoolRunner XPLA3 ファンクション ブロック アーキテクチャ

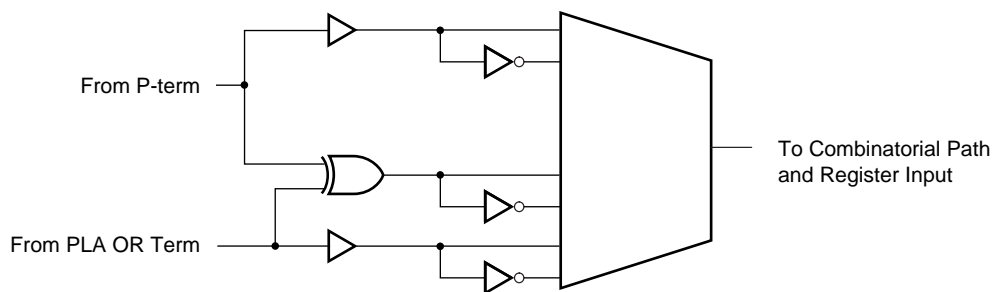


図 4: 変数ファンクション マルチプレクサ

### マクロセル アーキテクチャ

図 5 に、CoolRunner XPLA のマクロセルのアーキテクチャ図を示します。すべてのマクロセルは、電源投入時にリセットまたはプリセット可能です。各マクロセルは、D、T、またはラッチタイプのフリップフロップを構成でき、マクロセルを組み合わせるロジックファンクションとして使用する必要がある場合は、バイパスも可能です。

各フリップフロップは、8つのクロックソースのいずれか、あるいはそれらの反転バージョンからクロック入力可能です。4つの外部クロックピンで選択される2つのグローバル同期クロック

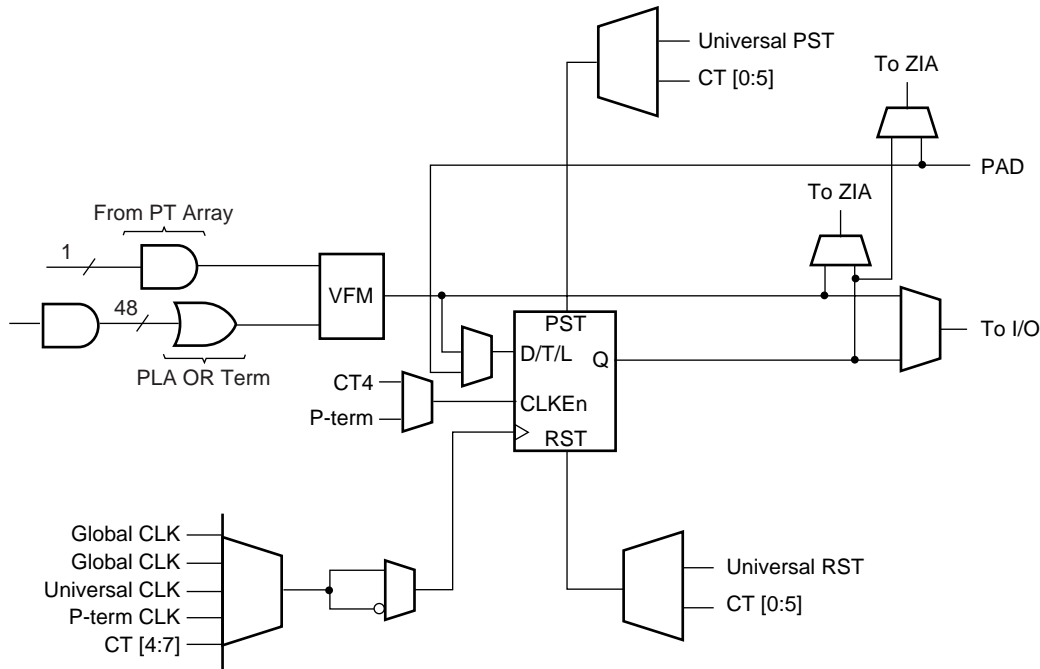
があります。また、ユニバーサルクロック信号が1つあります。クロック入力信号 CT[4:7] (ローカル制御項) は、それぞれ、ファンクションブロック内で使用可能な40個の信号から作成されるP-term方程式または和項方程式として構成できます。

マルチプレクサを通して ZIA には入るパスは2つあります。一方のマルチプレクサは、VFM 出力がレジスタ出力かを選択し、もう一方は、レジスタ出力がマクロセルの I/O パッド出力かを選択します。I/O ピンを出力として使用すると、出力バッファが有効になり、マクロセルのフィードバックパスを使用して ZIA に入力されます。また、I/O ピンが入力として使用される場合は、出力バッファはトライステートであり、入力信号は I/O フィード

バックパスを通過して ZIA に入力されます。ピンに出していないマクロセルにインプリメントされたロジックは、マクロセルフィードバックパスを通過して内部フィードバック可能です。

マクロセルピンがレジスタ付きの入力としてコンフィギュレーションされた場合、レジスタへの直接パスがあり、入力のセット

アップタイムが短くなります。また、マクロセルがラッチとしてコンフィギュレーションされると、レジスタクロック入力が High のときはラッチがトランスペアレントなラッチイネーブルとして機能します。このようなコンフィギュレーションでは、ワイヤ固定されたクロックイネーブルは機能しません。



Note: Global CLK signals come from pins.

ds012\_05\_122299

図 5: XPLA3 マクロセル アーキテクチャ

### I/O セル

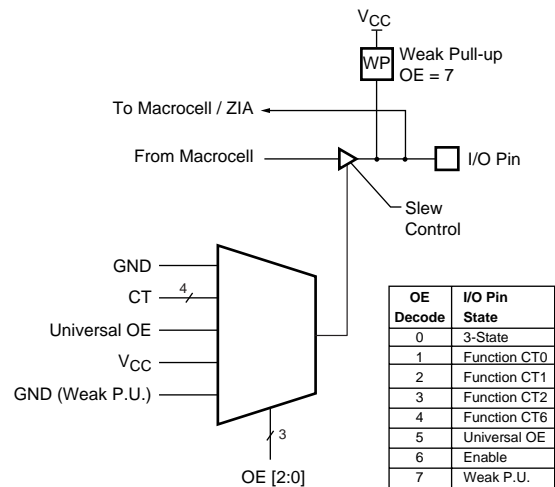
OE (出力イネーブル) マルチプレクサには、8 つの動作モードがあります (図 6)。I/O セルが入力 (またはトライステート) としてコンフィギュレーションされた場合、ハーフラッチ機能があります。入力がフロートしたり、しきい値をまたぐ場合、このハーフラッチは弱いプルアップ抵抗を使用して入力を High にプルアップします。これによって、入力が線形領域にあるのを回避して消費電力の増加を抑えます。I/O セルが入力としてコンフィギュレーションされた場合には、ソフトウェアで、同様の弱いプルアップ抵抗が常にオンとなるように設定できます。この弱いプルアップは、デザインでピンが未使用のとき、常に自動的にオンになります。

I/O セルは、デバイスへ電源が投入されると 5V トレラントです。各出力に独立したスルーレート制御 (Fast または Slow) があり、EMI ノイズを削減します。

3.3V PCI の電氣的仕様の互換性は、各デバイスのデータシートを参照してください。

入力に使用される I/O ピンがないロジックとして使用される I/O マクロセルは、未使用と見なされ、弱いプルアップ抵抗がオンになります。CPLD の CoolRunner XPLA3 ファミリーでは、未使用 I/O ピンは未接続のままにすることを推奨します。専用入力ピン

(CLKx/INx) には、オンチップの弱いプルアップ抵抗がないため、これらのピンが未使用の場合は外部終端が必要です。すべての CMOS デバイスと同様に、入力はフロートできません。



ds012\_06\_121699

図 6: I/O セル

## パワーアップ特性

CoolRunner XPLA3 CPLD I/O ピンは、あらゆる動作条件下で仕様に沿って動作します。電源投入中、CoolRunner XPLA3 デバイスでは、内部回路を使用して  $V_{CCINT}$  電源電圧が安全なレベル (約 2.1V) になるまで、デバイスを静止状態に維持します。この間、すべての I/O ピンと JTAG ピンは弱いプルアップ抵抗で High となって無効になり、専用入力/クロック ピンはハイインピーダンスとなります (表 3 参照)。電源電圧が安全なレベルに達すると、すべてのユーザーレジスタが初期化され、デバイスは直ちに動作可能となります (図 7 参照)。

デバイスが消去済みの状態 (ユーザーパターンのプログラム前) のとき、デバイスの出力は弱いプルアップで無効となっています。JTAG ピンは有効であり、随時、デバイスのプログラムが可能です。製造工場からの出荷時、すべてのデバイスは消去状態です。

デバイスがプログラムされると、入力および出力は、通常動作用の状態になります。

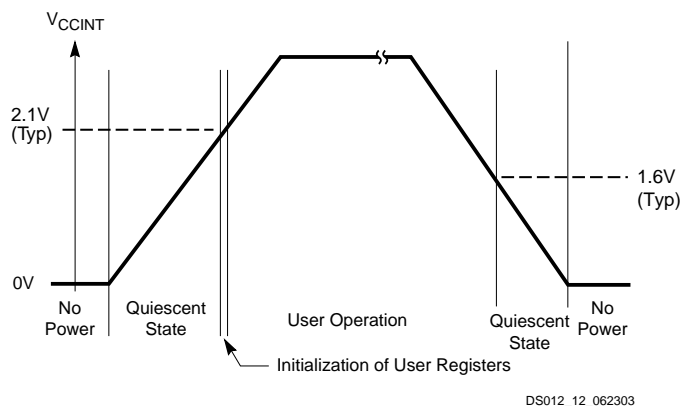


図 7：電源投入中のデバイス動作

表 3：I/O パワーアップ特性

デバイス回路	静止状態	消去済みデバイス動作	有効なユーザー動作
デバイス I/O	弱いプルアップで無効	弱いプルアップで無効	コンフィギュレーションに従う
デバイス入力/クロック	High-Z	High-Z	High-Z
JTAG コントローラ	弱いプルアップで無効	イネーブル	コンフィギュレーションに従う

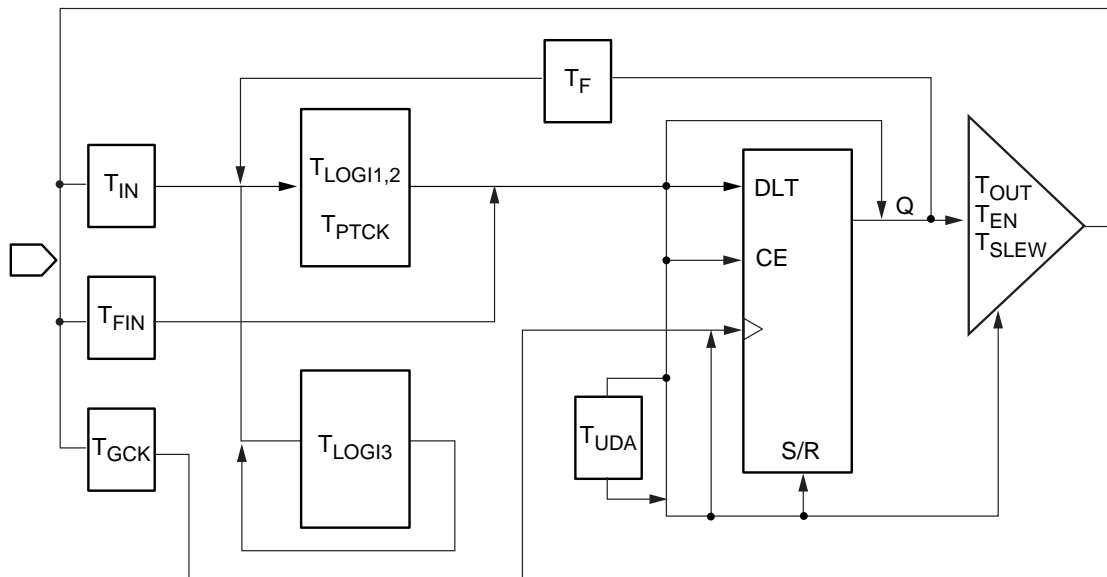
## タイミングモデル

CoolRunner XPLA3 アーキテクチャは、設計時および再設計時においてもタイミングの確定しているタイミングモデルに従います。図 8 に、基本的なタイミングモデルを示します。マクロセルへの高速パス ( $T_{LOGI1}$ ) があり、P-term が 1 つの場合に使用されます。 $T_{LOGI2}$  パスは、複数の P-term タイミングに使用されます。ロジックの最適化のため、CoolRunner XPLA3 CPLD アーキテク

チャには、フォールドバック NAND パス ( $T_{LOGI3}$ ) が含まれます。各マクロセルを入力レジスタ ( $T_{FIN}$ ) として使用する場合、高速入力パスがあります。また、CoolRunner XPLA3 アーキテクチャにはユニバーサル制御項 ( $T_{UDA}$ ) があり、異なるファンクションブロック内にあるマクロセルレジスタの同期化に使用できます。さ



らに、各マクロセルバイアスにはスルー レート制御および出力イネーブル制御があります。



DS017\_02\_031802

図 8 : XPLA3 タイミング モデル

## JTAG テスト機能

JTAG は、通常、集積回路用に IEEE 規格 1149.1 で定義されたバウンダリ スキャン テスト (BST) の方式を示す語として使用されます。この規格は、特別なテスト装置を使用することなく、ボードおよびデバイス レベルのテストを可能にする入力/出力ピン、ロジック制御ファンクション、およびコマンドを定義します。CoolRunner XPLA3 デバイスは、インシステム プログラミング/リプログラミングに対応する JTAG インターフェイスを使用します。JTAG コマンド セットは、表 4 に示すようにインプリメントされます。

CoolRunner XPLA3 CPLD にインプリメントされているように、JTAG ポートにはその仕様に記載された 5 つのピンのうちの 4 つ (TCK、TMS、TDI、および TDO) が含まれます (表 5 参照)。5 つ目の信号は TRST (テスト リセット) であり、実際には BST または ISP の実行には不要であるため、オプション信号となります。CoolRunner XPLA3 CPLD では、オプションの TRST 信号を JTAG インターフェイスにインプリメントせず、I/O ピンを汎用としてセーブします。代わりに、CoolRunner XPLA3 CPLD では、パワーアップ リセット回路を使用したリセット機能をサポートします。

## ポート イネーブル ピン

デバイス プログラム中、ユーザーが TMS、TDO、TDI、および TCK ピンを汎用 I/O として定義した場合、ポート イネーブルピンを使用し、これらのピンを JTAG ISP プログラム用に再クレームします。使いやすさを考慮し、出荷時の CoolRunner XPLA3 デバイスは JTAG ポート ピンがイネーブルとなっています。デバイスを適切に動作させるには、ポート イネーブルピンは、電源投入シーケンス中 Low ロジック レベルにする必要があります。

デバイスのプログラム中は、JTAG ISP ピンはそのまま維持することもユーザー I/O ピンとしてリコンフィギュレーションすることも可能です。JTAG ISP ピンを I/O ピンに使用している場合は、ポート イネーブルピンを High ロジック レベルにすると、JTAG ISP ピンがそれぞれプログラム ピンとして使用可能に戻り、デバイスは ISP を介してリコンフィギュレーションできます。JTAG ISP プログラム機能の完了後は、ポート イネーブルをグラウンドに戻します。各 JTAG ISP ピンは、これによって、I/O ピンとして機能するよう再設定されます。JTAG ポートを I/O としてリコンフィギュレーションすると、これらのピンは、ポート イネーブルによってリクレームされるまで JTAG ISP としては機能しなくなります。

JTAG ピンを I/O として使用しないときは、ポート イネーブルは常時 GND に接続する必要があります。JTAG ポートに関連するピンには、弱い内部プルアップがあり、ピンを終端できます。ただし、ノイズが発生するデザインでは、外部に 10K のプルアップを使用することを推奨します。

CoolRunner XPLA3 ファミリーでは、JTAG/ISP ファンクションが有効の場合、これらのピンに関連したマクロセルをピンに接続されていないロジックとして使用できます。

表 4: XPLA3 での Low レベル JTAG バウンダリ スキャン コマンドト

命令 (命令コード) 使用レジスタ	説明
Sample/Preload (00010) バウンダリ スキャン レジスタ	Sample/Preload 命令を使用すると、コンポーネントの通常操作のスナップショットを検査できる。 また、ほかのバウンダリ スキャン テスト命令の選択前に、データ値をバウンダリ スキャン シフト レジスタのラッチ付きパラレル出力にロード可能
Extest (00000) バウンダリ スキャン レジスタ	Extest 命令を使用すると、オフチップ回路およびボード レベルのインターコネクタをテストできる。 通常、Extest 命令の選択前に、Sample/Preload 命令を使用し、データをバウンダリ スキャン シフト レジスタのラッチ付きパラレル出力へロード可能
Bypass (11111) バイパス レジスタ	TDI ピンと TDO ピン間に 1 ビットのバイパス レジスタを配置し、通常のデバイス動作中、選択したデバイスからその隣接デバイスへ送信される BST データを同期化できる。Bypass 命令は、TDI を High の一定値に維持して命令スキャン サイクルを完了することによって、入力可能
Idcode (00001) バウンダリ スキャン レジスタ	Idcode レジスタを選択して TDI および TDO 間に配置すると、Idcode が TDO からシリアルでシフト出力される。Idcode 命令を使用すると、プリント回路基板に組み込まれたコンポーネントを無作為に調べるため、多様なコンポーネント タイプがある場合、製品に存在するコンポーネントが判別可能
High-Z (00101) バイパス レジスタ	High-Z 命令は、すべてのシステム ロジック出力が非アクティブなデバイス ステート (ハイ インピーダンス) になるよう、コンポーネントを配置する。このステートでは、インサーキット システム テストがコンポーネント破損のリスクなしで、通常はコンポーネント出力で駆動される信号を駆動可能である。また、High-Z 命令は TDI および TDO 間にバイパス レジスタを配置する
Intest (00011) バウンダリ スキャン レジスタ	Intest 命令は、デバイスのロジック コアのテストを実施する準備として、バウンダリ スキャンレジスタを選択する。これにより、コンポーネントが既にボード上に組み込まれている場合に、オンチップでのシステム ロジックのテストが可能

表 5: JTAG ピンについて

ピン	ピン名	説明
TCK	テスト クロック入力	TDI および TDO ピンでそれぞれ入力または出力されているシリアル データおよび命令をシフトさせるクロック ピン
TMS	テスト モード選択	JTAG 命令モード選択用のシリアル入力ピンで、ユーザー モードで動作中は High にする必要がある。
TDI	テスト データ入力	命令およびテスト データのシリアル入力ピンで、データは TCK の立ち上がりエッジで入力される
TDO	テスト データ出力	命令およびテスト データのシリアル出力ピンで、データは TCK の立ち下がりエッジで出力される。デバイスからの出力データがない場合、信号はトライステートとなる



### 3V、インシステムプログラミング (ISP)

CoolRunner XPLA3 CPLD は、JTAG インターフェイスを介して、EEPROM セルのインシステムプログラミング/リプログラミングを 3V で実行できます。オンチップのチャージポンプにより、外部に電源電圧が不要であるため、デバイスの通常動作に必

要な 3V 電源のみを使用し、回路基板上でプログラミングできます。表 6 に、CoolRunner XPLA3 CPLD にインプリメントされた ISP コマンドを示します。

表 6 : Low レベル ISP コマンド

命令 (使用レジスタ)	(命令コード)	説明
Enable (ISP シフト レジスタ)	01001	Erase、Program、および Verify コマンドを有効にする。Erase、Program、および Verify 命令の前に Enable 命令を使用することにより、JTAG バウンダリ スキャン Sample/Preload コマンドを使用するデバイスの出力が指定可能
Erase (ISP シフト レジスタ)	01010	EEPROM アレイ全体を消去。この処理中の出力を JTAG Sample/Preload コマンドで定義可能
Program (ISP シフト レジスタ)	01011	ISP シフト レジスタにあるデータをアドレス指定された EEPROM 列にプログラム。出力は JTAG Sample/Preload コマンドで定義可能
Disable (ISP シフト レジスタ)	10000	命令を無効にし、ISP モードを維持。ISP レジスタが TDO および TDI 間に直接接続されるように選択。
Verify (ISP シフト レジスタ)	01100	データをアドレス指定された列から ISP シフト レジスタに送信。そのデータが出力され、JEDEC ファイルに記載された値と比較される。この処理中の出力は、ユーザー定義可能

### JTAG および ISP インターフェイス

CPLD およびその他の集積回路での JTAG/ISP インターフェイスには、業界で確立された多数の方法があります。CoolRunner XPLA3 ファミリーは、次の方法をサポートします。

- ザイリンクス HW130
- PC パラレル ポート

- ワークステーションまたは PC のシリアル ポート
- エンベデッド プロセッサ
- ATE (自動テスト装置)
- サードパーティのプログラマ
- ザイリンクス ISP プログラミング ツール

表 7: プログラミング仕様

シンボル	パラメータ	最小	最大	単位
<b>DC パラメータ</b>				
V <sub>CCP</sub>	プログラム/検証時の V <sub>CC</sub> 電源	3.0	3.6	V
I <sub>CCP</sub>	プログラム/検証時の I <sub>CC</sub> の制限 <sup>(1)</sup>	-	30	mA
V <sub>IH</sub>	入力電圧 (High)	2.0	-	V
V <sub>IL</sub>	入力電圧 (Low)	-	0.8	V
V <sub>OL</sub>	出力電圧 (Low)	-	0.4	V
V <sub>OH</sub>	出力電圧 (High)	2.4	-	V
<b>AC パラメータ</b>				
F <sub>MAX</sub>	TCK 最大周波数	-	10	MHz
P <sub>WE</sub>	消去時のパルス幅	100	-	ms
P <sub>WP</sub>	プログラム時のパルス幅	10	-	ms
P <sub>WV</sub>	検証時のパルス幅	10	-	μs
T <sub>INIT</sub>	初期化時間 <sup>(1)</sup>	-	200	μs
T <sub>MS_SU</sub>	TCK の立ち上がりエッジ前の TMS セットアップ タイム	10	-	ns
T <sub>DI_SU</sub>	TCK の立ち上がりエッジ前の TDI セットアップ タイム	10	-	ns
T <sub>MS_H</sub>	TCK の立ち上がりエッジ後の TMS ホールド タイム	20	-	ns
T <sub>DI_H</sub>	TCK の立ち上がりエッジ後の TDI ホールド タイム	20	-	ns
T <sub>DO_CO</sub>	TCK の立ち下がりエッジ後に TDO が有効な時間	-	30	ns

メモ:

1. デバイス ファミリの仕様です。特定デバイスの仕様は、各デバイスのデータシートを参照してください。

## 絶対最大定格<sup>(1)</sup>

シンボル	パラメータ	最小	最大	単位
V <sub>CC</sub>	GND に対する電源電圧 <sup>(2)</sup>	-0.5	4.0	V
V <sub>I</sub>	GND に対する入力電圧 <sup>(3)</sup>	-0.5	5.5 <sup>(4)</sup>	V
I <sub>OUT</sub>	各ピンの出力電流	-100	100	mA
T <sub>J</sub>	最大ジャンクション温度	-40	150	°C
T <sub>STR</sub>	ストレージ温度	-65	150	°C

メモ:

1. 記載値を超えるストレスを使用すると、デバイスの誤動作または致命的な破損が発生する場合があります。ここに定める値はストレスの度合いのみを示すものであり、これらの定格値または動作およびプログラミング仕様に記載の値を超えるその他の条件でのデバイス機能動作を示すものではありません。
2. チップの電源電圧は単調増加させてください。
3. GND を下回る DC の最大アンダーシュートは、0.5V または 10mA のどちらか使用しやすい値に制限する必要があります。遷移中、デバイスピンの電圧はアンダーシュートで -2.0V、オーバーシュートで 7.0V までになりますが、10ns 以下で電流は 200mA に制限されます。
4. 外部 I/O 電圧と V<sub>CC</sub> の許容差は 4.0V までです。

## 推奨動作条件

シンボル	パラメータ	テスト条件	最小	最大	単位
V <sub>CC</sub>	電源電圧	コマーシャル T <sub>A</sub> = 0 ~ 70	3.0	3.6	V
		インダストリアル T <sub>A</sub> = -40 ~ +85	2.7	3.6	V
V <sub>IL</sub>	Low レベル入力電圧		0	0.8	V
V <sub>IH</sub>	High レベル入力電圧		2.0	5.5	V
V <sub>O</sub>	出力電圧		0	V <sub>CC</sub>	V
T <sub>R</sub>	入力立ち上がり時間		-	20	ns
T <sub>F</sub>	入力立ち下がり時間		-	20	ns

## 品質および信頼性

シンボル	パラメータ	最低	最大	単位
T <sub>DR</sub>	データ保持	20	-	年数
N <sub>PE</sub>	プログラム/消去サイクル (耐久性) MOSIV デバイス	1,000	-	サイクル数
N <sub>PE</sub>	プログラム/消去サイクル (耐久性) UMC デバイス	10,000	-	サイクル数
V <sub>ESD</sub>	静電気放電 (ESD)	2,000	-	V

## 保証免責条項

これらの製品は、<http://www.xilinx.co.jp/warranty.htm> に記載する XILINX (以下「ザイリンクス」とする) 限定保証に従うものとしません。当限定保証では、該当時点での該当製品ザイリンクスデータシートに記載されている以外のアプリケーションまたは環境での使用については保証いたしません。更に製品はフェイルセーフ設計されたものではなく、身体的危害または人命損失などの危険性のあるアプリケーションでの使用に対して、ザイリンクスは一切の保証責任を負いません。かかるアプリケーションでの使用は、適応される法律および規制に従い、使用する側が一切の責任を負うものとします。

## 参考資料

[CoolRunner XPLA3デバイス関連資料](#)

[「デバイスパッケージユーザーガイド」](#)

[デバイスパッケージ資料](#)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	
2000/02/20	1.0	初版リリース
2000/03/06	1.1	マイナー更新
2000/11/30	1.2	マクロセルの番号、I/O ピン、および入手可能なパッケージ情報を更新
2001/02/09	1.3	仕様更新
2001/04/11	1.4	機能セクションに記載のグローバルトライステートユニバーサルトライステートに変更。XCR3512XL デバイスを追加。T <sub>SU</sub> 値を変更し、324-pin Fineline BGA パッケージを追加。プログラミング仕様の T <sub>INIT</sub> の最小値 50 を最大値 50 に変更。品質および信頼性仕様に UMC デバイスの N <sub>PE</sub> 、10,000 サイクルを追加
2002/01/07	1.5	表 7: メモ 1 を追加、T <sub>INIT</sub> を 50 から 200 (最大) に変更、および I <sub>CCP</sub> を 20 から 30 (最大) に変更。表 1 の使用可能ゲート数を更新。表 2 のパッケージタイプを更新。I/O セルセクションを更新。XC9500XL および UMC 標準仕様に一致するよう、「絶対最大定格(1)」に記載の GND に対する最大電圧を 4.0V に変更
2003/01/06	1.6	タイミングモデルに T <sub>PTCK</sub> パラメータを追加。すべてのデバイスの F <sub>SYSTEM</sub> を変更 (表 1)。Advance から Preliminary 仕様に変更。表 2 のメモ 1 に XCR3384XL TQ144 JTAG ピンに関する記載を追加
2003/06/23	1.7	「パワーアップ特性」を追加
2004/02/13	1.8	最大はんだ付け温度 (T <sub>SOL</sub> ) 仕様を追加。リンク追加
2004/09/29	1.9	2 ページの第 1 段落にシャドウメモリの記載を追加
2005/01/10	2.0	ファンクションブロックの入力リファレンスを 40 に変更
2005/04/08	2.1	I <sub>CCSB</sub> の標準値を追加
2006/03/31	2.2	保証免責条項を追加