

特長

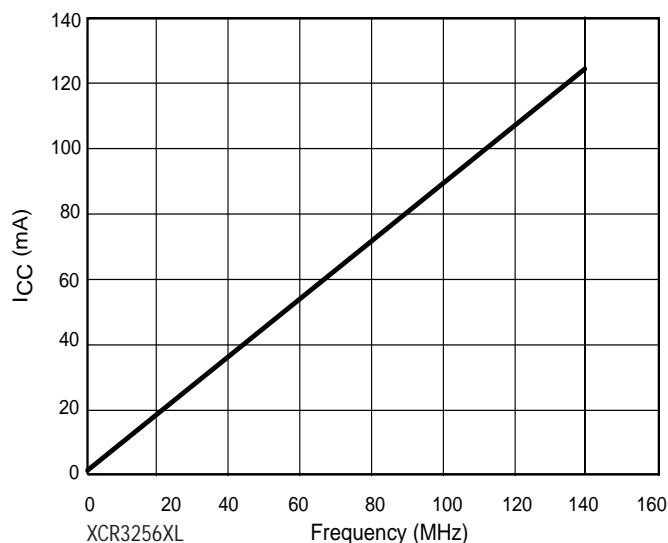
- 低電力 3.3V で 256 個のマクロセル CPLD
- ピン間のロジック遅延 : 7.0ns
- 最大システム周波数 : 154MHz
- マクロセル数 : 256 個 (6,000 個の使用可能ゲート)
- 小規模なフットプリント パッケージ
 - 144 ピン TQFP (120 個のユーザー I/O)
 - 208 ピン PQFP (164 個のユーザー I/O)
 - 256 ボール FBGA (164 個のユーザー I/O)
 - 280 ボール CS BGA (164 個のユーザー I/O)
- 3.3V システム用に最適化
 - 超低消費電力
 - 標準スタンバイ電流 = 25 で 18 μ A
 - 3.3V コア電源で 5V トレラント I/O
 - 高度な 0.35 μ m, 5 層メタル EEPROM プロセス
 - Fast Zero Power™ (FZP) CMOS デザイン テクノロジ
 - 3.3V PCI の電氣的仕様に準拠する出力 (すべての入力または I/O に内部クランプ ダイオードがない)
- 最先端のシステム機能
 - インシステム プログラミング
 - 入力レジスタ
 - 予測可能なタイミング モデル
 - 各ファンクション ブロックに最大 23 クロック
 - デザイン変更時の優れたピン固定機能
 - IEEE 1149.1 バウンダリ スキャン (JTAG) を完全サポート
 - 4 つのグローバル クロック
 - 各ファンクション ブロックに 8 個の P-term 制御項
- 高速 ISP プログラミング タイム
- 追加 I/O のポート イネーブル ピン
- インダストリアル グレード温度範囲で 2.7V ~ 3.6V
- 各出力でスルー レートをプログラム可能
- セキュリティ ビットによる不正アクセス防止
- アーキテクチャの詳細は、『CoolRunner™ XPLA3 ファミリー データシート』(DS012) を参照

ファミリー概要

CoolRunner™ XPLA3 XCR3256XL デバイスは 3.3V で 256 個のマクロセルを持つ CPLD であり、最先端のプログラマブル ロジック ソリューションを必要とする低消費電力デザインをターゲットとするデバイスです。合計 16 個のファンクション ブロックがあり、6,000 個のゲートが使用可能です。また、ピン間の伝搬遅延は、最大システム周波数 154MHz で 7.0ns となります。

Fast Zero Power を採用した TotalCMOS デザイン テクニク

CoolRunner XPLA3 CPLD は、プロセス テクノロジおよびデザイン テクニクの両方において、TotalCMOS™ ソリューションを提供します。このファミリーでは、従来のようにセンス アンプを使用するのではなく、CMOS ゲートをカスケード接続して積和をインプリメントします。CMOS ゲートをこのようにインプリメントすることにより、ザイリンクスの CPLD では、消費電力を低下させるとパフォーマンスも低下するという概念を覆し、高パフォーマンスと低消費電力が共に実現可能になりました。XCR3256XL TotalCMOS CPLD での I_{CC} と周波数の関係を示す図 1 および表 1 (3.3V、25°C の条件で 16 個のリセット可能な 16 ビットのアップ/ダウン カウンタを使用した測定値) を参照してください。



DS013_01_102302

 図 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$ 、25°C)

 表 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$ 、25°C)

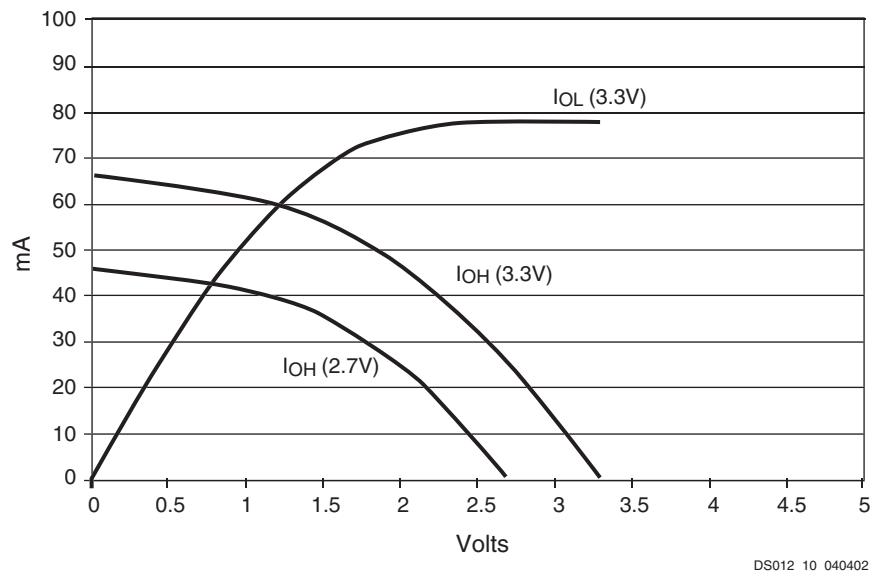
周波数 (MHz)	0	1	10	20	40	60	80	100	120	140
標準 I_{CC} (mA)	0.018	0.98	9.69	19.3	38.1	56.2	73.7	90.8	107.3	123.9

推奨動作条件での DC 電気特性⁽¹⁾

シンボル	パラメータ	テスト条件	標準	最小	最大	単位
$V_{OH}^{(2)}$	最大出力電圧	$V_{CC} = 3.0V \sim 3.6V, I_{OH} = -8mA$	-	2.4	-	
		$V_{CC} = 2.7V \sim 3.0V, I_{OH} = -8mA$	-	2.0	-	
		$I_{OH} = -500\mu A$	-	$90\% V_{CC}^{(3)}$	-	
V_{OL}	3.3V 出力の最小出力電圧	$I_{OL} = 8mA$	-	-	0.4	V
I_{IL}	入力洩れ電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$	-	-10	10	μA
I_{IH}	I/O が High-Z 時の漏れ電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$	-	-10	10	μA
$I_{CCSB}^{(7)}$	スタンバイ電流	$V_{CC} = 3.6V$	30.5	-	100	μA
I_{CC}	ダイナミック電流 ^(4, 5)	$f = 1MHz$	-	-	2	mA
		$f = 50MHz$	-	-	60	mA
C_{IN}	入力ピン キャパシタンス ⁽⁶⁾	$f = 1MHz$	-	-	8	pF
C_{CLK}	クロック入力キャパシタンス ⁽⁶⁾	$f = 1MHz$	-	5	12	pF
$C_{I/O}$	I/O ピン キャパシタンス ⁽⁶⁾	$f = 1MHz$	-	-	10	pF

メモ：

1. 推奨動作条件の詳細は、『CoolRunner XPLA3 ファミリー データシート』(DS012) を参照してください。
2. XPLA3 ファミリーの出力ドライブ特性は、図 2 を参照してください。
3. このパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
4. 標準値は表 1 および図 1 を参照してください。
5. このパラメータは、すべてのファンクション ブロックにロードされた 16 ビットのリセット可能なアップ/ダウン カウンタで、すべての出力を無効かつ負荷がない状態で測定したものです。入力は、 V_{CC} またはグランドに接続されています。また、このパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
6. 標準値です (テストされていません)。
7. $70^{\circ}C$ の場合の標準値です。



DS012_10_040402

図 2 : CoolRunner XPLA3 ファミリーの標準 I/V 曲線 (25)

推奨動作条件での AC 電気特性^(1, 2)

シンボル	パラメータ	-7		-10		-12		単位
		最小	最大	最小	最大	最小	最大	
T _{PD1}	伝搬遅延時間 (シングル P-term)	-	7.0	-	9.0	-	10.8	ns
T _{PD2}	伝搬遅延時間 (OR アレイ) ⁽³⁾	-	7.5	-	10.0	-	12.0	ns
T _{CO}	Clock to Out (グローバル同期ピン クロック)	-	4.5	-	5.8	-	6.9	ns
T _{SUF}	セットアップ タイム (高速入力レジスタ)	2.5	-	3.0	-	3.0	-	ns
T _{SU1} ⁽⁴⁾	セットアップ タイム (シングル P-term)	4.3	-	5.5	-	6.7	-	ns
T _{SU2}	セットアップ タイム (OR アレイ)	4.8	-	6.5	-	7.9	-	ns
T _H ⁽⁴⁾	ホールド タイム	0	-	0	-	0	-	ns
T _{WLH} ⁽⁴⁾	グローバル クロック パルス幅 (High または Low)	3.0	-	4.0	-	5.0	-	ns
T _{PLH} ⁽⁴⁾	P-term クロック パルス幅	4.5	-	6.0	-	7.5	-	ns
T _{APRPW}	非同期プリセット/リセット パルス幅 (High または Low)	4.5	-	6.0	-	7.5	-	ns
T _R ⁽⁴⁾	入力立ち上がり時間	-	20	-	20	-	20	ns
T _L ⁽⁴⁾	入力立ち下がり時間	-	20	-	20	-	20	ns
f _{SYSTEM} ⁽⁴⁾	最大システム周波数	-	154	-	105	-	88	MHz
T _{CONFIG} ⁽⁴⁾	コンフィギュレーション時間 ⁽⁵⁾	-	200	-	200	-	200	μs
T _{INIT} ⁽⁴⁾	ISP 初期化時間	-	200	-	200	-	200	μs
T _{POE} ⁽⁴⁾	P-term OE から出力が有効になるまでの時間	-	9.0	-	11.0	-	13.0	ns
T _{POD} ⁽⁴⁾	P-term OE から出力が無効になるまでの時間 ⁽⁶⁾	-	9.0	-	11.0	-	13.0	ns
T _{PCO} ⁽⁴⁾	P-term の Clock to Out	-	8.0	-	10.3	-	12.4	ns
T _{PAO} ⁽⁴⁾	P-term のセット/リセットから有効な出力までの時間	-	9.0	-	11.0	-	13.0	ns

メモ :

- 出力スイッチング 1 回で測定した仕様です。
- 推奨動作条件は、『XPLA3 ファミリー データシート』(DS012) を参照してください。
- 図 4 を参照してください。
- これらのパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
- コンフィギュレーション中に流れる標準的な電流は、3.6V で 10mA です。
- 出力 C_L = 5 pF です。

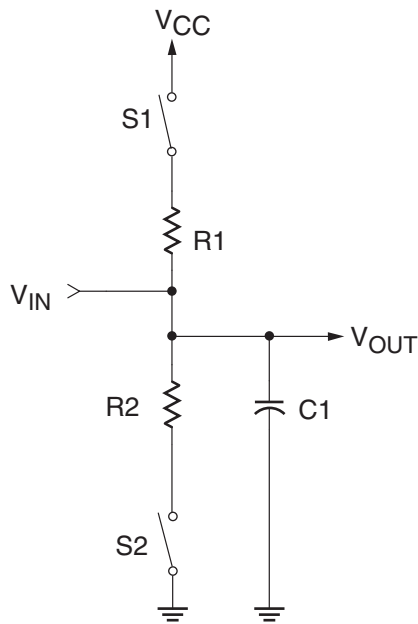
内部タイミングパラメータ(1,2)

シンボル	パラメータ	-7		-10		-12		単位
		最小	最大	最小	最大	最小	最大	
バッファ遅延								
T _{IN}	入力バッファ遅延	-	2.5	-	3.3	-	4.0	ns
T _{FIN}	高速入力バッファ遅延	-	2.7	-	3.3	-	3.3	ns
T _{GCK}	グローバルクロックバッファ遅延	-	1.0	-	1.3	-	1.5	ns
T _{OUT}	出力バッファ遅延	-	2.5	-	3.2	-	3.8	ns
T _{EN}	出力バッファイネーブル/ディスエーブル遅延	-	4.5	-	5.2	-	6.0	ns
内部レジスタおよび組み合わせ遅延								
T _{LDI}	透過ラッチ遅延	-	1.3	-	1.6	-	2.0	ns
T _{SUI}	レジスタセットアップタイム	0.8	-	1.0	-	1.2	-	ns
T _{HI}	レジスタホールドタイム	0.3	-	0.5	-	0.7	-	ns
T _{ECSU}	レジスタクロックイネーブルセットアップタイム	2.0	-	2.5	-	3.0	-	ns
T _{ECHO}	レジスタクロックイネーブルホールドタイム	3.0	-	4.5	-	5.5	-	ns
T _{COI}	レジスタのCock to Out遅延	-	1.0	-	1.3	-	1.6	ns
T _{AOI}	レジスタの非同期S/R to Out遅延	-	2.0	-	2.0	-	2.2	ns
T _{RAI}	レジスタの非同期リカバリ時間	-	5.0	-	7.0	-	8.0	ns
T _{PTCK}	積項クロック遅延	-	2.0	-	2.5	-	3.0	ns
T _{LOGI1}	内部ロジック遅延(シングルP-term)	-	2.0	-	2.5	-	3.0	ns
T _{LOGI2}	内部ロジック遅延(PLA OR term)	-	2.5	-	3.5	-	4.2	ns
フィードバック遅延								
T _F	ZIA遅延	-	2.2	-	3.7	-	4.4	ns
追加遅延								
T _{LOGI3}	NANDのフォールドバック遅延	-	2.0	-	2.5	-	3.0	ns
T _{UDA}	ユニバーサル遅延	-	2.0	-	2.5	-	3.0	ns
T _{SLEW}	スルーレート制限遅延	-	4.0	-	5.0	-	6.0	ns

メモ:

- これらのパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
- タイミングモデルは、『CoolRunner XPLA3 ファミリー データシート』(DS012)を参照してください。

スイッチ特性



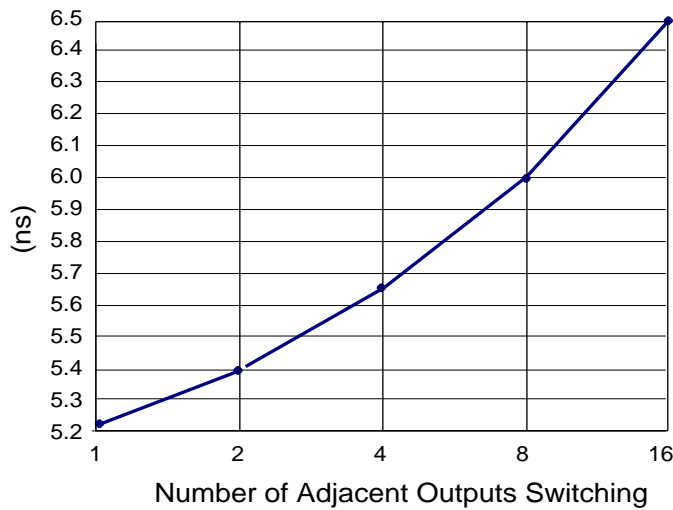
Component	Values
R1	390Ω
R2	390Ω
C1	35 pF

Measurement	S1	S2
T _{POE} (High)	Open	Closed
T _{POE} (Low)	Closed	Open
T _P	Closed	Closed

Note: For T_{POD}, C1 = 5 pF. Delay measured at output level of V_{OL} + 300 mV, V_{OH} - 300 mV.

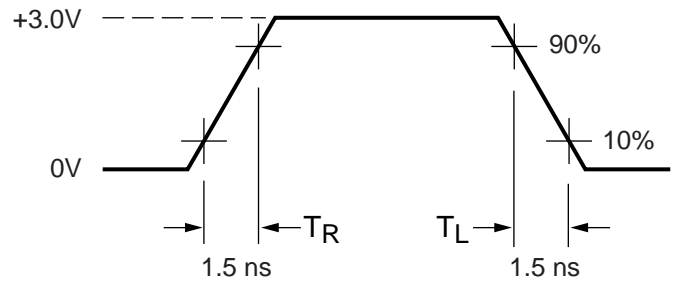
DS013_03_102401

図 3 : AC 負荷回路



DS013_04_042800

図 4 : T_{PD2} の軽減曲線



Measurements:

All circuit delays are measured at the +1.5V level of inputs and outputs, unless otherwise specified.

DS017_05_042800

図 5 : 電圧波形

ピンについて

表 2 : XCR3256XL ユーザー I/O ピン

	TQ144	PQ208	FT256	CS280
ユーザー I/O ピンの 総数	120	164	164	164

表 3 : XCR3256XL I/O ピン

ファンクション ブロック	マクロセル	TQ144	PQ208	FT256	CS280
1	1	106	6	C16	E18
1	2	-	7	F12	E19
1	3	104 ⁽¹⁾	8	D16	F15
1	4	103	9	E14	F17
1	5	102	10	E15	F18
1	6	-	-	-	-
1	7	-	-	-	-
1	8	-	-	-	-
1	9	-	-	-	-
1	10	-	-	-	-
1	11	-	-	-	-
1	12	101	11	F13	F19
1	13	100	12	E16	G16
1	14	99	13	F14	G17
1	15	-	15	F15	G19
1	16	-	16	G12	H16
2	1	107	4	E13	B19
2	2	108	3	D15	B18
2	3	-	206	C13	B17
2	4	-	205	A14	A18
2	5	109	204	E11	A17
2	6	-	-	-	-
2	7	-	-	-	-
2	8	-	-	-	-
2	9	-	-	-	-
2	10	-	-	-	-
2	11	-	-	-	-
2	12	110	203	A13	C16
2	13	111	202	D12	A16

表 3 : XCR3256XL I/O ピン (続き)

ファンクション ブロック	マクロセル	TQ144	PQ208	FT256	CS280
2	14	-	201	B13	E15
2	15	112	199	C12	D15
2	16	113	198	A12	A15
3	1	98	17	G15	H17
3	2	97	18	G13	H18
3	3	96	19	F16	H19
3	4	94	20	G14	J16
3	5	93	21	G16	J17
3	6	-	-	-	-
3	7	-	-	-	-
3	8	-	-	-	-
3	9	-	-	-	-
3	10	-	-	-	-
3	11	-	-	-	-
3	12	92	22	H13	J18
3	13	-	24	H12	K16
3	14	91	25	H15	K17
3	15	90	26	H14	K18
3	16	-	27	H16	L16
4	1	114	197	D11	E14
4	2	116	196	A11	D14
4	3	117	195	E10	A14
4	4	-	194	B12	C13
4	5	118	193	C11	B13
4	6	-	-	-	-
4	7	-	-	-	-
4	8	-	-	-	-
4	9	-	-	-	-
4	10	-	-	-	-
4	11	-	-	-	-
4	12	119	192	B11	A13
4	13	120	190	A10	A12
4	14	121	189 ⁽¹⁾	C10 ⁽¹⁾	C12 ⁽¹⁾
4	15	-	188	A9	B12

表 3 : XCR3256XL I/O ピン (続き)

ファンクションブロック	マクロセル	TQ144	PQ208	FT256	CS280
4	16	122	187	D9	D12
5	1	89 ⁽¹⁾	28	J14	L17
5	2	-	29	J15	L18
5	3	88	30 ⁽¹⁾	J13 ⁽¹⁾	L19 ⁽¹⁾
5	4	87	31	J16	M16
5	5	86	33	L14	M18
5	6	-	-	-	-
5	7	-	-	-	-
5	8	-	-	-	-
5	9	-	-	-	-
5	10	-	-	-	-
5	11	-	-	-	-
5	12	84	34	K15	M17
5	13	-	35	K14	N16
5	14	83	36	K16	N19
5	15	82	37	K13	N18
5	16	-	38	L15	N17
6	1	-	78	R9	U10
6	2	55	77	N9	T10
6	3	56	76	T10	W11
6	4	-	73	P10	U11
6	5	60	71	R10	T11
6	6	-	-	-	-
6	7	-	-	-	-
6	8	-	-	-	-
6	9	-	-	-	-
6	10	-	-	-	-
6	11	-	-	-	-
6	12	61	70	T11	W12
6	13	62	69	N10	U12
6	14	63	68	P11	T12
6	15	-	67	M10	V13
6	16	65	66	R11	U13
7	1	81	39	K12	P16

表 3 : XCR3256XL I/O ピン (続き)

ファンクションブロック	マクロセル	TQ144	PQ208	FT256	CS280
7	2	-	40	L16	P18
7	3	80	42	M15	R19
7	4	79	43	N15	R16
7	5	78	44	L13	R18
7	6	-	-	-	-
7	7	-	-	-	-
7	8	-	-	-	-
7	9	-	-	-	-
7	10	-	-	-	-
7	11	-	-	-	-
7	12	77	45	M16	R17
7	13	-	46	M14	R15
7	14	75	47	N16	T17
7	15	74	48	L12	T16
7	16	-	49	P15	U19
8	1	66	65	T12	T13
8	2	67	64	R12	W14
8	3	68	62	N11	T14
8	4	69	61	T13	R14
8	5	-	60	P12	W15
8	6	-	-	-	-
8	7	-	-	-	-
8	8	-	-	-	-
8	9	-	-	-	-
8	10	-	-	-	-
8	11	-	-	-	-
8	12	70	59	R13	U15
8	13	-	58	M11	V15
8	14	71	57	T14	T15
8	15	-	56	N12	V16
8	16	72	55	R14	W17
9	1	2	153	D3	B1
9	2	1	154	C1	C3
9	3	-	159	B4	A4

表 3 : XCR3256XL I/O ピン (続き)

ファンクション ブロック	マクロセル	TQ144	PQ208	FT256	CS280
9	4	-	160	E6	B5
9	5	143	161	A4	C5
9	6	-	-	-	-
9	7	-	-	-	-
9	8	-	-	-	-
9	9	-	-	-	-
9	10	-	-	-	-
9	11	-	-	-	-
9	12	-	162	C5	A5
9	13	142	163	B5	E6
9	14	141	164	D6	D6
9	15	140	166	A5	B6
9	16	139	167	C6	A6
10	1	4 ⁽¹⁾	151	D1	D2
10	2	-	150	E4	D1
10	3	5	149	D2	E3
10	4	6	148	E3	E2
10	5	7	147	E1	E4
10	6	-	-	-	-
10	7	-	-	-	-
10	8	-	-	-	-
10	9	-	-	-	-
10	10	-	-	-	-
10	11	-	-	-	-
10	12	8	146	F4	E1
10	13	-	145	F1	F5
10	14	9	144	G5	F3
10	15	10	142	E2	F4
10	16	11	141	F3	G3
11	1	-	168	B6	D7
11	2	-	169	E7	C7
11	3	138	170	A6	B7
11	4	-	171	D7	A7
11	5	137	172	B7	C8

表 3 : XCR3256XL I/O ピン (続き)

ファンクション ブロック	マクロセル	TQ144	PQ208	FT256	CS280
11	6	-	-	-	-
11	7	-	-	-	-
11	8	-	-	-	-
11	9	-	-	-	-
11	10	-	-	-	-
11	11	-	-	-	-
11	12	136	173	C7	B8
11	13	134	175	C8	C9
11	14	133	176 ⁽¹⁾	A7 ⁽¹⁾	B9 ⁽¹⁾
11	15	132	177	D8	D10
11	16	131	178	B8	C10
12	1	-	140	F2	G2
12	2	-	139	G4	G1
12	3	12	138	G1	G4
12	4	14	137	H1	H1
12	5	15	136	H4	H3
12	6	-	-	-	-
12	7	-	-	-	-
12	8	-	-	-	-
12	9	-	-	-	-
12	10	-	-	-	-
12	11	-	-	-	-
12	12	16	135	G2	H2
12	13	-	133	J1	J2
12	14	18	132	J3	J3
12	15	19	131	H2	K2
12	16	-	130	J5	K3
13	1	-	79	P9	W10
13	2	54	80	T9	T9
13	3	53	81	P8	U9
13	4	-	84	R8	T8
13	5	49	86	N8	T7
13	6	-	-	-	-
13	7	-	-	-	-

表 3 : XCR3256XL I/O ピン (続き)

ファンクションブロック	マクロセル	TQ144	PQ208	FT256	CS280
13	8	-	-	-	-
13	9	-	-	-	-
13	10	-	-	-	-
13	11	-	-	-	-
13	12	48	87	T8	W7
13	13	47	88	P7	V7
13	14	46	89	R7	U7
13	15	-	90	P6	W6
13	16	45	91	T7	T6
14	1	20 ⁽¹⁾	129	J2	K4
14	2	-	128	J4	L1
14	3	21	127 ⁽¹⁾	K1 ⁽¹⁾	L2 ⁽¹⁾
14	4	22	126	K3	L3
14	5	23	124	K2	M1
14	6	-	-	-	-
14	7	-	-	-	-
14	8	-	-	-	-
14	9	-	-	-	-
14	10	-	-	-	-
14	11	-	-	-	-
14	12	25	123	L1	M3
14	13	-	122	K4	M4
14	14	26	121	L3	N1
14	15	27	120	K5	N2
14	16	28	119	M1	N3
15	1	44	92	N7	V6
15	2	43	93	R6	U6
15	3	42	95	M7	R6
15	4	41	96	T5	W5
15	5	40	97	T6	T5
15	6	-	-	-	-
15	7	-	-	-	-
15	8	-	-	-	-
15	9	-	-	-	-

表 3 : XCR3256XL I/O ピン (続き)

ファンクションブロック	マクロセル	TQ144	PQ208	FT256	CS280
15	10	-	-	-	-
15	11	-	-	-	-
15	12	-	98	R5	V5
15	13	39	99	N6	U5
15	14	38	100	T4	W4
15	15	-	101	P5	U4
15	16	37	102	R4	W3
16	1	-	118	L2	P1
16	2	-	117	M2	P2
16	3	29	115	M3	P4
16	4	30	114	N2	R3
16	5	31	113	L5	R2
16	6	-	-	-	-
16	7	-	-	-	-
16	8	-	-	-	-
16	9	-	-	-	-
16	10	-	-	-	-
16	11	-	-	-	-
16	12	32	112	P1	R4
16	13	-	111	M4	T3
16	14	34	110	R1	U1
16	15	35	109	N3	V1
16	16	36	108	T1	U2

メモ :

1. JTAG ピンです。

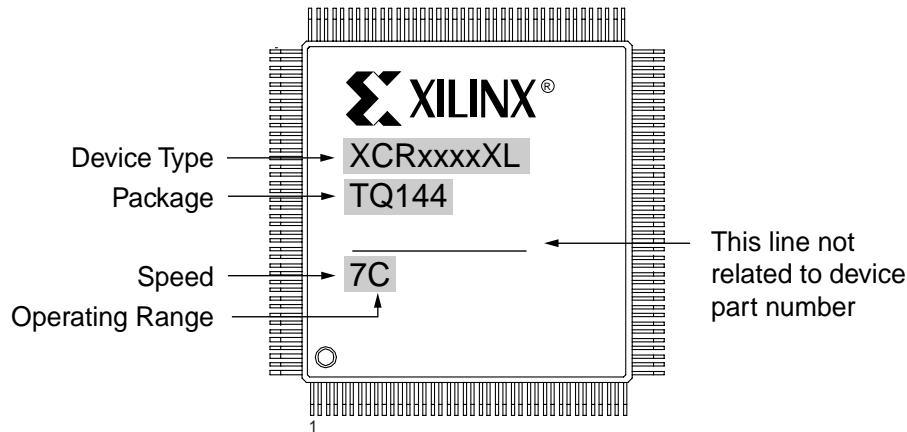
表 4 : XCR3256XL グローバル、JTAG、ポート イネーブル、電源、未接続ピン

ピン タイプ	TQ144	PQ208	FT256	CS280
IN0 / CLK0	128	181	B9	A10
IN1 / CLK1	127	182	A8	D11
IN2 / CLK2	126	183	C9	C11
IN3 / CLK3	125	184	B10	B11
TCK	89	30	J13	L19
TDI	4	176	A7	B9
TDO	104	189	C10	C12
TMS	20	127	K1	L2
PORT_EN	13 ⁽¹⁾	116 ⁽¹⁾	N1 ⁽¹⁾	P3 ⁽¹⁾
Vcc	24, 50, 51, 58, 73, 76, 95, 115, 123, 130, 144	5, 23, 41, 63, 74, 83, 85, 107, 125, 143, 165, 179, 186, 191	E8, E9, F7, F8, F9, F10, G6, G11, H5, H6, H11, J6, J11, J12, K6, K11, L7, L8, L9, L10, M8, M9	A11, B10, C6, C14, D13, D17, F2, J19, L4, P15, T18, U8, U14, V2, V9, V11
GND	3, 17, 33, 52, 57, 59, 64, 85, 105, 124, 129, 135	14, 32, 50, 72, 75, 82, 94, 134, 152, 174, 180, 185, 200	E5, F6, F11, G7, G8, G9, G10, H7, H8, H9, H10, J7, J8, J9, J10, K7, K8, K9, K10, L6, L11	E5, E7, E8, E9, E10, E11, E12, E13, G5, G15, H5, H15, J5, J15, K5, K15, L5, L15, M5, M15, N5, N15, R7, R8, R9, R10, R11, R12, R13
未接続	-	1, 2, 51, 52, 53, 54, 103, 104, 105, 106, 155, 156, 157, 158, 207, 208	A1, A2, A3, A15, A16, B1, B2, B3, B14, B15, B16, C2, C3, C4, C14, C15, D4, D5, D10, D13, D14, E12, F5, G3, H3, L4, M5, M6, M12, M13, N4, N5, N13, N14, P2, P3, P4, P13, P14, P16, R2, R3, R15, R16, T2, T3, T15, T16	A1, A2, A3, A8, A9, A19, B2, B3, B4, B14, B15, B16, C1, C2, C4, C15, C17, C18, C19, D3, D4, D5, D8, D9, D16, D18, D19, E16, E17, F1, F16, G18, H4, J1, J4, K1, K19, M2, M19, N4, P5, P17, P19, R1, R5, T1, T2, T4, T19, U3, U16, U17, U18, V3, V4, V8, V10, V12, V14, V17, V18, V19, W1, W2, W8, W9, W13, W16, W18, W19

メモ :

1. JTAG ピンを I/O として使用している場合、ポート イネーブルを High して JTAG ピンを有効にします。詳細は、デバイス ファミリのデータシート ([DS012](#)) を参照してください。

デバイス マークおよび注文情報



Sample package with part marking.

デバイス番号および パッケージ番号	スピード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 ⁽¹⁾
XCR3256XL-7TQ144C	7.5ns	TQ144	144 ピン	Thin Quad Flat Pack (TQFP)	C
XCR3256XL-7TQG144C	7.5ns	TQG144	144 ピン	Thin Quad Flat Pack (TQFP)、鉛フリー	C
XCR3256XL-7PQ208C	7.5ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	C
XCR3256XL-7PQG208C	7.5ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	C
XCR3256XL-7FT256C	7.5ns	FT256	256 ボール	Fine-Pitch BGA (FT)	C
XCR3256XL-7CS280C	7.5ns	CS280	280 ボール	Chip Scale Package (CSP)	C
XCR3256XL-7CSG280C	7.5ns	CSG280	280 ボール	Chip Scale Package (CSP)、鉛フリー	C
XCR3256XL-10TQ144C	10ns	TQ144	144 ピン	Thin Quad Flat Pack (TQFP)	C
XCR3256XL-10TQG144C	10ns	TQG144	144 ピン	Thin Quad Flat Pack (TQFP)、鉛フリー	C
XCR3256XL-10PQ208C	10ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	C
XCR3256XL-10PQG208C	10ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	C
XCR3256XL-10FT256C	10ns	FT256	256 ボール	Fine-Pitch BGA (FT)	C
XCR3256XL-10CS280C	10ns	CS280	280 ボール	Chip Scale Package (CSP)	C
XCR3256XL-10CSG280C	10ns	CSG280	280 ボール	Chip Scale Package (CSP)、鉛フリー	C
XCR3256XL-10TQ144I	10ns	TQ144	144 ピン	Thin Quad Flat Pack (TQFP)	I
XCR3256XL-10TQG144I	10ns	TQG144	144 ピン	Thin Quad Flat Pack (TQFP)、鉛フリー	I
XCR3256XL-10PQ208I	10ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	I
XCR3256XL-10PQG208I	10ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	I
XCR3256XL-10FT256I	10ns	FT256	256 ボール	Fine-Pitch BGA (FT)	I
XCR3256XL-10CS280I	10ns	CS280	280 ボール	Chip Scale Package (CSP)	I
XCR3256XL-10CSG280I	10ns	CSG280	280 ボール	Chip Scale Package (CSP)、鉛フリー	I
XCR3256XL-12TQ144C	12ns	TQ144	144 ピン	Thin Quad Flat Pack (TQFP)	C
XCR3256XL-12TQG144C	12ns	TQG144	144 ピン	Thin Quad Flat Pack (TQFP)、鉛フリー	C
XCR3256XL-12PQ208C	12ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	C

デバイス番号および パッケージ番号	スピード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 ⁽¹⁾
XCR3256XL-12PQG208C	12ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	C
XCR3256XL-12FT256C	12ns	FT256	256 ボール	Fine-Pitch BGA (FT)	C
XCR3256XL-12CS280C	12ns	CS280	280 ボール	Chip Scale Package (CSP)	C
XCR3256XL-12CSG280C	12ns	CSG280	280 ボール	Chip Scale Package (CSP)、鉛フリー	C
XCR3256XL-12TQ144I	12ns	TQ144	144 ピン	Thin Quad Flat Pack (TQFP)	I
XCR3256XL-12TQG144I	12ns	TQG144	144 ピン	Thin Quad Flat Pack (TQFP)、鉛フリー	I
XCR3256XL-12PQ208I	12ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	I
XCR3256XL-12PQG208I	12ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	I
XCR3256XL-12FT256I	12ns	FT256	256 ボール	Fine-Pitch BGA (FT)	I
XCR3256XL-12CS280I	12ns	CS280	280 ボール	Chip Scale Package (CSP)	I
XCR3256XL-12CSG280I	12ns	CSG280	280 ボール	Chip Scale Package (CSP)、鉛フリー	I

メモ :

1. C = コマーシャル: $T_A = 0^\circ \sim +70$ 、I = インダストリアル: $T_A = -40^\circ \sim +85$

保証免責条項

これらの製品は、<http://www.xilinx.co.jp/warranty.htm> に記載する XILINX (以下「ザイリンクス」とする) 限定保証に従うものとします。当限定保証では、該当時点での該当製品ザイリンクスデータシートに記載されている以外のアプリケーションまたは環境での使用については保証いたしません。更に製品はフェイルセーフ設計されたものではなく、身体的危害または人命損失などの危険性のあるアプリケーションでの使用に対して、ザイリンクスは一切の保証責任を負いません。かかるアプリケーションでの使用は、適応される法律および規制に従い、使用する側が一切の責任を負うものとします。

参考資料

[CoolRunner XPLA3 デバイス関連資料](#)

[「パッケージ仕様」](#)

[「デバイスパッケージユーザーガイド」](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2000/01/21	1.0	初版リリース
2000/02/10	1.1	ピン配置表の更新
2000/05/03	1.2	マイナー更新およびピン配置表にバウンダリ スキャンを追加
2000/11/20	1.3	ピン配置表の更新。表 4 のメモを「ポート イネーブル ピンが High になる」の記載に修正
2000/12/11	1.4	仕様およびピン配置表の更新
2001/01/17	1.5	タイミング モデルの削除
2001/03/05	1.6	256 ボール Fine-Pitch ボール グリッド アレイ パッケージの追加
2001/04/11	1.7	標準的な I/V 曲線の追加 (図 2)。ユーザー I/O 総数の追加 (表 2)。V _{OH} 仕様の変更

日付	バージョン	改訂内容
2001/04/19	1.8	標準的な I/V 曲線の更新 (図 2)。電圧レベルの追加
2002/01/08	1.9	ICC vs Freq (図 1 および表 1) をページ 1 に移動。AC 特性表にシングル P-term セットアップ タイム (T_{SU1}) を追加し、OR アレイを通過するセットアップ タイムを表すシンボルを T_{SU} から T_{SU2} に変更。 T_{SUF} 仕様をソフトウェア タイミングと一致するように変更。 T_{INIT} の追加。 T_{CONFIG} の更新。 T_{HI} のタイプ ミスの修正。 AC 負荷回路図を実際のテスト条件により近くなるよう変更し、 T_{POD} 遅延値のメモを追加
2002/11/20	2.0	T_{PCO} (T_{PTCK} の追加)、 T_{FIN} 、 および T_{OUT} をタイミング モデルおよびソフトウェアに適應するように更新。 UMC 製造工場への移行後、製品の特性評価に基づいて、 f_{SYSTEM} 、 V_{OH} 、 T_{CONFIG} 、 T_{INIT} 、 T_{LOG13} 、 T_F を更新。標準的な I_{CC} vs. Freq および T_{PD2} 軽減曲線 (出力スイッチングが 16 の際の値を 6.5 に改善) を各特性評価データに基づいて更新。注文情報のフォーマット変更
2003/01/27	2.1	V_{OH} に関するメモを DC 特性表の 3 行目から 2 行目に移動
2003/07/15	2.2	I_{IL} および I_{IH} のテスト条件の変更
2003/08/21	2.3	パッケージ デバイスのピン 1 を示すマーキングの更新
2003/11/5	2.4	Preliminary 製品仕様から Product 製品仕様へ更新
2004/02/13	2.5	T_{sol} 仕様の追加。アプリケーション ノートおよびデータシートへのリンクの追加
2005/04/08	2.6	標準 I_{CCSB} および T_{APRPW} 仕様の追加。 T_{SOL} 仕様の削除
2006/03/31	2.7	保証免責条項の追加。鉛フリー パッケージ注文情報の追加