

特長

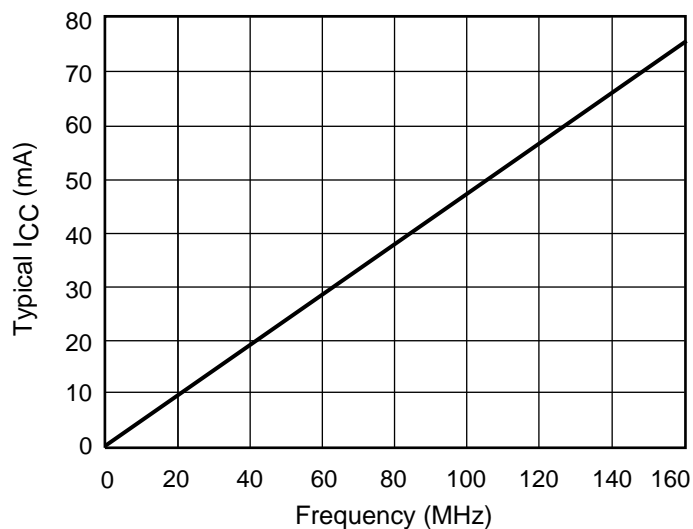
- 低電力 3.3V で 128 個のマクロセル CPLD
- ピン間のロジック遅延 : 5.5ns
- 最大システム周波数 : 175MHz
- マクロセル数 : 128 個 (3,000 個の使用可能ゲート)
- 小規模なフットプリント パッケージで入手可能
 - 144 ピン TQFP (108 個のユーザー I/O)
 - 144 ボール CS BGA (108 個のユーザー I/O)
 - 100 ピン VQFP (84 個のユーザー I/O)
- 3.3V システム用に最適化
 - 超低消費電力
 - 標準スタンバイ電力 = 25 で 17 μ A
 - 3.3V コア電源で 5V トレラント I/O
 - 高度な 0.35 μ m、5 層メタル EEPROM プロセス
 - Fast Zero Power™ (FZP) CMOS デザイン テクノロジー
 - 3.3V PCI の電氣的仕様に準拠する出力 (すべての入力または I/O に内部クランプ ダイオードはない)
- 最先端のシステム機能
 - インシステム プログラミング
 - 入力レジスタ
 - 予測可能なタイミング モデル
 - 各ファンクション ブロックに最大 23 個のクロック
 - デザイン変更時の優れたピン固定機能
 - IEEE 1149.1 バウンダリ スキャン (JTAG) を完全サポート
 - 4 つのグローバル クロック
 - 各ファンクション ブロックに 8 個の P-term 制御項
- 高速 ISP プログラミング タイム
- 追加 I/O のポート イネーブル ピン
- インダストリアル グレード温度範囲で 2.7V ~ 3.6V
- 各出力でスルー レートをプログラム可能
- セキュリティ ビットによる不正アクセス防止
- アーキテクチャの詳細は、『CoolRunner™ XPLA3 ファミリー データシート』(DS012) を参照

ファミリ概要

CoolRunner™ XPLA3 XCR3128XL デバイスは 3.3V で 128 個のマクロセルを持つ CPLD であり、最先端のプログラマブル ロジック ソリューションを必要とする低消費電力デザインをターゲットとするデバイスです。合計 16 個のファンクション ブロックがあり、3,000 個のゲートが使用可能です。また、ピン間の伝搬遅延は、最大システム周波数 175MHz で 5.5ns となります。

Fast Zero Power を採用した TotalCMOS デザイン テクニック

CoolRunner XPLA3 CPLD は、プロセス テクノロジーおよびデザイン テクニックの両方において、TotalCMOS™ ソリューションを提供します。このファミリでは、従来のようにセンス アンプを使用するのではなく、CMOS ゲートをカスケード接続して積和をインプリメントします。CMOS ゲートをこのようにインプリメントすることにより、ザイリンクスの CPLD では、消費電力を低下させるとパフォーマンスも低下するという概念を覆し、高パフォーマンスと低消費電力が共に実現可能になりました。XCR3128XL TotalCMOS CPLD での I_{CC} と周波数の関係を示す図 1/図 2 および表 1/表 2 (3.3V、25°C の条件で 16 個のリセット可能な 16 ビットのアップ/ダウン カウンタを使用した測定値) を参照してください。



DS016_01_120902

 図 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$ 、25°C)

 表 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$ 、25°C)

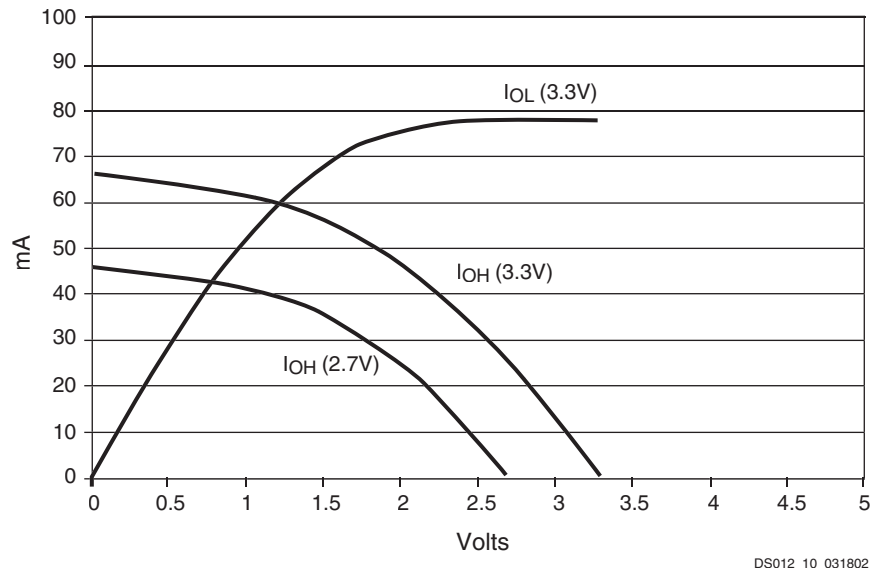
周波数 (MHz)	0	1	5	10	20	40	60	80	100	120	140	160
標準 I_{CC} (mA)	0.017	0.5	2.48	4.97	9.89	19.7	29.5	39.1	48.7	58.0	67.3	76.8

推奨動作条件での DC 電気特性(1)

シンボル	パラメータ	テスト条件	標準	最小	最大	単位
$V_{OH}^{(2)}$	最大出力電圧	$V_{CC} = 3.0V \sim 3.6V, I_{OH} = -8mA$		2.4	-	V
		$V_{CC} = 2.7V \sim 3.0V, I_{OH} = -8mA$		2.0	-	V
		$I_{OH} = -500\mu A$		$90\% V_{CC}^{(3)}$	-	V
V_{OL}	3.3V 出力の最小出力電圧	$I_{OL} = 8mA$		-	0.4	V
I_{IL}	入力漏洩電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$		-10	10	μA
I_{IH}	I/O が High-Z 時の漏洩電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$		-10	10	μA
$I_{CCSB}^{(7)}$	スタンバイ電流	$V_{CC} = 3.6V$	29	-	100	μA
I_{CC}	ダイナミック電流 ^(4, 5)	$f = 1MHz$		-	1	mA
		$f = 50MHz$		-	30	mA
C_{IN}	入力ピン キャパシタンス ⁽⁶⁾	$f = 1MHz$		-	8	pF
C_{CLK}	クロック入力キャパシタンス ⁽⁶⁾	$f = 1MHz$		-	12	pF
$C_{I/O}$	I/O ピン キャパシタンス ⁽⁶⁾	$f = 1MHz$		-	10	pF

メモ:

1. 推奨動作条件の詳細は、『CoolRunner XPLA3 ファミリー データシート』(DS012) を参照してください。
2. XPLA3 ファミリーの出力ドライブ特性は、図 2 を参照してください。
3. このパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
4. 標準値は表 1 および図 1 を参照してください。
5. このパラメータは、すべてのファンクション ブロックにロードされた 16 ビットのリセット可能なアップ/ダウン カウンタで、すべての出力を無効かつ負荷がない状態で測定したものです。入力は、 V_{CC} またはグランドに接続されています。また、このパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
6. 標準値です (テストされていません)。
7. $70^{\circ}C$ の場合の標準値です。



DS012_10_031802

図 2 : CoolRunner XPLA3 ファミリーの標準 I/V 曲線 (25)

推奨動作条件での AC 電気特性(1、2)

シンボル	パラメータ	-6		-7		-10		単位
		最小	最大	最小	最大	最小	最大	
T _{PD1}	伝搬遅延時間 (シングル P-term)	-	5.5	-	7.0	-	9.1	ns
T _{PD2}	伝搬遅延時間 (OR アレイ) ⁽³⁾	-	6.0	-	7.5	-	10.0	ns
T _{CO}	Clock to Out (グローバル同期ピン クロック)	-	4.0	-	5.0	-	6.5	ns
T _{SUF}	セットアップ タイム (高速入力レジスタ)	2.5	-	3.0	-	3.0	-	ns
T _{SU1} ⁽⁴⁾	セットアップ タイム (シングル P-term)	3.5	-	4.3	-	5.4	-	ns
T _{SU2}	セットアップ タイム (OR アレイ)	4.0	-	4.8	-	6.3	-	ns
T _H ⁽⁴⁾	ホールド タイム	0	-	0	-	0	-	ns
T _{WLH} ⁽⁴⁾	グローバル クロック パルス幅 (High または Low)	2.5	-	3.0	-	4.0	-	ns
T _{PLH} ⁽⁴⁾	P-term クロック パルス幅	4.0	-	5.0	-	6.0	-	ns
T _{APRPW}	非同期プリセット/リセット パルス幅 (High または Low)	4.0	-	5.0	-	6.0	-	ns
T _R ⁽⁴⁾	入力立ち上がり時間	-	20	-	20	-	20	ns
T _L ⁽⁴⁾	入力立ち下がり時間	-	20	-	20	-	20	ns
f _{SYSTEM} ⁽⁴⁾	最大システム周波数	-	175	-	119	-	95	MHz
T _{CONFIG} ⁽⁴⁾	コンフィギュレーション時間 ⁽⁵⁾	-	100	-	100	-	100	μs
T _{INIT} ⁽⁴⁾	ISP 初期化時間	-	100	-	100	-	100	μs
T _{POE} ⁽⁴⁾	P-term OE から出力が有効になるまでの時間	-	7.5	-	9.3	-	11.2	ns
T _{POD} ⁽⁴⁾	P-term OE から出力が無効になるまでの時間 ⁽⁶⁾	-	7.5	-	9.3	-	11.2	ns
T _{PCO} ⁽⁴⁾	P-term の Clock to Out	-	7.0	-	8.3	-	10.7	ns
T _{PAO} ⁽⁴⁾	P-term のセット/リセットから有効な出力までの時間	-	8.0	-	9.3	-	11.2	ns

メモ :

- 出力スイッチング 1 回で測定した仕様です。
- 推奨動作条件は、『XPLA3 ファミリー データシート』(DS012) を参照してください。
- 図 4 を参照してください。
- これらのパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
- コンフィギュレーション中に流れる標準的な電流は、3.6V で 9 mA です。
- 出力 C_L = 5 pF です。

内部タイミング パラメータ(1、2)

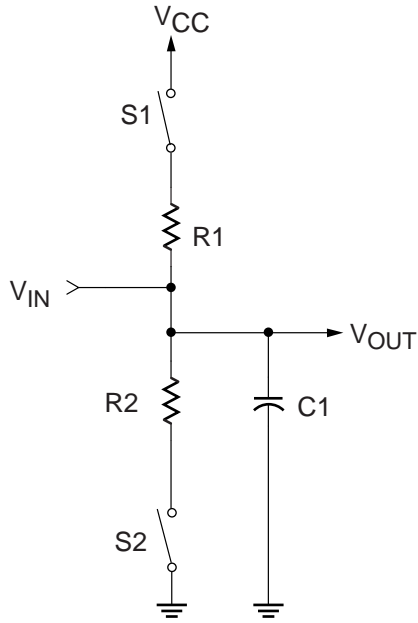
シンボル	パラメータ	-6		-7		-10		単位
		最小	最大	最小	最大	最小	最大	
バッファ遅延								
T _{IN}	入力バッファ遅延	-	1.3	-	1.6	-	2.2	ns
T _{FIN}	高速入力バッファ遅延	-	2.3	-	3.0	-	3.1	ns
T _{GCK}	グローバル クロック バッファ遅延	-	0.8	-	1.0	-	1.3	ns
T _{OUT}	出力バッファ遅延	-	2.2	-	2.7	-	3.6	ns
T _{EN}	出力バッファイネーブル/ディスエーブル遅延	-	4.2	-	5.0	-	5.7	ns
内部レジスタおよび組み合わせ遅延								
T _{LDI}	透過ラッチ遅延	-	1.3	-	1.6	-	2.0	ns
T _{SUI}	レジスタ セットアップ タイム	1.0	-	1.0	-	1.2	-	ns
T _{HI}	レジスタ ホールド タイム	0.3	-	0.5	-	0.7	-	ns

シンボル	パラメータ	-6		-7		-10		単位
		最小	最大	最小	最大	最小	最大	
T _{ECSU}	レジスタ クロック イネーブル セットアップ タイム	2.0	-	2.5	-	3.0	-	ns
T _{ECHO}	レジスタ クロック イネーブル ホールド タイム	3.0	-	4.5	-	5.5	-	ns
T _{COI}	レジスタ Cock to Out 遅延	-	1.0	-	1.3	-	1.6	ns
T _{AOI}	レジスタの非同期 S/R to Out 遅延	-	2.5	-	2.3	-	2.1	ns
T _{RAI}	レジスタの非同期リカバリ時間	-	4.0	-	5.0	-	6.0	ns
T _{PTCK}	積項クロック遅延	-	2.5	-	2.7	-	3.3	ns
T _{LOGI1}	内部ロジック遅延 (シングル P-term)	-	2.0	-	2.7	-	3.3	ns
T _{LOGI2}	内部ロジック遅延 (PLA OR term)	-	2.5	-	3.2	-	4.2	ns
フィードバック遅延								
T _F	ZIA 遅延	-	1.2	-	2.9	-	3.5	ns
追加遅延								
T _{LOGI3}	NAND のフォールドバック遅延	-	2.0	-	2.5	-	3.0	ns
T _{UDA}	ユニバーサル遅延	-	1.7	-	2.2	-	2.7	ns
T _{SLEW}	スルー レート制限遅延	-	4.0	-	5.0	-	6.0	ns

メモ :

- これらのパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
- タイミング モデルは、『CoolRunner XPLA3 ファミリー データシート』(DS012) を参照してください。

スイッチ特性



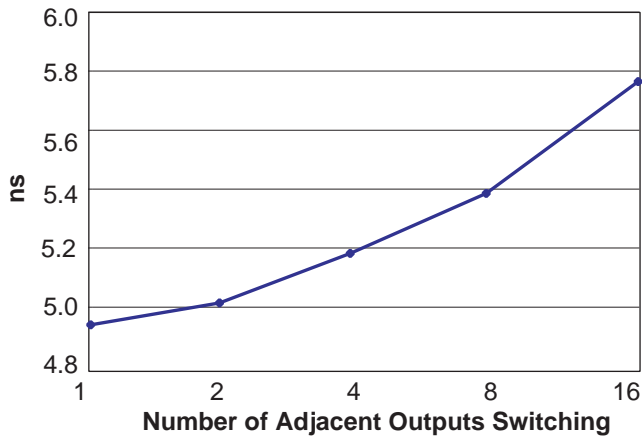
Component	Values
R1	390Ω
R2	390Ω
C1	35 pF

Measurement	S1	S2
T _{POE} (High)	Open	Closed
T _{POE} (Low)	Closed	Open
T _P	Closed	Closed

Note: For T_{POD}, C1 = 5 pF. Delay measured at output level of V_{OL} + 300 mV, V_{OH} - 300 mV.

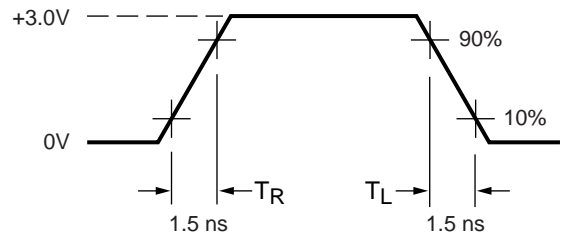
DS016_03_102401

図 3 : AC 負荷回路



DS016_04a_120902

図 4 : T_{PD2} の軽減曲線



Measurements:

All circuit delays are measured at the +1.5V level of inputs and outputs, unless otherwise specified.

DS016_05_042800

図 5 : 電圧波形

ピンについて

表 2 : XCR3128XL ユーザー I/O ピン

	VQ100	CS144	TQ144
ユーザー I/O ピンの 総数	84	108	108

表 3 : XCR3128XL I/O ピン

ファンクション ブロック	マクロセル	VQ100	CS144	TQ144
1	1	-	B12	106
1	2	73 ⁽¹⁾	D11 ⁽¹⁾	104 ⁽¹⁾
1	3	72	D12	102
1	4	71	D13	101
1	5	70	E10	100
1	6	69	E11	99
1	7	68	E12	98
1	8	-	-	-
1	9	-	-	-
1	10	-	-	-
1	11	67	E13	97
1	12	-	F10	96
1	13	65	F12	94
1	14	64	F13	93
1	15	63	G10	92
1	16	-	G11	91
2	1	75	A13	107
2	2	76	A12	109
2	3	77	B11	110
2	4	78	A11	111
2	5	79	D10	112
2	6	80	C10	113
2	7	81	B10	114
2	8	-	-	-
2	9	-	-	-
2	10	-	-	-
2	11	83	D9	116
2	12	84	C9	117
2	13	85	B9	118

表 3 : XCR3128XL I/O ピン (続き)

ファンクション ブロック	マクロセル	VQ100	CS144	TQ144
2	14	-	A9	119
2	15	-	D8	120
2	16	-	C8	121
3	1	-	G13	90
3	2	62 ⁽¹⁾	G12 ⁽¹⁾	89 ⁽¹⁾
3	3	61	H13	88
3	4	60	H12	87
3	5	-	H11	86
3	6	58	J13	84
3	7	57	J12	83
3	8	-	-	-
3	9	-	-	-
3	10	-	-	-
3	11	56	J11	82
3	12	55	J10	81
3	13	54	K13	80
3	14	53	K12	79
3	15	52	K11	78
3	16	-	K10	77
4	1	-	M8	60
4	2	40	L8	61
4	3	41	K8	62
4	4	42	N9	63
4	5	44	L9	65
4	6	45	K9	66
4	7	46	N10	67
4	8	-	-	-
4	9	-	-	-
4	10	-	-	-
4	11	47	M10	68
4	12	48	L10	69
4	13	49	N11	70
4	14	50	M11	71
4	15	-	L11	72

表 3 : XCR3128XL I/O ピン (続き)

ファンクションブロック	マクロセル	VQ100	CS144	TQ144
4	16	-	M12	74
5	1	2	A1	1
5	2	1	A2	143
5	3	100	C3	142
5	4	99	B3	141
5	5	98	A3	140
5	6	97	C4	139
5	7	96	B4	138
5	8	-	-	-
5	9	-	-	-
5	10	-	-	-
5	11	-	A4	137
5	12	-	D5	136
5	13	94	B5	134
5	14	93	A5	133
5	15	92	D6	132
5	16	-	C6	131
6	1	-	B1	2
6	2	4 ⁽¹⁾	D2 ⁽¹⁾	4 ⁽¹⁾
6	3	5	D1	5
6	4	6	E4	6
6	5	7	E3	7
6	6	8	E2	8
6	7	9	E1	9
6	8	-	-	-
6	9	-	-	-
6	10	-	-	-
6	11	10	F4	10
6	12	-	F3	11
6	13	-	F2	12
6	14	12	G2	14
6	15	13	G1	15
6	16	14	G3	16
7	1	-	N7	56

表 3 : XCR3128XL I/O ピン (続き)

ファンクションブロック	マクロセル	VQ100	CS144	TQ144
7	2	37	M7	55
7	3	36	N6	54
7	4	35	M6	53
7	5	33	M5	46
7	6	32	L5	45
7	7	31	K5	44
7	8	-	-	-
7	9	-	-	-
7	10	-	-	-
7	11	30	N4	42
7	12	29	M4	41
7	13	28	L4	40
7	14	27	K4	39
7	15	-	N3	38
7	16	-	M3	37
8	1	-	H1	18
8	2	15 ⁽¹⁾	H2 ⁽¹⁾	20 ⁽¹⁾
8	3	16	H3	21
8	4	17	H4	22
8	5	-	J1	23
8	6	19	J3	25
8	7	20	J4	26
8	8	-	-	-
8	9	-	-	-
8	10	-	-	-
8	11	21	K1	27
8	12	22	K2	28
8	13	23	K3	29
8	14	24	L1	30
8	15	25	M2	31
8	16	-	N1	32

メモ :

1. JTAG ピンです。

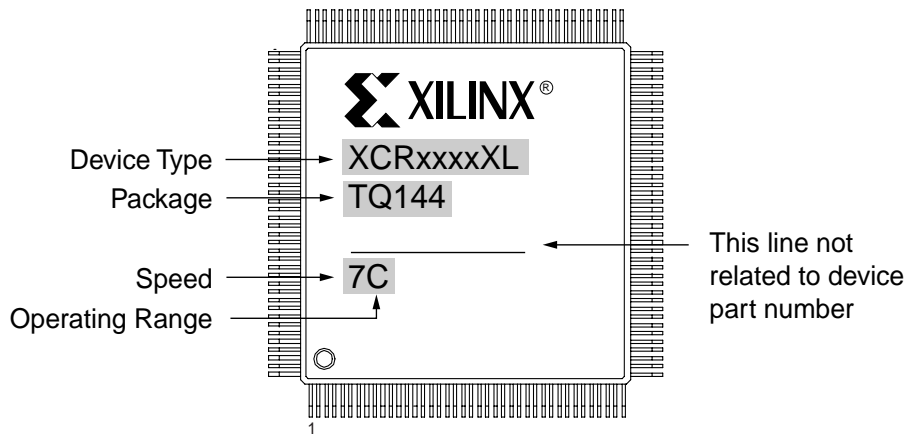
表 4 : XCR3128XL グローバル、JTAG、ポート イネーブル、電源、未接続ピン

ピン タイプ	VQ100	CS144	TQ144
IN0 / CLK0	90	D7	128
IN1 / CLK1	89	C7	127
IN2 / CLK2	88	A7	126
IN3 / CLK3	87	B7	125
TCK	62	G12	89
TDI	4	D2	4
TDO	73	D11	104
TMS	15	H2	20
PORT_EN	11 ⁽¹⁾	F1 ⁽¹⁾	13 ⁽¹⁾
Vcc	3, 18, 34, 39, 51, 66, 82, 91	A10, B2, B6, B8, D4, F11, J2, K6, K7, L13, N5, N12	24, 50, 51, 58, 73, 76, 95, 115, 123, 130, 144
GND	26, 38, 43, 59, 74, 86, 95	A6, A8, C5, C13, D3, G4, H10, L6, L7, M9, N2, N8	3, 17, 33, 52, 57, 59, 64, 85, 105, 124, 129, 135
未接続	-	B13, C1, C2, C11, C12, L2, L3, L12, M1, M13, N13	19, 34, 35, 36, 43, 47, 48, 49, 75, 103, 108, 122

メモ :

1. JTAG ピンを I/O として使用している場合、ポート イネーブルを High して JTAG ピンを有効にします。詳細は、デバイス ファミリ データシート ([DS012](#)) を参照してください。

デバイス マークおよび注文情報



Sample package with part marking.

デバイス番号および パッケージ番号	スピード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 ⁽¹⁾
XCR3128XL-6VQ100C	6ns	VQ100	100	Very Thin Quad Flat Package (VQFP)	C
XCR3128XL-6VQG100C	6ns	VQG100	100	Very Thin Quad Flat Package (VQFP)、鉛フリー	C
XCR3128XL-6CS144C	6ns	CS144	144	Chip Scale Package (CSP)	C
XCR3128XL-6CSG144C	6ns	CSG144	144	Chip Scale Package (CSP)、鉛フリー	C
XCR3128XL-6TQ144C	6ns	TQ144	144	Thin Quad Flat Pack (TQFP)	C
XCR3128XL-6TQG144C	6ns	TQG144	144	Thin Quad Flat Pack (TQFP)、鉛フリー	C
XCR3128XL-7VQ100C	7.5ns	VQ100	100	Very Thin Quad Flat Package (VQFP)	C
XCR3128XL-7VQG100C	7.5ns	VQG100	100	Very Thin Quad Flat Package (VQFP)、鉛フリー	C
XCR3128XL-7CS144C	7.5ns	CS144	144	Chip Scale Package (CSP)	C
XCR3128XL-7CSG144C	7.5ns	CSG144	144	Chip Scale Package (CSP)、鉛フリー	C
XCR3128XL-7TQ144C	7.5ns	TQ144	144	Thin Quad Flat Pack (TQFP)	C
XCR3128XL-7TQG144C	7.5ns	TQG144	144	Thin Quad Flat Pack (TQFP)、鉛フリー	C
XCR3128XL-7VQ100I	7.5ns	VQ100	100	Very Thin Quad Flat Package (VQFP)	I
XCR3128XL-7VQG100I	7.5ns	VQG100	100	Very Thin Quad Flat Package (VQFP)、鉛フリー	I
XCR3128XL-7CS144I	7.5ns	CS144	144	Chip Scale Package (CSP)	I
XCR3128XL-7CSG144I	7.5ns	CSG144	144	Chip Scale Package (CSP)、鉛フリー	I
XCR3128XL-7TQ144I	7.5ns	TQ144	144	Thin Quad Flat Pack (TQFP)	I
XCR3128XL-7TQG144I	7.5ns	TQG144	144	Thin Quad Flat Pack (TQFP)、鉛フリー	I
XCR3128XL-10VQ100C	10ns	VQ100	100	Very Thin Quad Flat Package (VQFP)	C
XCR3128XL-10VQG100C	10ns	VQG100	100	Very Thin Quad Flat Package (VQFP)、鉛フリー	C
XCR3128XL-10CS144C	10ns	CS144	144	Chip Scale Package (CSP)	C
XCR3128XL-10CSG144C	10ns	CSG144	144	Chip Scale Package (CSP)、鉛フリー	C
XCR3128XL-10TQ144C	10ns	TQ144	144	Thin Quad Flat Pack (TQFP)	C
XCR3128XL-10TQG144C	10ns	TQG144	144	Thin Quad Flat Pack (TQFP)、鉛フリー	C

デバイス番号および パッケージ番号	スピード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 ⁽¹⁾
XCR3128XL-10VQ100I	10ns	VQ100	100	Very Thin Quad Flat Package (VQFP)	I
XCR3128XL-10VQG100I	10ns	VQG100	100	Very Thin Quad Flat Package (VQFP)、鉛フリー	I
XCR3128XL-10CS144I	10ns	CS144	144	Chip Scale Package (CSP)	I
XCR3128XL-10CSG144I	10ns	CSG144	144	Chip Scale Package (CSP)、鉛フリー	I
XCR3128XL-10TQ144I	10ns	TQ144	144	Thin Quad Flat Pack (TQFP)	I
XCR3128XL-10TQG144I	10ns	TQG144	144	Thin Quad Flat Pack (TQFP)、鉛フリー	I

メモ :

1. C = コマーシャル : $T_A = 0^\circ \sim +70^\circ$ 、I = インダストリアル : $T_A = -40^\circ \sim +85^\circ$

保証免責条項

これらの製品は、<http://www.xilinx.co.jp/warranty.htm> に記載する XILINX (以下「ザイリンクス」とする) 限定保証に従うものとし、当限定保証では、該当時点での該当製品ザイリンクスデータシートに記載されている以外のアプリケーションまたは環境での使用については保証いたしません。更に製品はフェイルセーフ設計されたものではなく、身体的危害または人命損失などの危険性のあるアプリケーションでの使用に対して、ザイリンクスは一切の保証責任を負いません。かかるアプリケーションでの使用は、適応される法律および規制に従い、使用する側が一切の責任を負うものとします。

参考資料

[CoolRunner XPLA3 デバイス関連資料](#)

[「デバイスパッケージユーザーガイド」](#)

[「パッケージ仕様」](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2000/04/07	1.0	初版リリース
2000/05/03	1.1	マイナー更新およびピン配置表にバウンダリ スキャンを追加
2000/11/20	1.2	ピン配置表を更新。表 4 のメモを「ポート イネーブル ピンが High になる」の記載に修正
2000/12/08	1.3	ピン配置表の更新
2001/01/17	1.4	タイミング モデルの削除
2001/04/11	1.5	標準的な I/V 曲線の追加 (図 2)。ユーザー I/O 総数の追加 (表 2)。V _{OH} 仕様の変更
2001/04/19	1.6	標準的な I/V 曲線の更新 (図 2)。電圧レベルの追加
2001/08/10	1.7	ICC vs. 周波数 (図 1 および表 1) をページ 1 に移動。VQ144 を VQ100 に変更 (表 2)
2002/01/08	1.8	T _{SUF} および T _{FIN} 仕様をソフトウェア タイミングと一致するように変更。AC 特性表にシングル P-term セットアップ タイム (T _{SU1}) を追加し、OR アレイを通過するセットアップ タイムを表すシンボルを T _{SU} から T _{SU2} に変更。T _{INIT} の追加。T _{CONFIG} の更新。T _{HI} のタイプ ミスの修正。AC 負荷回路図を実際のテスト条件により近くなるよう変更し、T _{POD} 遅延値のメモを追加
2003/01/27	1.9	-6 コマーシャルおよび -7 インダストリアル グレードで入手可能な製品および AC/DC パラメータを更新。T _{PCO} (T _{PTCK} の追加)、T _{CONFIG} 、T _{INIT} 、T _F の更新。-6 デバイス用に I _{CC} vs. 周波数曲線を更新。システム周波数を 175MHz に更新。-6 デバイスから Advance 情報を削除。-6 デバイスの軽減曲線の更新。注文情報のフォーマット変更
2003/07/15	2.0	I _{IL} および I _{IH} のテスト条件の変更

日付	バージョン	改訂内容
2003/08/21	2.1	パッケージ デバイのピン 1 を示すマークの更新
2004/02/13	2.2	はんだ付け温度の追加。アプリケーション ノートおよびデータシートへのリンクの追加
2004/07/09	2.3	UMC 工場への移行後、製品の特性評価に基づいて、すべてのファミ デバイスの V_{OH} 、 T_{LOGI3} 仕様を更新。MOSIV 製造製品の T_{PD2} の軽減曲線を削除
2004/11/11	2.4	Preliminary 製品仕様から Product 製品仕様への更新
2005/04/08	2.5	標準 I_{CCSB} および T_{APRPW} 仕様の追加。 T_{SOL} 仕様の削除
2006/03/31	2.6	保証免責条項の追加。鉛フリー パッケージの注文情報を追加