

特長

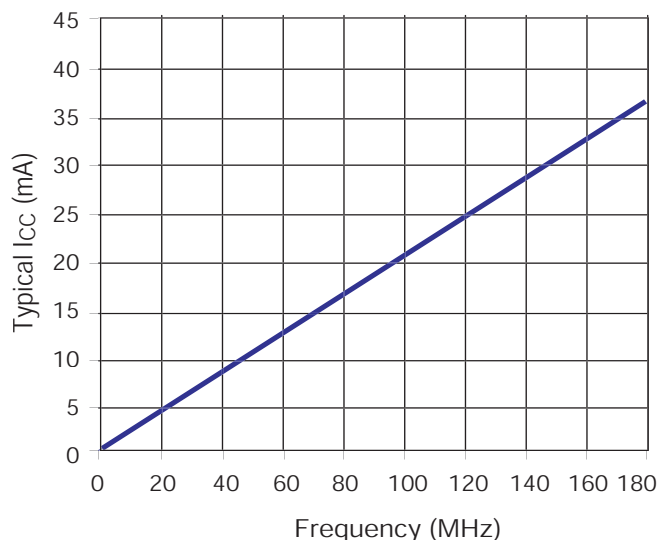
- 低電力 3.3V で 64 個の CPLD
- ピン間のロジック遅延 : 5.5ns
- 最大システム周波数 : 192MHz
- マクロセル数 : 64 個 (1,500 個の使用可能ゲート)
- 小規模なフットプリント パッケージ
 - 44 ピン PLCC (36 個のユーザー I/O)
 - 44 ピン VQFP (36 個のユーザー I/O)
 - 48 ボール CS BGA (40 個のユーザー I/O)
 - 56 ボール CP BGA (48 個のユーザー I/O)
 - 100 ピン VQFP (68 個のユーザー I/O)
- 3.3V システム用に最適化
 - 超低消費電力
 - 標準スタンバイ電流 = 25°C で 17mA
 - 3.3V コア電源で 5V トレラント I/O ピン
 - 高度な 0.35μm、5 層メタル EEPROM プロセス
 - Fast Zero Power™ CMOS デザイン テクノロジー
 - 3.3V PCI 電氣的仕様に準拠する出力 (すべての入力または I/O に内部クランプ ダイオードがなく、クロック入力キャパシタンスの最小値がない)
- 最新のシステム機能
 - インシステム プログラミング
 - 入力レジスタ
 - 予想可能なタイミング モデル
 - 各ファンクション ブロックに最大 23 クロック
 - デザイン変更時の優れたピン固定機能
 - IEEE 1149.1 バウンダリ スキャン (JTAG) を完全サポート
 - 4 つのグローバル クロック
 - 各ファンクション ブロックに 8 個の P-term 制御項
- 高速 ISP プログラミング タイム
- デュアル ファンクション JTAG ISP ピン用のポート イネーブル ピン
- インダストリアル グレード温度範囲で 2.7V ~ 3.6V
- 各マクロセルでスルー レートをプログラム可能
- セキュリティ ビットによる不正アクセス防止
- アーキテクチャの詳細は、『CoolRunner™ XPLA3 ファミリー データシート』(DS012) を参照

ファミリー概要

CoolRunner™ XPLA3 XCR3064XL デバイスは 3.3V で 64 個のマクロセルを持つ CPLD であり、最先端のプログラマブル ロジック ソリューションを必要とする低消費電力デザインをターゲットとするデバイスです。合計 4 個のファンクション ブロックでは、1,500 個のゲートが使用可能です。ピン間の伝播遅延は、最大システム周波数 192MHz で 5.5ns となります。

Fast Zero Power を採用した TotalCMOS デザイン テクニック

CoolRunner XPLA3 CPLD は、プロセス テクノロジーおよびデザイン テクニックの両方において、TotalCMOS™ ソリューションを提供します。このファミリーでは、従来のようにセンス アンプを使用するのではなく、CMOS ゲートをカスケード接続して積和をインプリメントします。このようにインプリメントすることにより、ザイリンクスの CPLD では、消費電力を低下させるとパフォーマンスも低下するという概念を覆し、高パフォーマンスと低消費電力が共に実現可能になりました。XCR3064XL TotalCMOS CPLD の周波数と I_{CC} の関係 (3.3V で 25°C の場合で、4 個のリセット可能な 16 ビット アップ/ダウン カウンタを使用した測定値) を示す図 1 および表 1 を参照してください。



DS017_01_062502

 図 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$, 25°C)

 表 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$, 25°C)

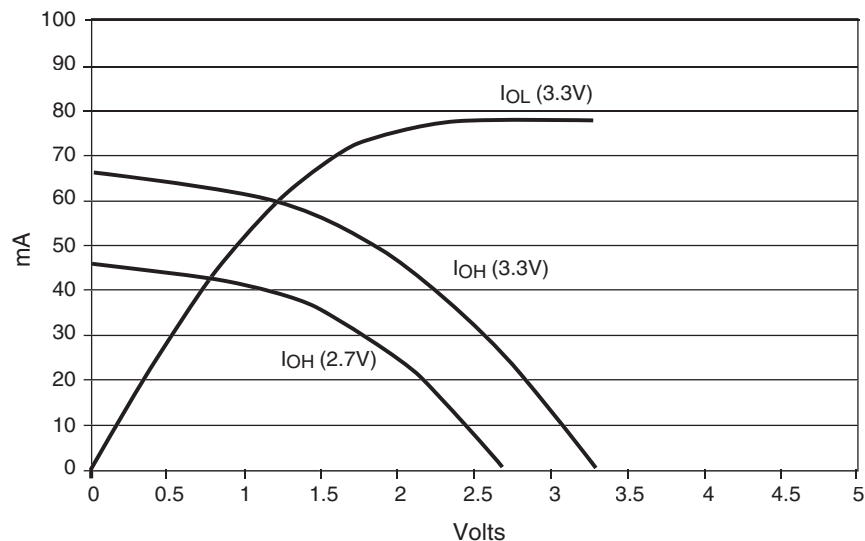
| 周波数 (MHz) | 0 | 1 | 5 | 10 | 20 | 40 | 60 | 80 | 100 | 120 | 140 | 160 | 180 |
|------------------|-------|------|------|------|------|------|-------|-------|-------|-------|-------|-------|-------|
| 標準 I_{CC} (mA) | 0.017 | 0.24 | 1.09 | 2.15 | 4.28 | 8.50 | 12.85 | 16.80 | 20.80 | 25.72 | 29.89 | 33.53 | 36.27 |

推奨動作条件での DC 電気特性(1)

| シンボル | パラメータ | テスト条件 | 標準 | 最小 | 最大 | 単位 |
|------------------|-------------------------------|--|------|-----------------------|------|---------|
| $V_{OH}^{(2)}$ | 最大出力電圧 | $V_{CC} = 3.0V \sim 3.6V, I_{OH} = -8mA$ | - | 2.4 | - | V |
| | | $V_{CC} = 2.7V \sim 3.0V, I_{OH} = -8mA$ | - | 2.0 | - | V |
| | | $I_{OH} = -500\mu A$ | - | 90% $V_{CC}^{(3)}$ | - | V |
| V_{OL} | 3.3V 出力の最小出力電圧 | $I_{OL} = 8mA$ | - | - | 0.4 | V |
| $I_{IL}^{(4)}$ | 入力漏洩電流 | $V_{IN} = GND$ または $V_{CC} \sim 5.5V$ | - | -10 | 10 | μA |
| $I_{IH}^{(4)}$ | I/O が High-Z 時の漏洩電流 | $V_{IN} = GND$ または $V_{CC} \sim 5.5V$ | - | -10 | 10 | μA |
| $I_{CCSB}^{(8)}$ | スタンバイ電流 | $V_{CC} = 3.6V$ | 24.5 | - | 100 | μA |
| I_{CC} | ダイナミック電流 ^(5, 6) | $f = 1MHz$ | - | - | 0.75 | mA |
| | | $f = 50MHz$ | - | - | 15 | mA |
| C_{IN} | 入力ピン キャパシタンス ⁽⁷⁾ | $f = 1MHz$ | - | - | 8 | pF |
| C_{CLK} | クロック入力キャパシタンス ⁽⁷⁾ | $f = 1MHz$ | - | - | 12 | pF |
| $C_{I/O}$ | I/O ピン キャパシタンス ⁽⁷⁾ | $f = 1MHz$ | - | - | 10 | pF |

メモ :

1. 推奨動作条件の詳細は、『CoolRunner XPLA3 ファミリ データシート』(DS012) を参照してください。
2. XPLA3 ファミリの出力ドライブ特性は、図 2 を参照してください。
3. このパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
4. 漏洩電流の標準値は 1mA 未満です。
5. 標準値は、表 1 および図 1 を参照してください。
6. このパラメータは、すべてのファンクションブロックにロードされた 16 ビットのリセット可能なアップ/ダウン カウンタで、すべての出力はディスエーブルおよび負荷がない状態で測定したものです。入力、 V_{CC} またはグランドに接続されています。このパラメータは、テストによるものではなくデザインおよび特性評価によって保証されています。
7. 標準値です (テストされていません)。
8. 70°C の場合の標準値です。



DS012_10_031802

図 2 : CoolRunner XPLA3 ファミリの標準 I/V 曲線 (25)

推奨動作条件での AC 電気特性(1、2)

| シンボル | パラメータ | -6 | | -7 | | -10 | | 単位 |
|-----------------------------|--|-----|-----|-----|-----|-----|------|-----|
| | | 最小 | 最大 | 最小 | 最大 | 最小 | 最大 | |
| T_{PD1} | 伝播遅延時間 (シングル P-term) | - | 5.5 | - | 7.0 | - | 9.1 | ns |
| T_{PD2} | 伝播遅延時間 (OR アレイ) ⁽³⁾ | - | 6.0 | - | 7.5 | - | 10.0 | ns |
| T_{CO} | Clock to Out (グローバル同期ピン クロック) | - | 4.0 | - | 5.0 | - | 6.5 | ns |
| T_{SUF} | セットアップ タイム (高速入力レジスタ) | 2.5 | - | 2.5 | - | 3.0 | - | ns |
| T_{SU1} ⁽⁴⁾ | セットアップ タイム (シングル P-term) | 3.5 | - | 4.3 | - | 5.4 | - | ns |
| T_{SU2} | セットアップ タイム (OR アレイ) | 4.0 | - | 4.8 | - | 6.3 | - | ns |
| T_H ⁽⁴⁾ | ホールド タイム | 0 | - | 0 | - | 0 | - | ns |
| T_{WLH} ⁽⁴⁾ | グローバル クロック パルス幅 (High または Low) | 2.5 | - | 3.0 | - | 4.0 | - | ns |
| T_{PLH} ⁽⁴⁾ | P-term クロック パルスの幅 | 4.0 | - | 5.0 | - | 6.0 | - | ns |
| T_{APRPW} | 非同期プリセット/リセット パルス幅 (High または Low) | 4.0 | - | 5.0 | - | 6.0 | - | ns |
| T_R ⁽⁴⁾ | 入力立ち上がり時間 | - | 20 | - | 20 | - | 20 | ns |
| T_L ⁽⁴⁾ | 入力立ち下がり時間 | - | 20 | - | 20 | - | 20 | ns |
| f_{SYSTEM} ⁽⁴⁾ | 最大システム周波数 | - | 192 | - | 119 | - | 95 | MHz |
| T_{CONFIG} ⁽⁴⁾ | コンフィギュレーション時間 ⁽⁵⁾ | - | 60 | - | 60 | - | 60 | μs |
| T_{INIT} ⁽⁴⁾ | ISP 初期化時間 | - | 60 | - | 60 | - | 60 | μs |
| T_{POE} ⁽⁴⁾ | P-term OE から出力が有効になるまでの時間 | - | 7.5 | - | 9.3 | - | 11.2 | ns |
| T_{POD} ⁽⁴⁾ | P-term OE から出力が無効になるまでの時間 ⁽⁶⁾ | - | 7.5 | - | 9.3 | - | 11.2 | ns |
| T_{PCO} ⁽⁴⁾ | P-term の Clock to Out | - | 7.0 | - | 8.3 | - | 10.7 | ns |
| T_{PAO} ⁽⁴⁾ | P-term のセット/リセットから有効な出力までの時間 | - | 8.0 | - | 9.3 | - | 11.2 | ns |

メモ :

- 出力スイッチング 1 回で測定した仕様です。
- 推奨動作条件は、『CoolRunner XPLA3 ファミリー データシート』(DS012) を参照してください。
- 図 4 を参照してください。
- これらのパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
- コンフィギュレーション中に流れる標準的な電流は、3.6V で 6mA です。
- 出力 $C_L = 5$ pF です。

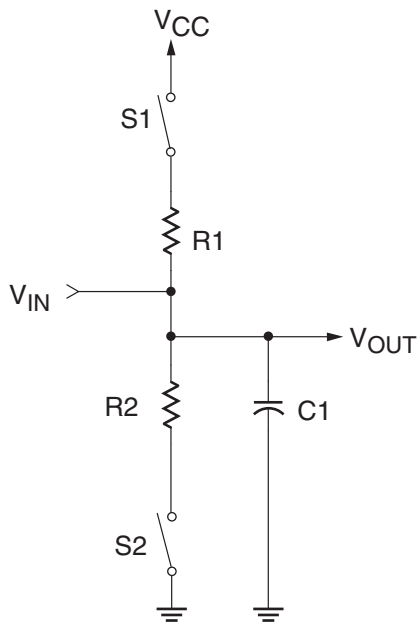
内部タイミングパラメータ(2)

| シンボル | パラメータ | -6 | | -7 | | -10 | | 単位 |
|-------------------------|------------------------|-----|-----|-----|-----|-----|-----|----|
| | | 最小 | 最大 | 最小 | 最大 | 最小 | 最大 | |
| バッファ遅延 | | | | | | | | |
| T _{IN} | 入力バッファ遅延 | - | 1.3 | - | 1.6 | - | 2.2 | ns |
| T _{FIN} | 高速入力バッファ遅延 | - | 2.3 | - | 3.0 | - | 3.1 | ns |
| T _{GCK} | グローバルクロックバッファ遅延 | - | 0.8 | - | 1.0 | - | 1.3 | ns |
| T _{OUT} | 出力バッファ遅延 | - | 2.2 | - | 2.7 | - | 3.6 | ns |
| T _{EN} | 出力バッファイネーブル/ディスエーブル遅延 | - | 4.2 | - | 5.0 | - | 5.7 | ns |
| 内部レジスタおよび組み合わせ遅延 | | | | | | | | |
| T _{LDI} | 透過ラッチ遅延 | - | 1.3 | - | 1.6 | - | 2.0 | |
| T _{SUI} | レジスタセットアップタイム | 1.0 | - | 1.0 | - | 1.2 | - | ns |
| T _{HI} | レジスタホールドタイム | 0.3 | - | 0.5 | - | 0.7 | - | ns |
| T _{ECSU} | レジスタクロックイネーブルセットアップタイム | 2.0 | - | 2.5 | - | 3.0 | - | ns |
| T _{ECHO} | レジスタクロックイネーブルホールドタイム | 3.0 | - | 4.5 | - | 5.5 | - | ns |
| T _{COI} | レジスタのCock to Out遅延 | - | 1.0 | - | 1.3 | - | 1.6 | ns |
| T _{AOI} | レジスタの非同期S/R to Out遅延 | - | 2.5 | - | 2.3 | - | 2.1 | ns |
| T _{RAI} | レジスタの非同期リカバリ時間 | - | 4.0 | - | 5.0 | - | 6.0 | ns |
| T _{PTCK} | 積項クロック遅延 | - | 2.5 | - | 2.7 | - | 3.3 | ns |
| T _{LOGI1} | 内部ロジック遅延(シングルP-term) | - | 2.0 | - | 2.7 | - | 3.3 | ns |
| T _{LOGI2} | 内部ロジック遅延(PLA OR term) | - | 2.5 | - | 3.2 | - | 4.2 | ns |
| フィードバック遅延 | | | | | | | | |
| T _F | ZIA遅延 | - | 0.7 | - | 2.9 | - | 3.5 | ns |
| 追加遅延 | | | | | | | | |
| T _{LOGI3} | NANDのフォールドバック遅延 | - | 2.0 | - | 2.5 | - | 3.0 | ns |
| T _{UDA} | ユニバーサル遅延 | - | 1.5 | - | 2.0 | - | 2.5 | ns |
| T _{SLEW} | スルーレート制限遅延 | - | 4.0 | - | 5.0 | - | 6.0 | ns |

メモ:

- これらのパラメータは、テストによるものではなくデザインおよび特性評価によって保証されております。
- タイミングモデルの詳細は、『CoolRunner XPLA3 ファミリー データシート』([DS012](#))を参照してください。

スイッチ特性



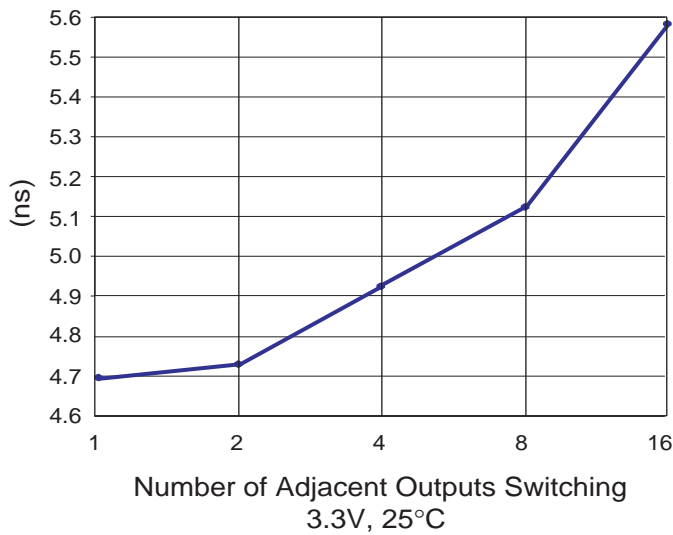
| Component | Values |
|-----------|--------|
| R1 | 390Ω |
| R2 | 390Ω |
| C1 | 35 pF |

| Measurement | S1 | S2 |
|-------------------------|--------|--------|
| T _{POE} (High) | Open | Closed |
| T _{POE} (Low) | Closed | Open |
| T _P | Closed | Closed |

Note: For T_{POD}, C1 = 5 pF. Delay measured at output level of V_{OL} + 300 mV, V_{OH} - 300 mV.

DS017_03_102401

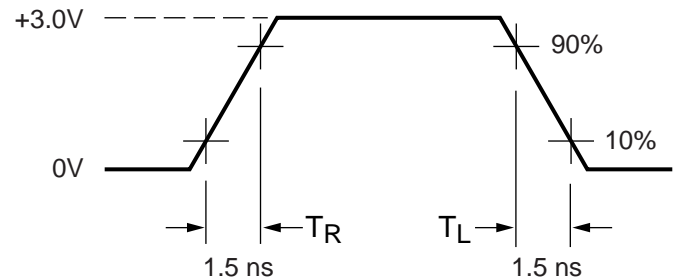
図 3 : AC 負荷回路



Number of Adjacent Outputs Switching
3.3V, 25°C

DS017_04_062502

図 4 : T_{PD2} の軽減曲線 (3.3V、25)



Measurements:

All circuit delays are measured at the +1.5V level of inputs and outputs, unless otherwise specified.

DS017_05_042800

図 5 : 電圧波形

ピンについて

表 2 : XCR3064XL ユーザー I/O ピン

| | PC44 | VQ44 | CS48 | CP56 | VQ100 |
|-------------------|------|------|------|------|-------|
| ユーザー I/O ピンの総数 | 36 | 36 | 40 | 48 | 68 |

表 3 : XCR3064XL I/O ピン

| ファンクション ブロック | マクロ セル | PC44 | VQ44 | CS48 | CP56 | VQ100 |
|-----------------|-----------|-------------------|-------------------|-------------------|--------------------|-------------------|
| 1 | 1 | 41 | 35 | C5 | C8 | 85 |
| 1 | 2 | 40 | 34 | A6 | A8 | 84 |
| 1 | 3 | - | - | - | - | 83 |
| 1 | 4 | - | - | - | A9 | 81 |
| 1 | 5 | - | - | - | A5 | 80 |
| 1 | 6 | - | - | A7 | A10 | 79 |
| 1 | 7 | - | - | - | - | 76 |
| 1 | 8 | 39 | 33 | B6 | B10 | 75 |
| 1 | 9 | 38 ⁽¹⁾ | 32 ⁽¹⁾ | B7 ⁽¹⁾ | C10 ⁽¹⁾ | 73 ⁽¹⁾ |
| 1 | 10 | 37 | 31 | D4 | D8 | 71 |
| 1 | 11 | 36 | 30 | C6 | E8 | 69 |
| 1 | 12 | - | - | - | - | 68 |
| 1 | 13 | - | - | - | - | 67 |
| 1 | 14 | 34 | 28 | D6 | F8 | 65 |
| 1 | 15 | 33 | 27 | D7 | E10 | 64 |
| 1 | 16 | - | - | - | - | 63 |
| 2 | 1 | 4 | 42 | A2 | C4 | 92 |
| 2 | 2 | 5 | 43 | A1 | C3 | 93 |
| 2 | 3 | 6 | 44 | C4 | A1 | 94 |
| 2 | 4 | - | - | - | - | 96 |
| 2 | 5 | - | - | - | B1 | 97 |
| 2 | 6 | - | - | - | - | 98 |
| 2 | 7 | - | - | - | A2 | 99 |
| 2 | 8 | - | - | B2 | A3 | 100 |
| 2 | 9 | 7 ⁽¹⁾ | 1 ⁽¹⁾ | B1 ⁽¹⁾ | C1 ⁽¹⁾ | 4 ⁽¹⁾ |
| 2 | 10 | 8 | 2 | C2 | D1 | 6 |
| 2 | 11 | 9 | 3 | C1 | D3 | 8 |
| 2 | 12 | - | - | - | - | 9 |
| 2 | 13 | - | - | - | - | 10 |
| 2 | 14 | 11 | 5 | D3 | E3 | 12 |

表 3 : XCR3064XL I/O ピン

| ファンクション ブロック | マクロ セル | PC44 | VQ44 | CS48 | CP56 | VQ100 |
|-----------------|-----------|-------------------|-------------------|-------------------|--------------------|-------------------|
| 2 | 15 | 12 | 6 | D1 | F1 | 13 |
| 2 | 16 | - | - | - | - | 14 |
| 3 | 1 | 32 ⁽¹⁾ | 26 ⁽¹⁾ | E5 ⁽¹⁾ | F10 ⁽¹⁾ | 62 ⁽¹⁾ |
| 3 | 2 | 31 | 25 | E7 | G8 | 61 |
| 3 | 3 | - | - | - | - | 60 |
| 3 | 4 | 29 | 23 | F7 | H10 | 58 |
| 3 | 5 | - | - | - | - | 57 |
| 3 | 6 | - | - | - | - | 56 |
| 3 | 7 | - | - | F6 | K8 | 54 |
| 3 | 8 | - | - | - | K10 | 52 |
| 3 | 9 | 28 | 22 | G7 | K9 | 48 |
| 3 | 10 | 27 | 21 | G6 | J10 | 47 |
| 3 | 11 | 26 | 20 | F5 | H8 | 46 |
| 3 | 12 | 25 | 19 | G5 | H7 | 45 |
| 3 | 13 | 24 | 18 | F4 | H6 | 44 |
| 3 | 14 | - | - | - | - | 42 |
| 3 | 15 | - | - | - | K7 | 41 |
| 3 | 16 | - | - | - | - | 40 |
| 4 | 1 | 13 ⁽¹⁾ | 7 ⁽¹⁾ | D2 ⁽¹⁾ | G1 ⁽¹⁾ | 15 ⁽¹⁾ |
| 4 | 2 | 14 | 8 | E1 | F3 | 16 |
| 4 | 3 | - | - | - | - | 17 |
| 4 | 4 | 16 | 10 | F1 | G3 | 19 |
| 4 | 5 | 17 | 11 | G1 | J1 | 20 |
| 4 | 6 | - | - | - | - | 21 |
| 4 | 7 | - | - | - | - | 23 |
| 4 | 8 | - | - | - | K1 | 25 |
| 4 | 9 | 18 | 12 | E4 | K4 | 29 |
| 4 | 10 | 19 | 13 | F2 | K2 | 30 |
| 4 | 11 | 20 | 14 | G2 | K3 | 31 |
| 4 | 12 | 21 | 15 | F3 | H3 | 32 |
| 4 | 13 | - | - | G3 | H4 | 33 |
| 4 | 14 | - | - | - | - | 35 |
| 4 | 15 | - | - | - | K5 | 36 |
| 4 | 16 | - | - | - | - | 37 |

メモ :

1. JTAG ピンです。

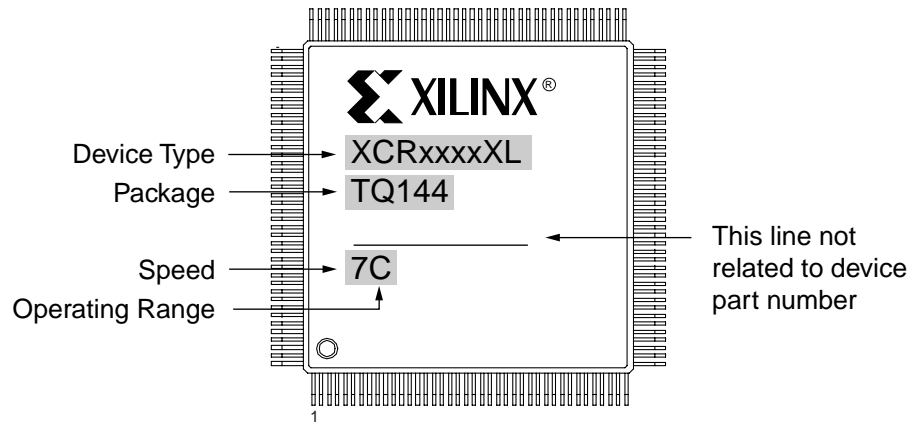
表 4 : XCR3064XL グローバル、JTAG、ポート イネーブル、電源、未接続ピン

| ピン タイプ | PC44 | VQ44 | CS48 | CP56 | VQ100 |
|-----------------|-------------------|------------------|-------------------|--------------------|--|
| IN0 / CLK0 | 2 | 40 | A3 | C5 | 90 |
| IN1 / CLK1 | 1 | 39 | B4 | C6 | 89 |
| IN2 / CLK2 | 44 | 38 | A4 | C7 | 88 |
| IN3 / CLK3 | 43 | 37 | B5 | A6 | 87 |
| TCK | 32 | 26 | E5 | F10 | 62 |
| TDI | 7 | 1 | B1 | C1 | 4 |
| TDO | 38 | 32 | B7 | C10 | 73 |
| TMS | 13 | 7 | D2 | G1 | 15 |
| PORT_EN | 10 ⁽¹⁾ | 4 ⁽¹⁾ | C3 ⁽¹⁾ | E1 ⁽¹⁾ | 11 ⁽¹⁾ |
| V _{CC} | 3, 15, 23, 35 | 9, 17, 29, 41 | B3, C7, E2, G4 | A4, D10, H1, H5 | 3, 18, 34, 39, 51, 66, 82, 91 |
| GND | 22, 30, 42 | 16, 24, 36 | A5, E3, E6 | A7, G10, K6 | 26, 38, 43, 59, 74, 86, 95 |
| 未接続 | - | - | - | - | 1, 2, 5, 7, 22, 24, 27, 28, 49, 50, 53, 55, 70, 72, 77, 78 |

メモ :

1. JTAG ピンを I/O として使用している場合、ポート イネーブルを High にして JTAG ピンを有効にします。詳細は、デバイス ファミリのデータシート ([DS012](#)) を参照してください。

デバイス マーク



Sample package with part marking.

メモ :

1. チップ スケール パッケージは小型であるため、これらのパッケージのマーキングは上記のサンプルとは多少異なり、デバイス番号すべてが記載されているわけではありません。チップ スケール パッケージの場合は次のとおりです (行ごとに説明)。
 - 1 行目 = X (ザイリンクス ロゴ)、XC を省略したデバイス番号 (例 : 3064XL)
 - 2 行目 = デバイス番号とは無関係
 - 3 行目 = デバイス番号とは無関係
 - 4 行目 = パッケージ コード、スピード、動作温度、デバイス番号とは無関係の 3 文字。
パッケージ コード : C1 = CS48、C2 = CSG48、C3 = CP56、C4 = CPG56。

注文情報

| デバイス番号および パッケージ番号 | スピード (ピン間遅延) | パッケージ シンボル | ピン数 | パッケージ タイプ | 動作 範囲 ⁽¹⁾ |
|----------------------|-----------------|---------------|-----|---|-------------------------|
| XCR3064XL-6PC44C | 6ns | PC44 | 44 | Plastic Leaded Chip Carrier (PLCC) | C |
| XCR3064XL-6PCG44C | 6ns | PCG44 | 44 | Plastic Leaded Chip Carrier (PLCC)、鉛フリー | C |
| XCR3064XL-6VQ44C | 6ns | VQ44 | 44 | Very Thin Quad Flat Pack (VQFP) | C |
| XCR3064XL-6VQG44C | 6ns | VQG44 | 44 | Very Thin Quad Flat Pack (VQFP)、鉛フリー | C |
| XCR3064XL-6CS48C | 6ns | CS48 | 48 | Chip Scale Package (CSP) | C |
| XCR3064XL-6CSG48C | 6ns | CSG48 | 48 | Chip Scale Package (CSP)、鉛フリー | C |
| XCR3064XL-6CP56C | 6ns | CP56 | 56 | Chip Scale Package (CSP) | C |
| XCR3064XL-6CPG56C | 6ns | CPG56 | 56 | Chip Scale Package (CSP)、鉛フリー | C |
| XCR3064XL-6VQ100C | 6ns | VQ100 | 100 | Very Thin Quad Flat Package (VQFP) | C |
| XCR3064XL-6VQG100C | 6ns | VQG100 | 100 | Very Thin Quad Flat Package (VQFP)、鉛フリー | C |
| XCR3064XL-7PC44C | 7.5ns | PC44 | 44 | Plastic Leaded Chip Carrier (PLCC) | C |
| XCR3064XL-7PCG44C | 7.5ns | PCG44 | 44 | Plastic Leaded Chip Carrier (PLCC)、鉛フリー | C |
| XCR3064XL-7VQ44C | 7.5ns | VQ44 | 44 | Very Thin Quad Flat Pack (VQFP) | C |
| XCR3064XL-7VQG44C | 7.5ns | VQG44 | 44 | Very Thin Quad Flat Pack (VQFP)、鉛フリー | C |
| XCR3064XL-7CS48C | 7.5ns | CS48 | 48 | Chip Scale Package (CSP) | C |
| XCR3064XL-7CSG48C | 7.5ns | CSG48 | 48 | Chip Scale Package (CSP)、鉛フリー | C |
| XCR3064XL-7CP56C | 7.5ns | CP56 | 56 | Chip Scale Package (CSP) | C |
| XCR3064XL-7CPG56C | 7.5ns | CPG56 | 56 | Chip Scale Package (CSP)、鉛フリー | C |
| XCR3064XL-7VQ100C | 7.5ns | VQ100 | 100 | Very Thin Quad Flat Package (VQFP) | C |
| XCR3064XL-7VQG100C | 7.5ns | VQG100 | 100 | Very Thin Quad Flat Package (VQFP)、鉛フリー | C |
| XCR3064XL-7PC44I | 7.5ns | PC44 | 44 | Plastic Leaded Chip Carrier (PLCC) | I |

注文情報 (続き)

| デバイス番号および パッケージ番号 | スピード (ピン間遅延) | パッケージ シンボル | ピン数 | パッケージ タイプ | 動作 範囲 ⁽¹⁾ |
|----------------------|-----------------|---------------|-----|---|-------------------------|
| XCR3064XL-7PCG44I | 7.5ns | PCG44 | 44 | Plastic Leaded Chip Carrier (PLCC)、鉛フリー | I |
| XCR3064XL-7VQ44I | 7.5ns | VQ44 | 44 | Very Thin Quad Flat Pack (VQFP) | I |
| XCR3064XL-7VQG44I | 7.5ns | VQG44 | 44 | Very Thin Quad Flat Pack (VQFP)、鉛フリー | I |
| XCR3064XL-7CS48I | 7.5ns | CS48 | 48 | Chip Scale Package (CSP) | I |
| XCR3064XL-7CSG48I | 7.5ns | CSG48 | 48 | Chip Scale Package (CSP)、鉛フリー | I |
| XCR3064XL-7CP56I | 7.5ns | CP56 | 56 | Chip Scale Package (CSP) | I |
| XCR3064XL-7CPG56I | 7.5ns | CPG56 | 56 | Chip Scale Package (CSP)、鉛フリー | I |
| XCR3064XL-7VQ100I | 7.5ns | VQ100 | 100 | Very Thin Quad Flat Package (VQFP) | I |
| XCR3064XL-7VQG100I | 7.5ns | VQG100 | 100 | Very Thin Quad Flat Package (VQFP)、鉛フリー | I |
| XCR3064XL-10PC44C | 10ns | PC44 | 44 | Plastic Leaded Chip Carrier (PLCC) | C |
| XCR3064XL-10PCG44C | 10ns | PCG44 | 44 | Plastic Leaded Chip Carrier (PLCC)、鉛フリー | C |
| XCR3064XL-10VQ44C | 10ns | VQ44 | 44 | Very Thin Quad Flat Pack (VQFP) | C |
| XCR3064XL-10VQG44C | 10ns | VQG44 | 44 | Very Thin Quad Flat Pack (VQFP)、鉛フリー | C |
| XCR3064XL-10CS48C | 10ns | CS48 | 48 | Chip Scale Package (CSP) | C |
| XCR3064XL-10CSG48C | 10ns | CSG48 | 48 | Chip Scale Package (CSP)、鉛フリー | C |
| XCR3064XL-10CP56C | 10ns | CP56 | 56 | Chip Scale Package (CSP) | C |
| XCR3064XL-10CPG56C | 10ns | CPG56 | 56 | Chip Scale Package (CSP); Pb-Free | C |
| XCR3064XL-10VQ100C | 10ns | VQ100 | 100 | Very Thin Quad Flat Package (VQFP) | C |
| XCR3064XL-10VQG100C | 10ns | VQG100 | 100 | Very Thin Quad Flat Package (VQFP)、鉛フリー | C |
| XCR3064XL-10PC44I | 10ns | PC44 | 44 | Plastic Leaded Chip Carrier (PLCC) | I |
| XCR3064XL-10PCG44I | 10ns | PCG44 | 44 | Plastic Leaded Chip Carrier (PLCC) | I |
| XCR3064XL-10VQ44I | 10ns | VQ44 | 44 | Very Thin Quad Flat Pack (VQFP) | I |
| XCR3064XL-10VQG44I | 10ns | VQG44 | 44 | Very Thin Quad Flat Pack (VQFP)、鉛フリー | I |
| XCR3064XL-10CS48I | 10ns | CS48 | 48 | Chip Scale Package (CSP) | I |
| XCR3064XL-10CSG48I | 10ns | CSG48 | 48 | Chip Scale Package (CSP)、鉛フリー | I |
| XCR3064XL-10CP56I | 10ns | CP56 | 56 | Chip Scale Package (CSP) | I |
| XCR3064XL-10CPG56I | 10ns | CPG56 | 56 | Chip Scale Package (CSP)、鉛フリー | I |
| XCR3064XL-10VQ100I | 10ns | VQ100 | 100 | Very Thin Quad Flat Package (VQFP) | I |
| XCR3064XL-10VQG100I | 10ns | VQG100 | 100 | Very Thin Quad Flat Package (VQFP)、鉛フリー | I |

メモ :

1. C = コマーシャル: $T_A = 0 \sim +70$ 、I = インダストリアル: $T_A = -40 \sim +85$

保証免責条項

これらの製品は、<http://www.xilinx.co.jp/warranty.htm> に記載する XILINX (以下「ザイリンクス」とする) 限定保証に従うものとします。当限定保証では、該当時点での該当製品ザイリンクスデータシートに記載されている以外のアプリケーションまたは環境での使用については保証いたしません。更に製品はフェイルセーフ設計されたものではなく、身体的危害または人命損失などの危険性のあるアプリケーションでの使用に対して、ザイリンクスは一切の保証責任を負いません。かかるアプリケーションでの使用は、適応される法律および規制に従い、使用する側が一切の責任を負うものとします。

参考文献

[CoolRunner XPLA3 デバイス関連資料](#)

[「デバイスパッケージ ユーザー ガイド」](#)

[「パッケージ仕様」](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

| 日付 | バージョン | 改訂内容 |
|------------|-------|--|
| 2000/06/01 | 1.0 | 初版リリース |
| 2000/08/30 | 1.1 | 48 ボール CS BGA パッケージの追加 |
| 2000/11/18 | 1.2 | Product データシートへの更新。表 4 のメモを「ポート イネーブル ピンが High になる」の記載に修正 |
| 2000/12/08 | 1.3 | PC44 パッケージの追加 |
| 2001/04/11 | 1.4 | 標準的な I/V 曲線の追加 (図 2)、ユーザー I/O 総数の追加 (表 2)、 V_{OH} 仕様の変更 |
| 2001/04/19 | 1.5 | 標準的な I/V 曲線の変更 (図 2)、電圧レベルの追加 |
| 2002/01/08 | 1.6 | I_{CC} vs. 周波数をページ 1 に移動 (図 1 および表 1)。AC 特性表にシングル P-term セットアップ タイム (T_{SU1}) を追加し、OR アレイを通過するセットアップタイムのシンボルを T_{SU} から T_{SU2} に変更。 T_{SUF} および T_{FIN} をソフトウェア タイミングと一致するよう変更。 T_{INIT} の追加。 T_{CONFIG} の変更。 T_{HI} のタイプ ミスの修正。AC 負荷回路図を実際のテスト条件により近くように変更し、 T_{POD} 遅延値のメモを追加。AC 特性表のメモ 5 をコンフィギュレーション中に流れる標準的な電流値が小さくなるように変更 |
| 2002/04/02 | 1.7 | UMC 工場へ移行後の特性評価に基づき、 V_{OH} 、 F_{SYSTEM} 、 T_{PCO} (T_{PTCK} の追加)、 T_F 、および T_{LOG13} を更新。DC 特性表のメモに標準的な漏洩電流の記載を追加。新しい評価データによって、標準的な I_{CC} vs. 周波数および T_{PD2} 軽減曲線 を更新 (16 出力スイッチングに対して 5.4ns) |
| 2003/01/27 | 1.8 | 標準的な I_{CC} vs. 周波数 (図 1) および T_{PD2} の軽減曲線 (図 4) を修正。UMC 工場へ移行後の特性評価に基づき、-6 グレードの F_{MAX} 、 $I_{CC}@f=1MHz$ を更新。注文情報のフォーマット変更 |
| 2003/07/15 | 1.9 | デバイス マークの更新。 I_{IL} および I_{IH} のテスト条件の変更 |
| 2003/08/21 | 2.0 | パッケージ デバイスのピン 1 を示すマーキングを変更 |
| 2004/02/13 | 2.1 | はんだ付け温度の追加。アプリケーション ノート、データシートおよびパッケージ情報へのリンクの追加 |
| 2005/04/08 | 2.2 | 標準 I_{CCSB} および T_{APRPW} 仕様の追加。 T_{SOL} 仕様の削除 |
| 2006/03/31 | 2.3 | 保証免責条項の追加。鉛フリー パッケージの注文情報の追加 |