

特長

- 低電力 3.3V で 32 個のマクロセル CPLD
- ピン間のロジック遅延 : 4.5ns
- 最大システム周波数 : 213MHz
- 32 個のマクロセル (750 個の利用可能なゲート)
- 小規模なフットプリント パッケージ
 - 48 ボール CS BGA (36 個のユーザー I/O)
 - 44 ピン VQFP (36 個のユーザー I/O)
 - 44 ピン PLCC (36 個のユーザー I/O)
- 3.3V システム用に最適化
 - 超低消費電力
 - 標準スタンバイ電流 = 25 で 17 μ A
 - 3.3V コア供給で 5V トレナント I/O ピン
 - 高度な 0.35 μ 5 層メタル EEPROM プロセス
 - Fast Zero Power™ (FZP) CMOS テクノロジ
 - 3.3V PCI 電氣的仕様に準拠する出力 (すべての入力または I/O に内部クランプ ダイオードがなく、クロック入力キャパシタンスの最小値がない)
- 高度なシステム機能
 - インシステム プログラミング
 - 入力レジスタ
 - 予想可能なタイミング モデル
 - 各ファンクション ブロックに最大 23 クロック
 - デザイン変更時の優れたピン固定機能
 - IEEE 1149.1 バウンダリ スキャン (JTAG) を完全サポート
 - 4 つのグローバル クロック
 - 各ファンクション ブロックに 8 個の P-term 制御項
- 高速 ISP プログラミング タイム
- JTAG ISP ピンのデュアル ファンクションにポートイネーブル
- インダストリアルグレード温度範囲で 2.7V ~ 3.6V
- 各出力でスルー レートをプログラム可能
- セキュリティ ビットによる不正アクセス防止
- アーキテクチャの詳細は、『CoolRunner XPLA3 ファミリーデータシート』(DS012) を参照

ファミリの概要

CoolRunner™ XPLA3 XCR3032XL デバイスは、3.3V で 32 個のマクロセルを持つ CPLD であり、最先端のプログラマブルロジックソリューションを必要とする低消費電力デザインをターゲットとするデバイスです。合計 2 個のファンクションブロックでは 750 個のゲートが使用可能です。ピン間の伝播遅延は、最大システム周波数 213MHz で 4.5ns となります。

Fast Zero Power を採用した TotalCMOS デザイン テクノロジ

CoolRunner XPLA3 CPLD は、プロセス テクノロジおよびデザイン テクニックの両方において TotalCMOS™ ソリューションを提供します。このファミリは、従来のようにセンス アンプを使用するのではなく、CMOS ゲートをカスケード接続して積和をインプリメントします。CMOS ゲートをインプリメントすることにより、ザイリンクスの CPLD では、消費電力を低下させるとパフォーマンスも低下するという概念を覆し、高パフォーマンスと低消費電力が共に実現可能になりました。XCR3032XL の TotalCMOS CPLD の周波数と I_{CC} の関係 (3.3V で 25 の場合で、16 ビット アップ/ダウン カウンタを使用した測定値) を示す図 1 および表 1 を参照してください。

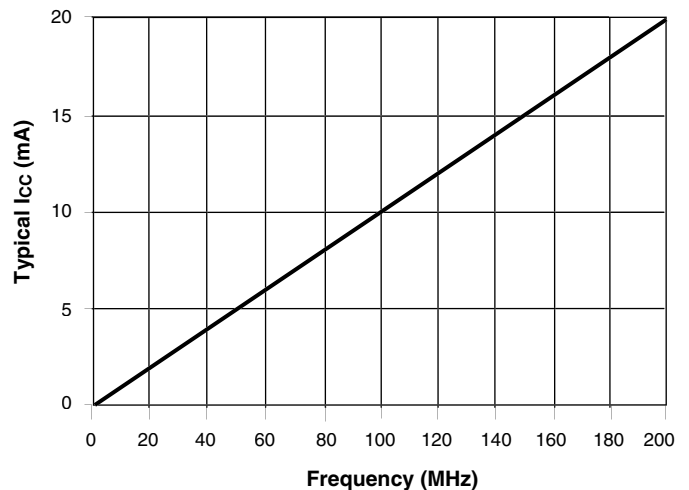


図 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$, 25)

表 1 : 標準的な I_{CC} と周波数の関係 ($V_{CC} = 3.3V$, 25)

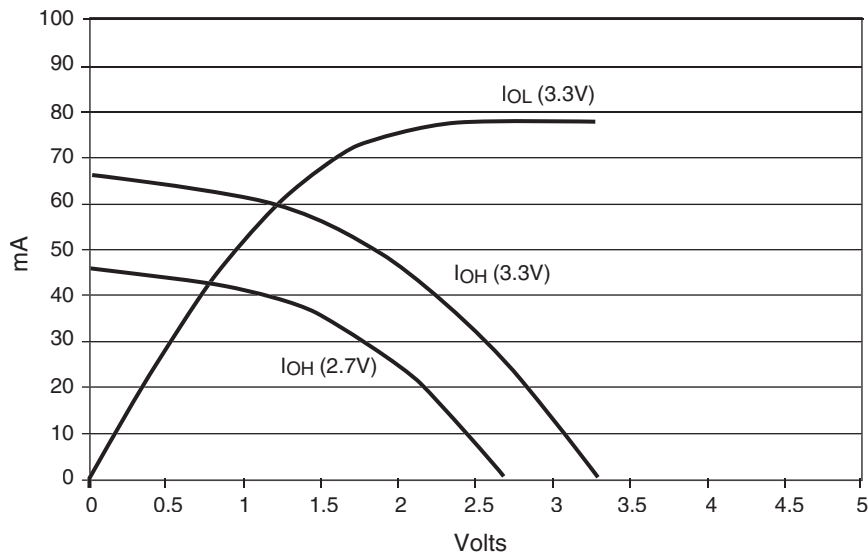
周波数 (MHz)	0	1	5	10	20	50	100	200
標準的な I_{CC} (mA)	0.017	0.13	0.54	1.06	2.09	5.2	10.26	20.3

推奨動作条件での DC 電気特性(1)

シンボル	パラメータ	テスト条件	標準	最小	最大	単位
$V_{OH}^{(2)}$	最大出力電圧	$V_{CC} = 3.0V \sim 3.6V, I_{OH} = -8mA$	-	2.4	-	V
		$V_{CC} = 2.7V \sim 3.0V, I_{OH} = -8mA$	-	2.0	-	V
		$I_{OH} = -500\mu A$	-	$90\% V_{CC}^{(3)}$	-	V
V_{OL}	最小出力電圧	$I_{OL} = 8mA$	-	-	0.4	V
$I_{IL}^{(4)}$	入力漏洩電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$	-	-10	10	μA
$I_{IH}^{(4)}$	I/O が High-Z 時の漏洩電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$	-	-10	10	μA
$I_{CCSB}^{(8)}$	スタンバイ電流	$V_{CC} = 3.6V$	24.5	-	100	μA
I_{CC}	ダイナミック電流 ^(5,6)	$f = 1MHz$	-	-	0.25	mA
		$f = 50MHz$	-	-	7.5	mA
C_{IN}	入力ピン キャパシタンス ⁽⁷⁾	$f = 1MHz$	-	-	8	pF
C_{CLK}	クロック入力キャパシタンス ⁽⁷⁾	$f = 1MHz$	-	-	12	pF
$C_{I/O}$	I/O ピン キャパシタンス ⁽⁷⁾	$f = 1MHz$	-	-	10	pF

メモ：

1. 推奨動作条件の詳細は、『CoolRunner XPLA3 ファミリー データシート』(DS012) を参照してください。
2. CoolRunner XPLA3 ファミリーの出力ドライブ特性は、図 2 を参照してください。
3. このパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
4. 標準の漏洩電流は $1\mu A$ 以下です。
5. 標準値は、表 1 および図 1 を参照してください。
6. このパラメータは、すべてのファンクション ブロックにロードされた 16 ビットのリセット可能なアップ/ダウン カウンタで、すべての出力はディセーブルおよび負荷がない状態で測定されたものです。入力は、 V_{CC} またはグラウンドに接続されています。このパラメータは、テストによるものではなくデザインおよび特性評価によって保証されています。
7. 標準値です (テストされていません)。
8. 70 の場合の標準値です。



DS012_10_031802

図 2 : CoolRunner XPLA3 ファミリーの標準 I/V 曲線 (25)

推奨動作条件での AC 電気特性(1、2)

シンボル	パラメータ	-5		-7		-10		単位
		最小	最大	最小	最大	最小	最大	
T _{PD1}	伝播遅延時間 (シングル P-term)		4.5	-	7.0	-	9.1	ns
T _{PD2}	伝播遅延時間 (OR アレイ) ⁽³⁾		5.0	-	7.5	-	10.0	ns
T _{CO}	Clock to Out (グローバル同期ピン クロック)		3.5		5.0	-	6.5	ns
T _{SUF}	セットアップ タイム (高速入力レジスタ)	2.5	-	3.0	-	3.0	-	ns
T _{SU1} ⁽⁴⁾	セットアップ タイム (シングル P-term)	3.0	-	4.3	-	5.4	-	ns
T _{SU2}	セットアップ タイム (OR アレイ)	3.5	-	4.8	-	6.3	-	ns
T _H ⁽⁴⁾	ホールド タイム	0	-	0	-	0	-	ns
T _{WLH} ⁽⁴⁾	グローバル クロック パルス幅 (High または Low)	2.5	-	3.0	-	4.0	-	ns
T _{PLH} ⁽⁴⁾	P-term クロック パルス幅	4.0	-	5.0	-	6.0	-	ns
T _{APRPW}	非同期プリセット/リセット パルス幅 (High または Low)	4.0	-	5.0	-	6.0	-	ns
T _R ⁽⁴⁾	入力立ち上がり時間	-	20	-	20	-	20	ns
T _L ⁽⁴⁾	入力立ち下がり時間	-	20	-	20	-	20	ns
f _{SYSTEM} ⁽⁴⁾	最大システム周波数	-	213	-	119	-	95	MHz
T _{CONFIG} ⁽⁴⁾	コンフィギュレーション時間 ⁽⁵⁾	-	30	-	30	-	30	μs
T _{INIT} ⁽⁴⁾	ISP 初期化時間	-	30	-	30	-	30	μs
T _{POE} ⁽⁴⁾	P-term OE から出力が有効になるまでの時間	-	7.2	-	9.3	-	11.2	ns
T _{POD} ⁽⁴⁾	P-term OE から出力が無効になるまでの時間 ⁽⁶⁾	-	7.2	-	9.3	-	11.2	ns
T _{PCO} ⁽⁴⁾	P-term の Clock to Out	-	6.0	-	8.3	-	10.7	ns
T _{PAO} ⁽⁴⁾	P-term のセット/リセットから有効な出力までの時間	-	6.5	-	9.3	-	11.2	ns

メモ :

- 出力スイッチング 1 回で測定した仕様です。
- 推奨動作条件の詳細は、『CoolRunner XPLA3 ファミリー データ シート』(DS012) を参照してください。
- 詳細は、図 4 を参照してください。
- これらのパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
- コンフィギュレーション中に流れる標準的な電流は、3.6V で 3mA です。
- 出力 C_L = 5 pF です。

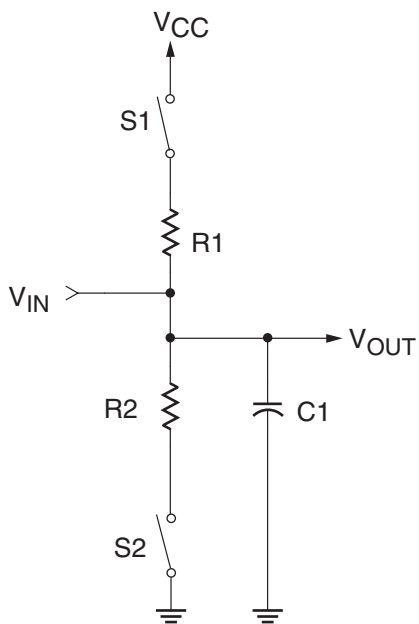
内部タイミングパラメータ(1、2)

シンボル	パラメータ	-5		-7		-10		単位
		最小	最大	最小	最大	最小	最大	
バッファ遅延								
T _{IN}	入力バッファ遅延	-	0.7	-	1.6	-	2.2	ns
T _{FIN}	高速入力バッファ遅延	-	2.2	-	3.0	-	3.1	ns
T _{GCK}	グローバルクロックバッファ遅延	-	0.7	-	1.0	-	1.3	ns
T _{OUT}	出力バッファ遅延	-	1.8	-	2.7	-	3.6	ns
T _{EN}	出力バッファ イネーブル/ディスエーブル遅延	-	4.5	-	5.0	-	5.7	ns
内部レジスタ、P-term、組み合わせ遅延								
T _{LDI}	透過ラッチ遅延	-	1.3	-	1.6	-	2.0	ns
T _{SUI}	レジスタセットアップタイム	1.0	-	1.0	-	1.2	-	ns
T _{HI}	レジスタホールドタイム	0.3	-	0.5	-	0.7	-	ns
T _{ECSU}	レジスタクロックイネーブルセットアップタイム	2.0	-	2.5	-	3.0	-	ns
T _{ECHO}	レジスタクロックイネーブルホールドタイム	3.0	-	4.5	-	5.5	-	ns
T _{COI}	レジスタ Clock to Out 遅延	-	1.0	-	1.3	-	1.6	ns
T _{AOI}	レジスタの非同期 S/R to Out 遅延	-	2.0	-	2.3	-	2.1	ns
T _{RAI}	レジスタの非同期リカバリ時間/遅延	-	3.5	-	5.0	-	6.0	ns
T _{PTCK}	P-term クロック遅延	-	2.5	-	2.7	-	3.3	ns
T _{LOGI1}	内部ロジック遅延 (シングル P-term)	-	2.0	-	2.7	-	3.3	ns
T _{LOGI2}	内部ロジック遅延 (PLA OR-term)	-	2.5	-	3.2	-	4.2	ns
フィードバック遅延								
T _F	ZIA 遅延	-	0.2	-	2.9	-	3.5	ns
追加遅延								
T _{LOGI3}	NAND のフォールドバック遅延	-	2.0	-	2.5	-	3.0	ns
T _{UDA}	ユニバーサル遅延	-	1.2	-	2.0	-	2.5	ns
T _{SLEW}	スルー レート制限遅延	-	4.0	-	5.0	-	6.0	ns

メモ :

- これらのパラメータは、テストによるものではなくデザインおよび特性評価によって保証されております。
- タイミングモデルの詳細は、『CoolRunner XPLA3 ファミリー データシート』 ([DS012](#)) を参照してください。

スイッチ特性



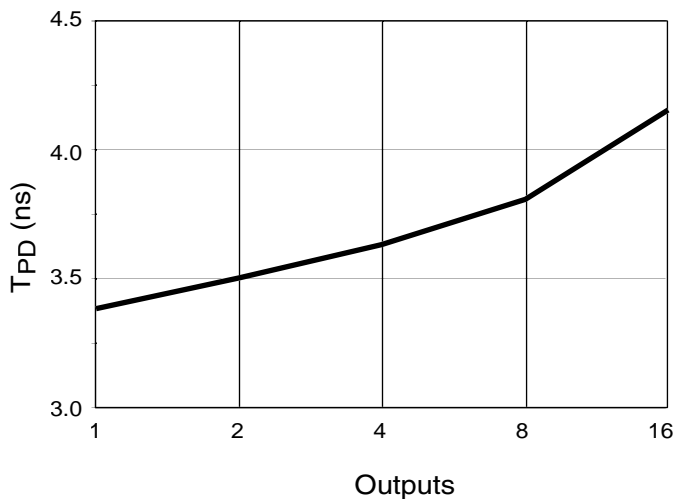
Component	Values
R1	390Ω
R2	390Ω
C1	35 pF

Measurement	S1	S2
T _{POE} (High)	Open	Closed
T _{POE} (Low)	Closed	Open
T _P	Closed	Closed

Note: For T_{POD}, C1 = 5 pF. Delay measured at output level of V_{OL} + 300 mV, V_{OH} - 300 mV.

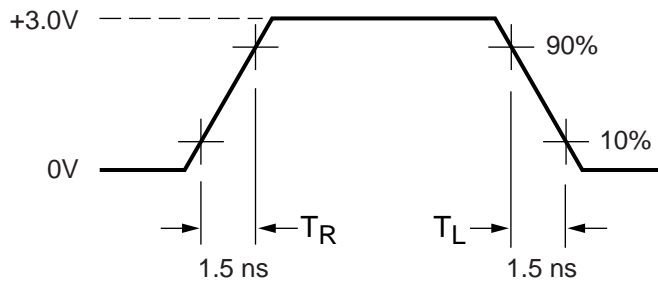
DS023_03_102401

図 3 : AC 負荷回路



DS023_05_061101

図 4 : T_{PD2} の軽減曲線



Measurements:

All circuit delays are measured at the +1.5V level of inputs and outputs, unless otherwise specified.

DS023_06_042800

図 5 : 電圧波形

ピンの説明

表 2 : XCR3032XL ユーザー I/O ピン

	PC44	VQ44	CS48
ユーザー I/O ピンの総数	36	36	36

表 3 : XCR3032XL I/O ピン

ファンクションブロック	マクロセル	PC44	VQ44	CS48
1	1	4	42	A2
1	2	5	43	A1
1	3	6	44	C4
1	4	7 ⁽¹⁾	1 ⁽¹⁾	B1 ⁽¹⁾
1	5	8	2	C2
1	6	9	3	C1
1	7	11	5	D3
1	8	12	6	D1
1	9	13 ⁽¹⁾	7 ⁽¹⁾	D2 ⁽¹⁾
1	10	14	8	E1
1	11	16	10	F1
1	12	17	11	G1
1	13	18	12	E4
1	14	19	13	F2
1	15	20	14	G2
1	16	21	15	F3
2	1	41	35	C5
2	2	40	34	A6
2	3	39	33	B6
2	4	38 ⁽¹⁾	32 ⁽¹⁾	B7 ⁽¹⁾
2	5	37	31	D4
2	6	36	30	C6
2	7	34	28	D6
2	8	33	27	D7
2	9	32 ⁽¹⁾	26 ⁽¹⁾	E5 ⁽¹⁾
2	10	31	25	E7
2	11	29	23	F7
2	12	28	22	G7

表 3 : XCR3032XL I/O ピン

ファンクションブロック	マクロセル	PC44	VQ44	CS48
2	13	27	21	G6
2	14	26	20	F5
2	15	25	19	G5
2	16	24	18	F4

メモ :

1. JTAG ピンです。

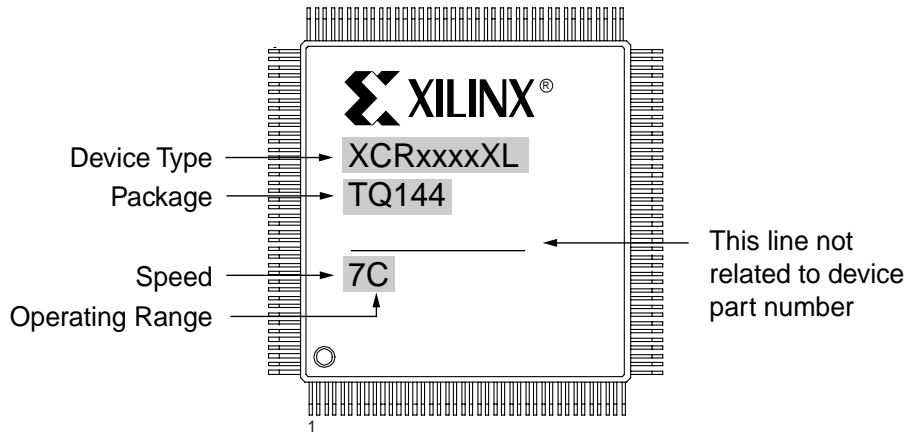
表 4 : XCR3032XL グローバル、JTAG、ポート イネーブル、電源、未接続ピン

ピン タイプ	PC44	VQ44	CS48
IN0 / CLK0	2	40	A3
IN1 / CLK1	1	39	B4
IN2 / CLK2	44	38	A4
IN3 / CLK3	43	37	B5
TCK	32	26	E5
TDI	7	1	B1
TDO	38	32	B7
TMS	13	7	D2
PORT_EN	10 ⁽¹⁾	4 ⁽¹⁾	C3 ⁽¹⁾
V _{CC}	3、15、23、35	9、17、29、41	B3、C7、E2、G4
GND	22、30、42	16、24、36	A5、E3、E6
未接続	-	-	A7、B2、F6、G3

メモ :

1. JTAG ピンが I/O として使用される場合、ポート イネーブルが High になり、JTAG ピンを有効にします。詳細は、デバイスファミリのデータシート ([DS012](#)) を参照してください。

デバイス マーク



Sample package with part marking.

メモ :

1. チップ スケール パッケージは小型であるため、これらのパッケージのマーキングは上記のサンプルとは多少異なり、すべてのデバイス番号が記載されているわけではありません。チップ スケール パッケージのデバイス マーキングは次のとおりです (行ごとに説明)。
 - 1 行目: X (ザイリンクス ロゴ)、XC を省略したデバイス番号 (例: 3064XL)
 - 2 行目: デバイス番号とは無関係
 - 3 行目: デバイス番号とは無関係
 - 4 行目: パッケージ コード、スピード、動作温度、デバイス番号とは無関係の 3 文字。
パッケージ コード: C1 = CS48、C2 = CSG48

注文情報

デバイス番号および パッケージ番号	スピード グレード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 ⁽¹⁾
XCR3032XL-5PC44C	5ns	PC44	44	Plastic Leaded Chip Carrier (PLCC)	C
XCR3032XL-5PCG44C	5ns	PCG44	44	Plastic Leaded Chip Carrier (PLCC)、鉛フリー	C
XCR3032XL-5VQ44C	5ns	VQ44	44	Very Thin Quad Flat Pack (VQFP)	C
XCR3032XL-5VQG44C	5ns	VQG44	44	Very Thin Quad Flat Pack (VQFP)、鉛フリー	C
XCR3032XL-5CS48C	5ns	CS48	48	Chip Scale Package (CSP)	C
XCR3032XL-5CSG48C	5ns	CSG48	48	Chip Scale Package (CSP)、鉛フリー	C
XCR3032XL-7PC44C	7.5ns	PC44	44	Plastic Leaded Chip Carrier (PLCC)	C
XCR3032XL-7PCG44C	7.5ns	PCG44	44	Plastic Leaded Chip Carrier (PLCC)、鉛フリー	C
XCR3032XL-7VQ44C	7.5ns	VQ44	44	Very Thin Quad Flat Pack (VQFP)	C
XCR3032XL-7VQG44C	7.5ns	VQG44	44	Very Thin Quad Flat Pack (VQFP)、鉛フリー	C
XCR3032XL-7CS48C	7.5ns	CS48	48	Chip Scale Package (CSP)	C
XCR3032XL-7CSG48C	7.5ns	CSG48	48	Chip Scale Package (CSP)、鉛フリー	C
XCR3032XL-7PC44I	7.5ns	PC44	44	Plastic Leaded Chip Carrier (PLCC)	I
XCR3032XL-7PCG44I	7.5ns	PCG44	44	Plastic Leaded Chip Carrier (PLCC)、鉛フリー	I
XCR3032XL-7VQ44I	7.5ns	VQ44	44	Very Thin Quad Flat Pack (VQFP)	I

注文情報 (続き)

デバイス番号および パッケージ番号	スピード グレード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 ⁽¹⁾
XCR3032XL-7VQG44I	7.5ns	VQG44	44	Very Thin Quad Flat Pack (VQFP)、鉛フリー	I
XCR3032XL-7CS48I	7.5ns	CS48	48	Chip Scale Package (CSP)	I
XCR3032XL-7CSG48I	7.5ns	CSG48	48	Chip Scale Package (CSP)、鉛フリー	I
XCR3032XL-10PC44C	10ns	PC44	44	Plastic Leaded Chip Carrier (PLCC)	C
XCR3032XL-10PCG44C	10ns	PCG44	44	Plastic Leaded Chip Carrier (PLCC)、鉛フリー	C
XCR3032XL-10VQ44C	10ns	VQ44	44	Very Thin Quad Flat Pack (VQFP)	C
XCR3032XL-10VQG44C	10ns	VQG44	44	Very Thin Quad Flat Pack (VQFP)、鉛フリー	C
XCR3032XL-10CS48C	10ns	CS48	48	Chip Scale Package (CSP)	C
XCR3032XL-10CSG48C	10ns	CSG48	48	Chip Scale Package (CSP)、鉛フリー	C
XCR3032XL-10PC44I	10ns	PC44	44	Plastic Leaded Chip Carrier (PLCC)	I
XCR3032XL-10PCG44I	10ns	PCG44	44	Plastic Leaded Chip Carrier (PLCC)、鉛フリー	I
XCR3032XL-10VQ44I	10ns	VQ44	44	Very Thin Quad Flat Pack (VQFP)	I
XCR3032XL-10VQG44I	10ns	VQG44	44	Very Thin Quad Flat Pack (VQFP)、鉛フリー	I
XCR3032XL-10CS48I	10ns	CS48	48	Chip Scale Package (CSP)	I
XCR3032XL-10CSG48I	10ns	CSG48	48	Chip Scale Package (CSP)、鉛フリー	I

メモ :

1. C = コマーシャル: $T_A = 0 \sim +70$ 、I = インダストリアル: $T_A = -40 \sim +85$

保証免責条項

これらの製品は、<http://www.xilinx.co.jp/warranty.htm> に記載する XILINX (以下「ザイリンクス」とする) 限定保証に従うものとします。当限定保証では、該時点での該当製品ザイリンクスデータシートに記載されている以外のアプリケーションまたは環境での使用については保証いたしません。更に製品はフェイルセーフ設計されたものではなく、身体的危害または人命損失などの危険性のあるアプリケーションでの使用に対して、ザイリンクスは一切の保証責任を負いません。かかるアプリケーションでの使用は、適応される法律および規制に従い、使用する側が一切の責任を負うものとします。

参考文献

[CoolRunner XPLA3 デバイス関連資料](#)

[『パッケージ仕様』](#)

[『デバイスパッケージ ユーザー ガイド』](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2000/11/18	1.0	初版リリース
2001/02/05	1.1	タイミングモデルの削除
2001/04/11	1.2	UMC 特性評価データを満たすため、TSUF 仕様を変更。I _{cc} と周波数の関係を追加 (表 1 と図 1)。標準的な I/V 曲線の追加 (図 2)。ユーザー I/O 総数の追加 (表 2)。V _{OH} 仕様の変更。
2001/04/19	1.3	標準的な I/V 曲線の変更 (図 2)。電圧レベルの追加
2001/08/27	1.4	Advance から Preliminary 仕様へ変更。DC 電気特性の変更。AC 電気特性の変更。内部タイミングパラメータの変更。軽減曲線の追加。-10 インダストリアルパッケージの追加。図 1 および表 1 に 200MKz を追加。-5 F _{SYSTEM} を 200MHz に変更。-5 T _F を 0.5ns に変更
2002/01/08	1.5	T _{HI} の仕様を修正。シングル P-term セットアップタイム (T _{SU1}) を AC 表に追加。OR アレイを通るセットアップタイムシンボルを T _{SU} から T _{SU2} に変更。AC 負荷回路図を真のテスト条件に近づけるために変更。T _{POD} 遅延測定のコピー追加。AC 特性の表メモ 5 を変更し、コンフィギュレーション中に流れる電流量が低減
2003/01/06	1.6	図 2 に電圧と温度を追加。内部タイミングモデルに T _{PTCK} パラメータを追加して、5 T _{PCO} から 6.0 (~ 5.5ns) へ増加。-5 F _{MAX} を増加。注文情報のフォーマット変更
2003/07/15	1.7	デバイスマーキングの変更。I _{IL} および I _{IH} のテスト条件の変更
2003/08/21	1.8	パッケージデバイスマーキングのピン 1 の位置を変更
2004/02/13	1.9	はんだ付け温度仕様の追加。データシート、アプリケーションノートおよびパッケージ情報へのリンクを追加
2005/04/08	2.0	標準 I _{CCSB} および T _{APRPW} 仕様の追加。T _{SOL} 仕様の削除。鉛フリーパッケージのメモを追加
2006/03/31	2.1	保証免責条項の追加。鉛フリーパッケージの注文情報を追加