

特徴

- ザイリンクス FPGA のコンフィギュレーションに使用する、インシステムでプログラムが可能な 3.3V PROM
 - プログラム/消去のサイクルは 2 万回まで可能
 - 商業用または工業用に使用されるあらゆる電圧、温度範囲でプログラム/消去が可能
- IEEE 1149.1 バウンダリ スキャン (JTAG) をサポート
- FPGA とのインターフェイスが単純で、ユーザー I/O ピン 1 つのみでもコンフィギュレーションが可能
- 長いビットストリームや複数のビットストリームをカスケード接続で保存
- 2 種類のコンフィギュレーションモード
 - 低速/高速のシリアル コンフィギュレーション (最大 33MHz)
 - パラレル コンフィギュレーション (33MHz で最大 264Mbps)
- 最新の低電力 CMOS FLASH プロセス
- 5V トラレント I/O ピンの使用で、5V だけでなく 3.3V、2.5V の信号も処理
- 3.3V または 2.5V の出力が可能
- PC20、SO20、PC44、VQ44 パッケージで使用可能
- Alliance や Foundation シリーズといったザイリンクスのソフトウェアによるデザイン サポート
- 一般的な FPGA コンフィギュレーションを JTAG コマンドで開始

概要

ザイリンクスでは、インシステムでプログラムが可能なコンフィギュレーション PROM の XC18V00 シリーズを提供しています。この 3.3V ファミリの主な PROM の容量には、4Mb、2Mb、1Mb、512Kb、256Kb があります。これらの PROM は使いやすく経済的なことから、ザイリンクスの大規模な FPGA や CPLD のコンフィギュレーション ビットストリームの再プログラムおよび保存に最適です。

FPGA がマスタ シリアルモードの場合、CCLK (コンフィギュレーション クロック) が生成され、PROM が駆動されます。CCLK が立ち上がると、PROM の DATA (D0) ピンが短時間で駆動され、FPGA の D_{IN} ピンに接続されます。その後、FPGA で該当する数のクロック パルスが生成され、コンフィギュレーションが終了します。FPGA がスレーブ シリアルモードの場合、PROM と FPGA は外部クロックで駆動されます。

FPGA が Express モードまたは SelectMAP モードの場合、外部オシレータが CCLK を生成し、PROM と FPGA が駆動されます。CCLK のエッジが立ち上がると、PROM の DATA (D0 ~ D7) ピンが駆動されます。次に CCLK が立ち上がると、DATA ピンの値が FPGA に送られます。Express モード、SelectMAP モードのどちらもレングス カウントを使用しないため、フリーランニングのオシレータが使用されます (図 6 を参照)。

CEO 出力を使用してほかのデバイスの \overline{CE} 入力を駆動すると、複数のデバイスを接続できます。このチェーンにあるどの PROM でも、CLK 入力と DATA 出力は内部接続されています。デバイスはすべて互換性があり、ほかのデバイス ファミリーや 1 回しかプログラムできないシリアル PROM である XC17V00 とカスケード接続ができます。

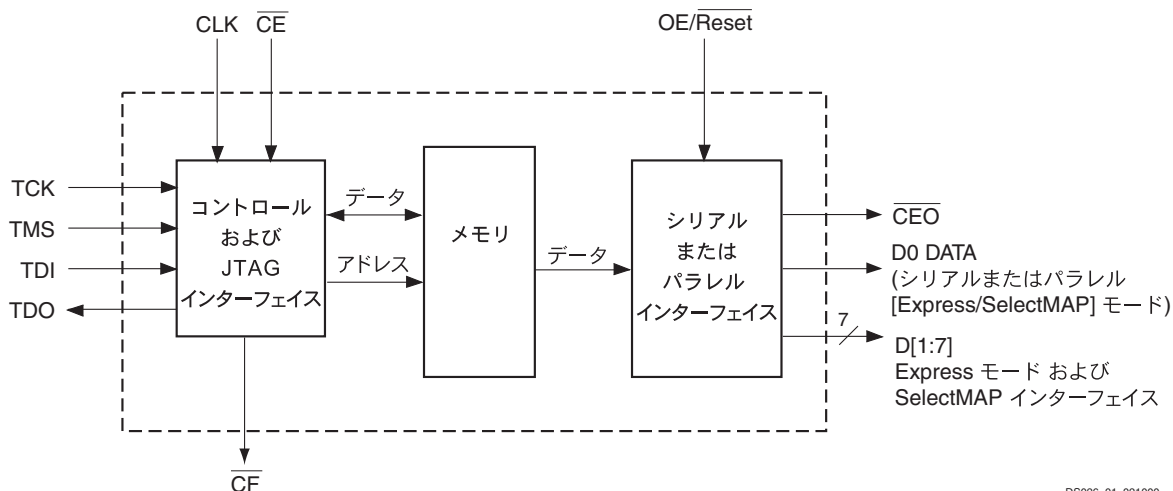


図 1: XC18V00 シリーズのブロック図

ピン配置およびピンの説明

表 1: ピン名とその説明 (表示されていないピンは NC ピン)

ピン名	バウンダリスキャンの順序	ファンクション	ピンの説明	44 ピン VQFP	44 ピン PLCC	20 ピン SOIC および PLCC
D0	4	DATA OUT	D0 は DATA 出力ピンであり、シリアル モードで FPGA をコンフィギュレーションする際に必要なデータを出力します。	40	2	1
	3	OUTPUT ENABLE				
D1	6	DATA OUT	D1 ~ D7 は出力ピンであり、ザイリンクスの FPGA を Express/SelectMAP モードでコンフィギュレーションする際に必要なパラレル データを出力します。	29	35	16
	5	OUTPUT ENABLE				
D2	2	DATA OUT		42	4	2
	1	OUTPUT ENABLE				
D3	8	DATA OUT		27	33	15
	7	OUTPUT ENABLE				
D4	24	DATA OUT		9	15	7 ⁽¹⁾
	23	OUTPUT ENABLE				
D5	10	DATA OUT		25	31	14
	9	OUTPUT ENABLE				
D6	17	DATA OUT		14	20	9
	16	OUTPUT ENABLE				
D7	14	DATA OUT		19	25	12
	13	OUTPUT ENABLE				
CLK	0	DATA IN	\overline{CE} が Low で、 $\overline{OE/RESET}$ が High の場合、CLK 入力の各立ち上がりエッジで、内部アドレスカウンタの値がインクリメントされます。	43	5	3
$\overline{OE/RESET}$	20	DATA IN	入力が Low の場合、アドレスカウンタはリセットされ、DATA 出力はハイインピーダンスになります。このピンは双方向のオープンドレインピンで、PROM がリセットされると Low に保たれます。極性はプログラムできません。	13	19	8
	19	DATA OUT				
	18	OUTPUT ENABLE				
\overline{CE}	15	DATA IN	\overline{CE} が High の場合、デバイスはスタンバイモードになり、アドレスカウンタはリセットされます。DATA 出力ピンはハイインピーダンスになり、デバイスは低電力のスタンバイモードになります。	15	21	10

表 1: ピン名とその説明 (表示されていないピンは NC ピン) (続き)

ピン名	バウンダリスキャンの順序	ファンクション	ピンの説明	44 ピン VQFP	44 ピン PLCC	20 ピン SOIC および PLCC
CF	22	DATA OUT	JTAG の CONFIG 命令を使用可能にします。これで電源を切らずに FPGA のコンフィギュレーションを開始できます。また、このピンはオープンドレイン出力であり、JTAG の CONFIG コマンドで Low になります。	10	16	7 ⁽¹⁾
	21	OUTPUT ENABLE				
CEO	13	DATA OUT	チップイネーブル出力 ($\overline{\text{CEO}}$) は、チェーン内にある次の PROM の $\overline{\text{CE}}$ 入力に接続されます。 $\overline{\text{CE}}$ が Low で、 OE/RESET 入力が High の場合、この出力は Low になり、内部アドレスカウンタはターミナルカウント (TC) の値より多くインクリメントされます。 OE/RESET ピンが Low になると $\overline{\text{CEO}}$ は High になり、PROM がリセット状態から解除されるまで High のままです。	21	27	13
	14	OUTPUT ENABLE				
GND			GND はグランド接続のことです。	6、18、28、41	3、12、24、34	11
TMS		MODE SELECT	TCK の立ち上がりエッジでの TMS の状態によって、テストアクセスポート (TAP) コントローラの状態遷移が決まります。TMS には内部プルアップ抵抗が 50K Ω あり、ピンが駆動されていないとデバイスのロジックは 1 になります。	5	11	5
TCK		CLOCK	これは、JTAG のテストクロック ピンです。TAP コントローラ、JTAG テスト/プログラミング機器などでクロック信号を提供します。	7	13	6
TDI		DATA IN	このピンはすべての JTAG 命令およびデータ レジスタへのシリアル入力になります。TDI には内部プルアップ抵抗が 50K Ω あり、ピンが駆動されていないとシステムのロジックは 1 になります。	3	9	4
TDO		DATA OUT	このピンはすべての JTAG 命令とデータ レジスタへのシリアル出力になります。TDO には内部プルアップ抵抗が 50K Ω あり、ピンが駆動されていない場合にシステムのロジックは 1 になります。	31	37	17
V _{CC}			内部ロジックおよび入力バッファに対する 3.3V の正の電源電圧	17、35、38	23、41、44	18、20
V _{CCO}			3.3V または 2.5V の正の電源電圧で、出力電圧ドライバに接続されています。	8、16、26、36	14、22、32、42	19

メモ:

1. 20 ピン パッケージの場合、ピン 7 はシリアル モードで $\overline{\text{CF}}$ に、Express モードで D4 になります。

ザイリンクスの FPGA および 互換性のある PROM

デバイス	コンフィギュレーション ビット	PROM
XCV50	559,200	XC18V01
XCV100	781,216	XC18V01
XCV150	1,040,096	XC18V01
XCV200	1,335,840	XC18V02
XCV300	1,751,808	XC18V02
XCV400	2,546,048	XC18V04
XCV600	3,607,968	XC18V04
XCV800	4,715,616	XC18V04 + XC18V512
XCV1000	6,127,744	XC18V04 + XC18V02
XCV50E	630,048	XC18V01
XCV100E	863,840	XC18V01
XCV200E	1,442,106	XC18V02
XCV300E	1,875,648	XC18V02
XCV400E	2,693,440	XC18V04
XCV405E	3,340,400	XC18V04
XCV600E	3,961,632	XC18V04
XCV812E	6,519,648	XC18V04 (2 つ)
XCV1000E	6,587,520	XC18V04 (2 つ)
XCV1600E	8,308,992	XC18V04 (2 つ)
XCV2000E	10,159,648	XC18V04 (3 つ)
XCV2600E	12,922,336	XC18V04 (4 つ)
XCV3200E	16,283,712	XC18V04 (4 つ)

容量

デバイス	コンフィギュレーション ビット
XC18V04	4,194,304
XC18V02	2,097,152
XC18V01	1,048,576
XC18V512	524,288
XC18V256	262,144

インシステム プログラミング (ISP)

PROM は個別にプログラムできます。また、図 2 のように一般的な 4 ピン JTAG プロトコルを使用して、2 つ以上の PROM をデイズー チェーン接続してシステム内でプログラムできます。インシステム プログラミングを行うと、迅速かつ効率よく何度もデザインでき、デバイス パッケージの取り扱いやソケット処理の必要がなくなります。ザイリンクスの開発システムには JTAG Programmer (ソフトウェア)、ダウンロード ケーブルのいずれかを使用したプログラミング方法や、サードパーティの JTAG 開発システム、JTAG と互換性のあるボード テスタ、JTAG 命令シーケンスをエミュレートする単純なマイクロプロセッサ インターフェイスなどがあります。JTAG Programmer ではシリアル ベクタ フォーマット (SVF) ファイルが出力され、SVF ファイルを使用するツールや自動テスト装置でこのファイルを使用できます。

インシステム プログラミング中、出力はすべてハイ インピーダンス状態またはクランプ レベルに保たれます。

OE/RESET

ISP (In-System Programming) アルゴリズムでは、OE を Low にするリセット信号が必要になります。

外部プログラミング

ザイリンクス PROM は、デバイス プログラマ HW-130 を使用してもプログラムできます。このため、すでにボードにプログラム済みのデバイスやバウンダリ スキャンの製造ツールを使用できます。さらに、今後の機能拡張やデザイン変更をインシステムで設定できるため、柔軟性に優れています。

信頼性と耐久性

ザイリンクスのインシステム プログラマブル製品を使用すると、プログラム/消去を 2 万回繰り返すことができるほか、20 年の最小データ保持期間が保証されています。この制限内であれば、デバイスのファンクション、パフォーマンス、データ保持といった特性にはまったく問題ありません。

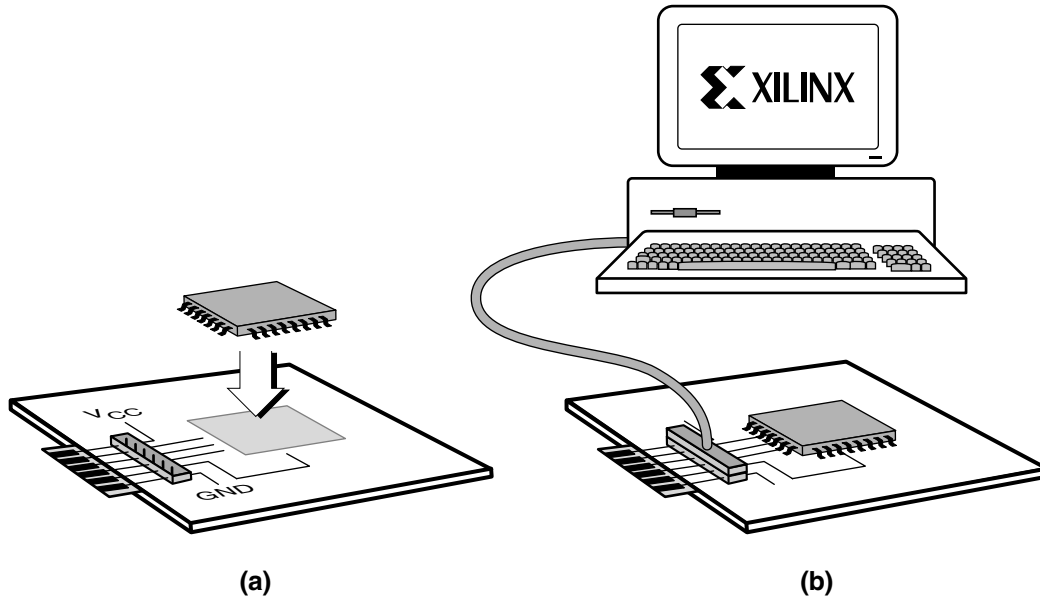
デザイン セキュリティ

インシステムでプログラムが可能なザイリンクス PROM は、最新のセキュリティ機能を備えており、プログラミング データが不正に読み出される心配はありません。このセキュリティ設定については表 2 を参照してください。

読み出し用セキュリティ ビットをセットすると、JTAG を介して内部プログラミング パターンが読み出されたり、コピーされたりすることはありません。このビットがセットされると、デバイスの消去が可能になります。また、デバイス全体を消去しないと、このセキュリティ ビットはリセットできません。

表 2: データ セキュリティのオプション

デフォルト = リセット	セット
読み出し可 プログラム/消去可	JTAG を介した読み出し禁止 消去可



DS026_02_011100

図 2: インシステム プログラミング: (a) デバイスを PCB にハンダ付け、(b) ダウンロード ケーブルを使用したプログラム

IEEE 1149.1 バウンダリ スキャン (JTAG)

XC18V00 ファミリーは、JTAG と呼ばれる IEEE 1149.1 標準のバウンダリ スキャンに準拠しています。テスト アクセスポート (TAP) およびレジスタには、バウンダリ スキャンの必須命令すべてが使用できるほか、IEEE 1149.1 で指定されたオプション命令も使用できます。また、JTAG インターフェイスは ISP (In-System Programming) のインプリメントに使用され、XC18V00 デバイスのコンフィギュレーション、消去、検証を容易にします。

表 3 に、XC18V00 でサポートされるバウンダリ スキャンの必須命令およびオプション命令を示します。バウンダリ スキャンアーキテクチャおよびその必須命令、オプション命令の詳細については、IEEE 1149.1 の仕様を参照してください。

表 3: バウンダリ スキャン命令

バウンダリ スキャン コマンド	バイナリ コード [7:0]	説明
必須命令		
BYPASS	11111111	BYPASS をイネーブルにします。
SAMPLE/PRELOAD	00000001	バウンダリ スキャンの SAMPLE/PRELOAD 操作をイネーブルにします。

表 3: バウンダリ スキャン命令 (続き)

バウンダリ スキャン コマンド	バイナリ コード [7:0]	説明
EXTEST	00000000	バウンダリ スキャンの EXTEST 操作をイネーブルにします。
オプション命令		
CLAMP	11111010	バウンダリ スキャンの CLAMP 操作をイネーブルにします。
HIGHZ	11111100	出力すべてを同時にハイ インピーダンスにします。
IDCODE	11111110	32 ビット IDCODE のシフト出力をイネーブルにします。
USERCODE	11111101	32 ビット USERCODE のシフト出力をイネーブルにします。
XC18V00 特有の命令		
CONFIG	11101110	\overline{CF} ピンを Low にして FPGA のコンフィギュレーションを開始します。

命令レジスタ

XC18V00 の命令レジスタ (IR) は 8 ビット幅で、命令をスキャンする際に TDI と TDO 間に接続されます。またこの命令スキャンの前に、命令は決まったパターンでパラレルに IR へ読み込まれます。このパターンは TDO へシフト出力され (LSB が最初)、命令は TDI から命令レジスタへシフト入力されます。この命令の読み取りパターンについては、図 3 を参照してください。

ISP ステータスを表す IR[4] は、デバイスが ISP モードであればロジック 1 に、ISP モードでない場合はロジック 0 になります。セキュリティを表す IR[3] はデバイスにセキュリティオプションが付いていればロジック 1 に、付いていない場合はロジック 0 になります。

	IR[7:5]	IR[4]	IR[3]	IR[2]	IR[1:0]	
TDI->	0 0 0	ISP ステータス	セキュ リティ	0	0 1	->TDO

メモ:

1. IR[1:0] = 01 は IEEE 1149.1 で規定されています。

図 3: 命令がスキャンされる際に読み込まれる命令レジスタの値

バウンダリ スキャン レジスタ

バウンダリ スキャン レジスタは EXTEST、SAMPLE/PRELOAD、CLAMP といった命令を使用する際、デバイス ピンのステートを制御および監視するために使用されます。XC18V00 の各出力ピンには 2 段階のレジスタがあり (入力ピンには 1 段階のみ)、それぞれバウンダリ スキャンレジスタとして使用されます。

TDI 側のレジスタは出力ステートを、TDO 側のレジスタはピンの High-Z イネーブル状態を制御および監視します。

各入力ピンでは、レジスタはピンの入力ステートを制御および監視します。

識別レジスタ (IDCODE)

IDCODE はベンダーが割り当てた固定値で、指定されたデバイスの製造元や種類を自動的に識別します。IDCODE レジスタは 32 ビット幅で、IDCODE 命令を使用して、テスト用にシフト出力できます。IDCODE は JTAG をサポートするシステムコンポーネントに対して使用できます。

IDCODE レジスタのバイナリ フォーマットは次のようになります。

```
vvvv:ffff:ffff:aaaa:aaaa:cccc:cccc:ccc1
```

v = チップのバージョン番号

f = ファミリーコード (XC18V00 ファミリーは 50h)

a = ISP PROM 製品 ID (XC18V04 は 2 6h)

c = 会社コード (ザイリンクスは 49h)

注: IEEE 1149.1 の定義では、IDCODE の LSB は常に 1 です。

XC18V00 デバイスの IDCODE レジスタの値については表 4 を参照してください。

表 4: XC18V00 デバイスに割り当てられた IDCODE

ISP-PROM	IDCODE
XC18V01	05024093h
XC18V02	05025093h
XC18V04	05026093h
XC18V256	05022093h
XC18V512	05023093h

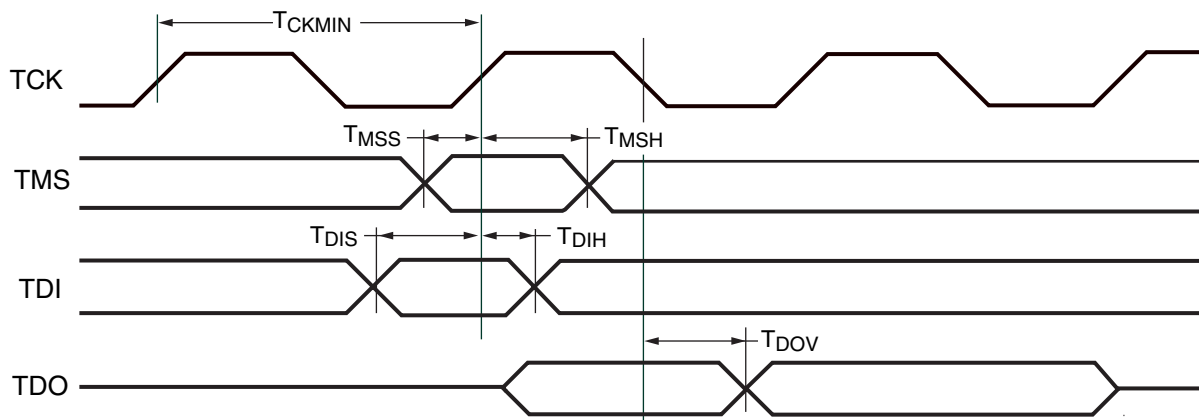
USERCODE 命令を使用すると、デバイスのプログラム内容が書かれた 32 ビットのスクラッチ パッドにアクセスでき、プログラム内容を変更できます。さらに、USERCODE 命令を使用すると、ユーザーによるプログラムが可能な ID コードがテスト用にシフト出力されます。このコードは XC18V00 デバイスのプログラム中に USERCODE レジスタに読み込まれます。デバイスが空白であったり、プログラム中に読み込まれなかった場合、USERCODE レジスタの値は FFFFFFFFh になります。

XC18V00 の TAP 特性

XC18V00 ファミリーには、ISP (インシステムプログラミング) および 4 線式 TAP (テストアクセスポート) を使用した JTAG (IEEE 1149.1 バウンダリ スキャン) のファンクションがあります。このため、システム デザインが簡便になり、一般的な ATE (自動テスト装置) ではどちらのファンクションも実行できるようにになりました。XC18V00 TAP の AC 特性については、次を参照してください。

TAP のタイミング

図 4 は、TAP 信号のタイミング関係を示しています。バウンダリ スキャンおよび ISP のいずれの場合でも、TAP のタイミング特性は同じです。



DS026_04_020300

図 4: TAP のタイミング

TAP の AC パラメータ

表 5 は図 4 の TAP 波形のタイミング パラメータを表示しています。

表 5: TAP のタイミング パラメータ

シンボル	パラメータ	最小	最大	単位
T_{CKMIN1}	TCK 最小クロック周期	100	-	ns
T_{CKMIN2}	TCK 最小クロック周期、BYPASS モード	50	-	ns
T_{MSS}	TMS セットアップタイム	10	-	ns
T_{MSH}	TMS ホールドタイム	25	-	ns
T_{DIS}	TDI セットアップタイム	10	-	ns
T_{DIH}	TDI ホールドタイム	25	-	ns
T_{DOV}	TDO 有効遅延	-	25	ns

コンフィギュレーション PROM の接続

コンフィギュレーション PROM と FPGA デバイスを接続します (図 6 を参照)。

- PROM の DATA 出力は FPGA デバイス (マスタ) の DIN 入力を駆動します。
- FPGA の CCLK 出力は PROM の CLK 入力を駆動します (マスタ シリアル モードでのみ)。
- PROM の $\overline{\text{CEO}}$ 出力は、デジジー チェーンにある次の PROM の $\overline{\text{CE}}$ 入力を駆動します。
- すべての PROM の OE/RESET 入力は、FPGA デバイス (マスタ) の INIT 出力で駆動するのが最適です。この接続によって、再コンフィギュレーションが VCC のグリッチで開始される場合でも、PROM のアドレスカウンタはコンフィギュレーション (または再コンフィギュレーション) が始まる前にリセットされるようになります。
- PROM の $\overline{\text{CE}}$ 入力は DONE ピンから駆動できます。最初の PROM の $\overline{\text{CE}}$ 入力は、最初の FPGA デバイスの DONE 出力で駆動されます。ただし、これは DONE が GND に接続されないことが条件となります。 $\overline{\text{CE}}$ は Low 状態で接続しておくことも可能ですが、これによって DATA 出力がアクティブになり、最大 10mA の不必要な電力が供給されてしまいます。
- Express/SelectMap モードはスレーブ シリアル モードに類似しています。DATA の値は、CCLK 周期ごとに 1 ビットではなく、1 バイトで PROM から送信されます。特定のコンフィギュレーション条件については、FPGA のデータシートを参照してください。

FPGA コンフィギュレーションの開始

XC18V00 デバイスには、JTAG の CONFIG 命令で制御できる $\overline{\text{CF}}$ というピンがあります。JTAG の CONFIG 命令を実行すると、 $\overline{\text{CF}}$ ピンは 300 ~ 500ns で Low になります。この結果、FPGA がリセットされ、コンフィギュレーションが開始されます。

この機能を使用するには、 $\overline{\text{CF}}$ ピンを FPGA の $\overline{\text{PROGRAM}}$ ピンに接続する必要があります。

JTAG Programmer でも、JTAG の CONFIG コマンドと同じように FPGA のコンフィギュレーションを開始できます。この場合、JTAG Programmer で [実行] → [チェーン実行] → [オプション] をクリックし、[FPGA を読み込む] チェックボックスをオンにしてください。

コンフィギュレーション モードの選択

XC18V00 では、コンフィギュレーションの方法にシリアルとパラレルの 2 種類があります。コンフィギュレーション モードは XC18V00 デバイスのユーザー設定可能なレジスタで選択できます。この制御レジスタは JTAG を介してアクセスでき、JTAG Programmer の [実行] → [チェーン実行] → [オプション] をクリックし、[パラレル モード] チェックボックスで設定できます。デフォルトのプログラミングモードはシリアル出力です。

マスタ シリアル モードの概要

CLB の I/O およびロジック ファンクションとそれに関連する内部接続は、コンフィギュレーション プログラムで設定されます。プログラムが読み込まれる方法には電源投入およびコマンド使用の 2 種類があり、これは 3 つの FPGA モードピンのステートによって決定されます。マスタ シリアル モードの場合、FPGA は外部メモリからコンフィギュレーション プログラムを自動的に読み込みます。ザイリンクスの PROM はマスタ シリアル モードでデザインされています。

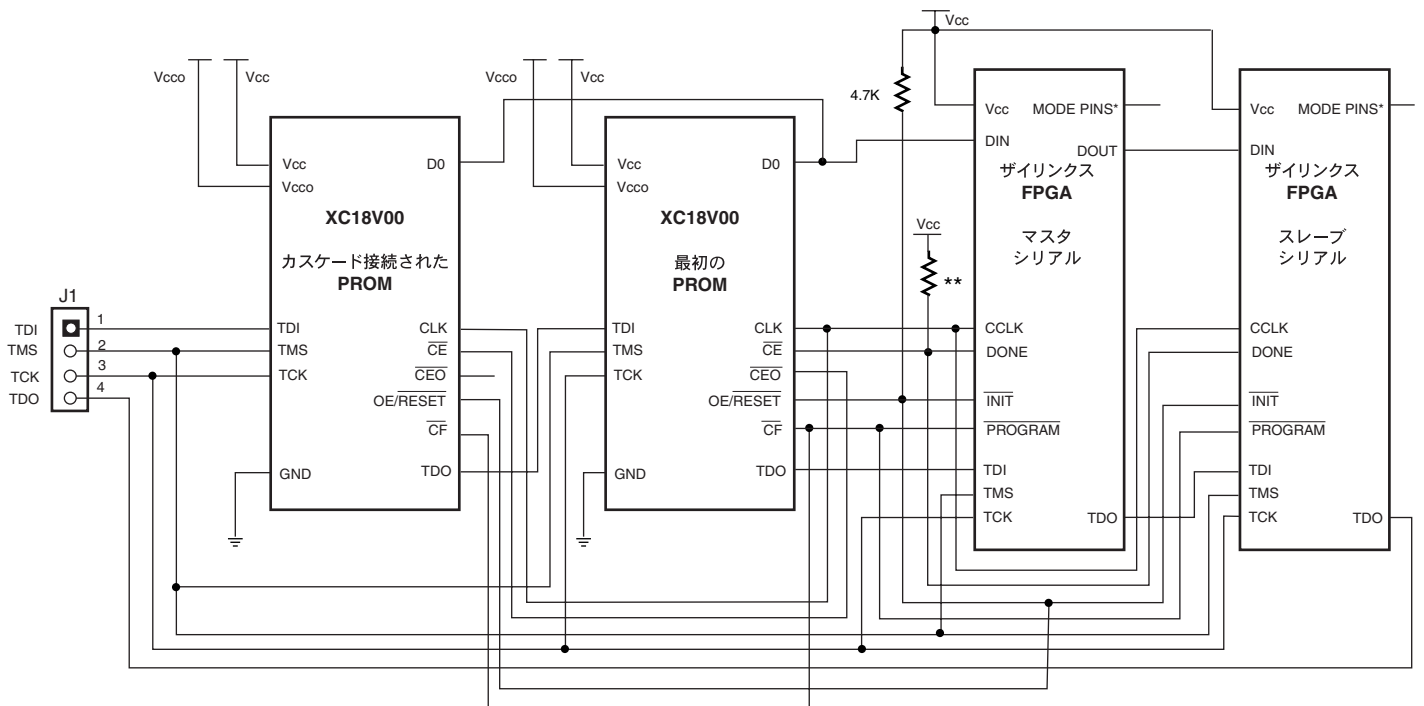
電源投入または再コンフィギュレーションの際に、3 つのモードピンがすべて Low ($M0=0$, $M1=0$, $M2=0$) になっていると、FPGA はマスタ シリアル モードになります。データは 1 本のデータラインを使って PROM から順次読み込まれます。同期化はコンフィギュレーション中に FPGA で生成される一時的な CCLK 信号の立ち上がりエッジで行われます。

マスタ シリアル モードのコンフィギュレーション インターフェイスはシンプルです。FPGA のコンフィギュレーションに必要なのは、シリアルデータラインが 1 本、クロックラインが 1 本、コントロールラインが 2 本だけです。PROM からのデータは順番に読み込まれ、内部アドレスカウンタとビットカウンタを介してアクセスされます。また、これらのカウンタは CCLK の有効な立ち上がりエッジごとにインクリメントされます。FPGA にあるユーザーによるプログラムが可能なデュアル ファンクションの D_{IN} ピンをコンフィギュレーションにしか使用しない場合でも、通常操作でこのピンを定義済みのレベルに保つ必要があります。ザイリンクスの FPGA では、オンチップのプルアップ抵抗を使用して自動的にこのレベルを維持します。

コンフィギュレーション PROM のカスケード接続

シリアル デジジー チェーンで接続された複数の FPGA の場合、PROM をカスケード接続してメモリを追加できます。シリアルまたは SelectMAP コンフィギュレーションモードで大規模なコンフィギュレーション メモリが必要となる単一の FPGA の場合も同様にして追加できます (図 5 参照)。 $\overline{\text{CEO}}$ 出力を使用して下位デバイスの $\overline{\text{CE}}$ 入力を駆動すると、複数の XC18V00 デバイスを接続できます。また、このチェーンに使用されるすべての XC18V00 デバイスのクロック入力およびデータ出力は内部接続されています。最初の PROM から最後のビットが読み込まれると、PROM への次のクロック信号が $\overline{\text{CEO}}$ 出力を Low にアサートし、DATA ラインをハイインピーダンスにします。その後、2 番目の PROM で $\overline{\text{CE}}$ 入力は Low と認識され、DATA 出力がイネーブルになります (図 6 参照)。

コンフィギュレーションの終了後、PROM の OE/RESET ピンが Low になると、カスケード接続された PROM のアドレスカウンタがリセットされます。



* MODE ピンの接続については、該当する FPGA のデータシートを参照してください。
 ** Virtex および Virtex-E では 300Ω、それ以外は 4.7K を使用します。

DS026_08_021000

図 5: マスタ シリアル モードでデバイスをコンフィギュレーションする際の JTAG チェーン

5V トラレント I/O

コアの電源が 3.3V の場合でも、PROM の I/O はすべて 5V トラレントなので、5V の CMOS 信号を PROM の入力へ直接接続できます。また、5V の信号が I/O へ入力される前または後に、3V の V_{CC} 電源を使用することも可能です。5V、3.3V、2.5V が混在するシステムでは、ユーザー ピン、コアの電源 (V_{CC})、出力電源 (V_{CCO}) に任意の順序で電圧を加えることができます。このため、PROM デバイスでは電源投入順序に関する問題が発生する心配はありません。

リセットのアクティブ化

電源を入れると、OE/RESET は Low に保たれます。この状態は、XC18V00 がアクティブ (1ms) 状態で FPGA から CCLK 信号を受け取って値を出力できるまで続きます。OE/RESET は外部抵抗に接続され、High になります。これにより、FPGA の INIT ピンが解除され、コンフィギュレーションが開始されます。XC18V00 の電圧が動作電圧の範囲に達するまで、

OE/RESET は Low に保たれます。電圧が 2.0V より低くなると、PROM はリセットされます。また、OE/RESET の極性はプログラムできません。

スタンバイ モード

PROM は \overline{CE} が High にアサートされると、低電力のスタンバイモードになります。OE 入力のステートに関係なく、出力はハイインピーダンスのままです。この場合、JTAG ピン (TMS、TDI、TDO) はハイインピーダンスまたは High です。

ユーザー制御のピン

XC18V00 の PROM には、ユーザーが制御できる様々なコントロールビットがあります。これらのコントロールビットは、JTAG Programmer で [実行] → [チェーン実行] → [オプション] をクリックし、[ユーザーアレイをスキップ] チェックボックスを使用してアレイをプログラムすると設定できるようになります。

表 6: PROM 制御入力の真理値表

制御入力		内部アドレス	出力		
OE/RESET	CE		DATA	CEO	I _{CC}
High	Low	アドレス ≤ TC ⁽¹⁾ : インクリメント アドレス > TC ⁽¹⁾ : 変更なし	アクティブ High-Z	High Low	アクティブ 低減
Low	Low	リセット状態	High-Z	High	アクティブ
High	High	リセット状態	High-Z	High	スタンバイ
Low	High	リセット状態	High-Z	High	スタンバイ

メモ:

1. TC = ターミナル カウント = 最大アドレス値。TC + 1 = アドレス 0

絶対最大定格 (1,2)

シンボル	説明	値	単位
V_{CC}	GND に対する電源電圧	-0.5 ~ +4.0	V
V_{IN}	GND に対する入力電圧	-0.5 ~ +5.5	V
V_{TS}	High-Z 出力に使用される電圧	-0.5 ~ +5.5	V
T_{STG}	保存温度 (周囲温度)	-65 ~ +150	°C
T_{SOL}	最大はんだ付け温度 (1/16 インチで 10 秒)	+260	°C
T_J	ジャンクション温度	+150	°C

メモ:

1. GND を下回る DC の最大アンダーシュートは、0.5V または 10mA のどちらか使用しやすい値に制限する必要があります。状態遷移中、デバイス ピンの電圧はアンダーシュートで -2.0V、オーバーシュートで +7V までになりますが、10ns も続かず、電流は 200mA に制限されます。
2. 絶対最大定格を超えるストレスを使用すると、デバイスに致命的な破損が起こる場合があります。絶対最大定格はストレス定格のみを示します。ストレス定格または次表の動作条件以外の条件下で使用された場合、デバイスのファンクションについては保証できません。また、絶対最大定格の条件下で長時間使用すると、デバイスの信頼性に影響を与えることがあります。

推奨動作条件

シンボル	パラメータ		最小	最大	単位
V _{CCINT}	内部電源電圧 (T _A = 0 ~ +70 °C)	商業用	3.0	3.6	V
	内部電源電圧 (T _A = -40 ~ +85 °C)	工業用	3.0	3.6	V
V _{CCO}	出力ドライバの電源電圧 (3.3V 用)		3.0	3.6	V
	出力ドライバの電源電圧 (2.5V 用)		2.3	2.7	V
V _{IL}	Low 入力電圧		0	0.8	V
V _{IH}	High 入力電圧		2.0	5.5	V
V _O	出力電圧		0	V _{CCO}	V

品質および信頼性

シンボル	説明	最小	最大	単位
T _{DR}	データ保持	20	-	年数
N _{PE}	プログラム/消去サイクル (耐久性)	20,000	-	サイクル数
V _{ESD}	静電気放電 (ESD)	2,000	-	V

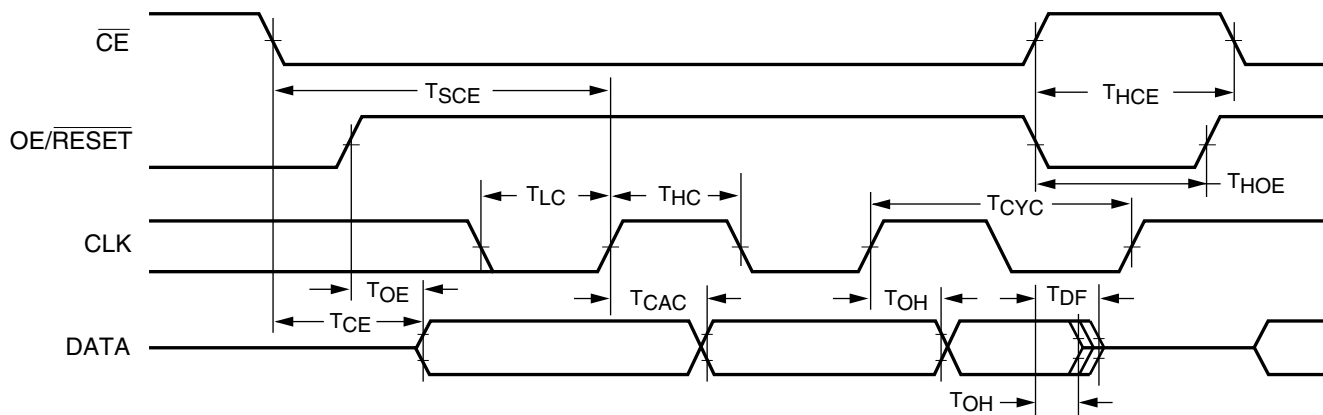
動作条件での DC 特性

シンボル	パラメータ	テスト条件	最小	最大	単位
V _{OH}	High 出力電圧 (3.3V 用)	I _{OH} = -4 mA	2.4	-	V
	High 出力電圧 (2.5V 用)	I _{OH} = -500 μA	90% V _{CCO}	-	V
V _{OL}	Low 出力電圧 (3.3V 用)	I _{OL} = 8 mA	-	0.4	V
	Low 出力電圧 (2.5V 用)	I _{OL} = 500 μA	-	0.4	V
I _{CC}	電源電流、アクティブ モード	25 MHz	-	25	mA
I _{CCS}	電源電流、スタンバイ モード		-	10	mA
I _{ILJ}	JTAG ピン (TMS、TDI、TDO)	V _{CC} = MAX V _{IN} = GND	-100	-	μA
I _{IL}	入力漏洩電流	V _{CC} = Max V _{IN} = GND または V _{CC}	-10	10	μA
I _{IH}	入出力 High-Z の漏洩電流	V _{CC} = Max V _{IN} = GND または V _{CC}	-10	10	μA
C _{IN} および C _{OUT}	入出力容量	V _{IN} = GND f = 1.0 MHz	-	10	pF

メモ:

- 18V01、18V512、18V256 のみカスケード接続可能
- 18V01、18V512、18V256 のみカスケード接続不可能、ブラウンアウト保護なし

XC18V04 および XC18V02 の動作条件での AC 特性



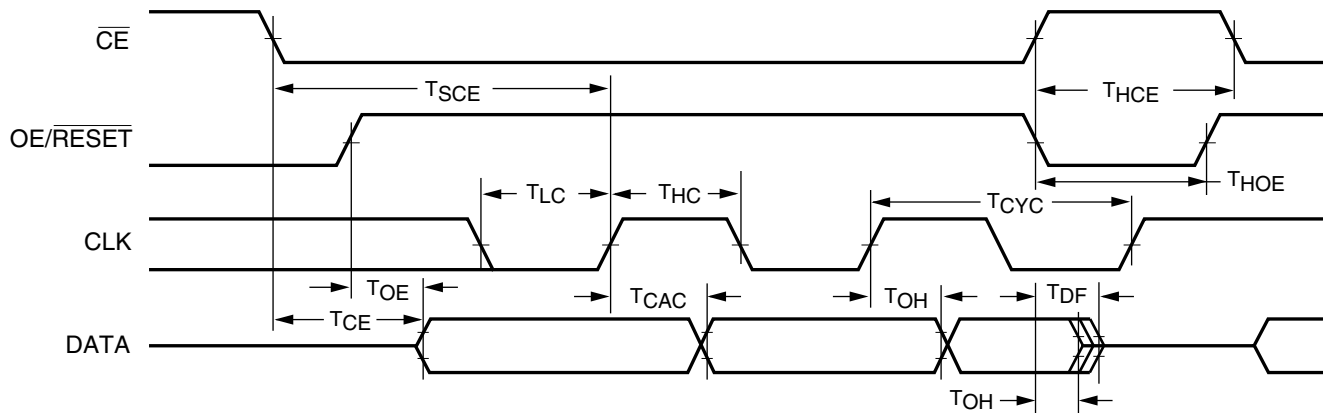
DS026_06_012000

シンボル	説明	最小	最大	単位
T_{OE}	$\overline{OE/RESET}$ からデータ遅延まで	-	10	ns
T_{CE}	\overline{CE} からデータ遅延まで	-	20	ns
T_{CAC}	CLK からデータ遅延まで	-	20	ns
T_{OH}	\overline{CE} 、 $\overline{OE/RESET}$ 、CLK からのデータ ホールド	0	-	ns
T_{DF}	\overline{CE} または $\overline{OE/RESET}$ からデータ フローティング遅延まで ⁽²⁾	-	25	ns
T_{CYC}	クロック周期	50	-	ns
T_{LC}	CLK が Low の状態にある時間 ⁽³⁾	10	-	ns
T_{HC}	CLK が High の状態にある時間 ⁽³⁾	10	-	ns
T_{SCE}	\overline{CE} セットアップ タイムから CLK まで (正確なカウントを保証) ⁽³⁾	25	-	ns
T_{HCE}	\overline{CE} が High の状態にある時間 (正確なカウントを保証)	2	-	μ s
T_{HOE}	$\overline{OE/RESET}$ ホールドタイム (カウンタのリセットを保証)	25	-	ns

メモ:

- AC テスト負荷 = 50 pF
- フローティング遅延は 5 pF の AC 負荷で測定されます。遷移は静止状態のアクティブから ± 200 mV で測定されます。
- デザイン上は保証されていますが、テストはされていません。
- AC パラメータはすべて $V_{IL} = 0.0V$ および $V_{IH} = 3.0V$ で測定されます。
- T_{HCE} High が $2\mu s$ より小さい場合、 $T_{CE} = 2\mu s$ となります。

XC18V01、XC18V512、XC18V256 動作条件での AC 特性



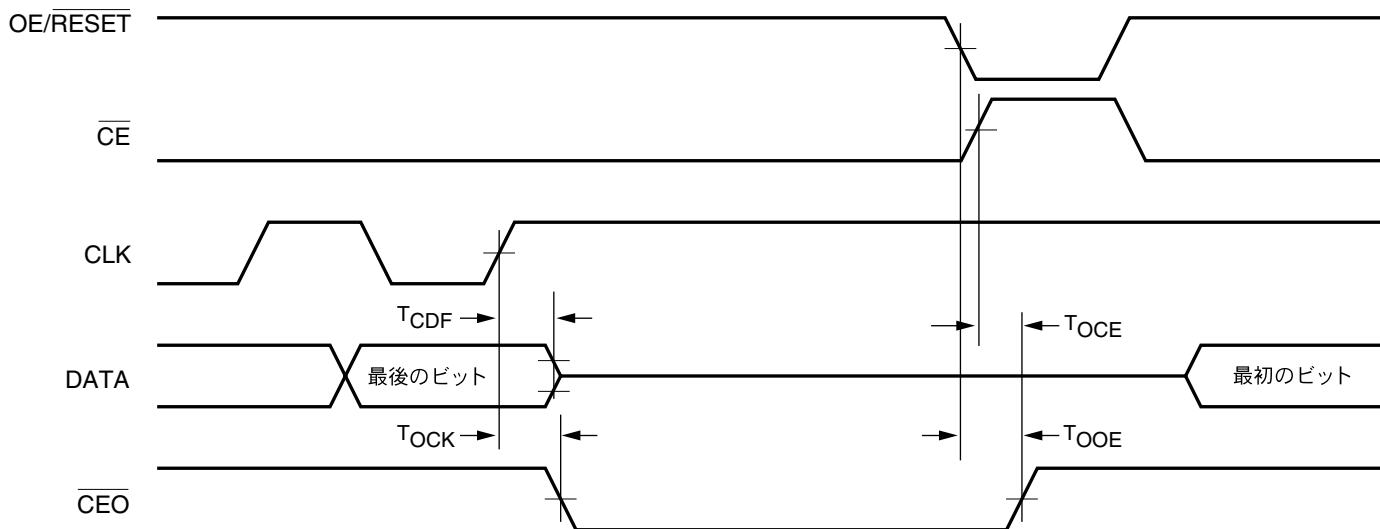
DS026_06_012000

シンボル	説明	最小	最大	単位
T_{OE}	$\overline{OE/RESET}$ からデータ遅延まで	-	10	ns
T_{CE}	\overline{CE} からデータ遅延まで	-	15	ns
T_{CAC}	CLK からデータ遅延まで	-	15	ns
T_{OH}	\overline{CE} 、 $\overline{OE/RESET}$ 、CLK からのデータ ホールド	0	-	ns
T_{DF}	\overline{CE} または $\overline{OE/RESET}$ からデータ フローティング遅延まで ⁽²⁾	-	25	ns
T_{CYC}	クロック周期	30	-	ns
T_{LC}	CLK が Low の状態にある時間 ⁽³⁾	10	-	ns
T_{HC}	CLK が High の状態にある時間 ⁽³⁾	10	-	ns
T_{SCE}	\overline{CE} セットアップ タイムから CLK まで (正確なカウントを保証) ⁽³⁾	20	-	ns
T_{HCE}	\overline{CE} ホールドタイムから CLK まで (正確なカウントを保証)	2	-	μ s
T_{HOE}	$\overline{OE/RESET}$ ホールドタイム (カウンタのリセットを保証)	20	-	ns

メモ:

- AC テスト負荷 = 50 pF
- フローティング遅延は 5 pF の AC 負荷で測定されます。遷移は静止状態のアクティブから ± 200 mV で測定されます。
- デザイン上は保証されていますが、テストはされていません。
- AC パラメータはすべて $V_{IL} = 0.0V$ および $V_{IH} = 3.0V$ で測定されます。
- T_{HCE} High が $2\mu s$ より小さい場合、 $T_{CE} = 2\mu s$ となります。

XC18V04 および XC18V02 動作条件での AC 特性 (カスケード接続時)



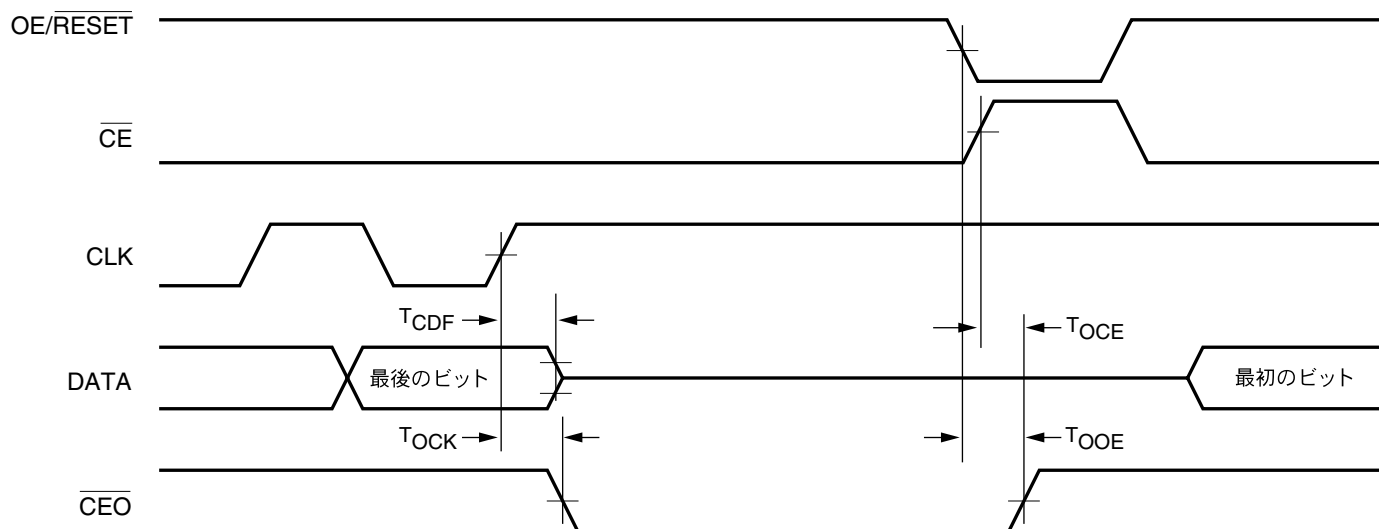
DS026_07_020300

シンボル	説明	最小	最大	単位
T _{CDF}	CLK からデータ フローティング遅延まで ^(2, 3)	-	25	ns
T _{OCK}	CLK から $\overline{\text{CEO}}$ 遅延まで ⁽³⁾	-	20	ns
T _{OCE}	CE から $\overline{\text{CEO}}$ 遅延まで ⁽³⁾	-	20	ns
T _{OOE}	OE/RESET から $\overline{\text{CEO}}$ 遅延まで ⁽³⁾	-	20	ns

メモ:

1. AC テスト負荷 = 50 pF
2. フローティング遅延は 5 pF の AC 負荷で測定されます。遷移は静止状態のアクティブから ±200mV で測定されます。
3. デザイン上は保証されていますが、テストはされていません。
4. AC パラメータはすべて V_{IL} = 0.0V および V_{IH} = 3.0V で測定されます。

XC18V01、XC18V512、XC18V256 動作条件での AC 特性 (カスケード接続時)



DS026_07_020300

シンボル	説明	最小	最大	単位
T_{CDF}	CLK からデータ フローティング遅延まで ^(2, 3)	-	25	ns
T_{OCK}	CLK から \overline{CEO} 遅延まで ⁽³⁾	-	20	ns
T_{OCE}	CE から \overline{CEO} 遅延まで ⁽³⁾	-	20	ns
T_{OOE}	OE/ \overline{RESET} から \overline{CEO} 遅延まで ⁽³⁾	-	20	ns

メモ:

1. AC テスト負荷 = 50 pF
2. フローティング遅延は 5 pF の AC 負荷で測定されます。遷移は静止状態のアクティブから $\pm 200\text{mV}$ で測定されます。
3. デザイン上は保証されていますが、テストはされていません。
4. AC パラメータはすべて $V_{IL} = 0.0\text{V}$ および $V_{IH} = 3.0\text{V}$ で測定されます。

改訂履歴

次の表に、この文書の改定履歴を示します。

日付	バージョン 番号	改訂内容
1999年2月9日	1.0	最初のリリース (早期アクセス用)
1999年8月23日	1.1	編集、マーキング情報の変更、 \overline{CF} およびパラレル ロードの追加
1999年9月1日	1.2	JTAG の順序、セキュリティ、耐久性などの情報を修正
1999年9月16日	1.3	SelectMAP の回路図、制御入力、リセット極性を修正。JTAG および \overline{CF} の説明、256Kb と 128Kb デバイスの追加。
2000年1月20日	2.0	パッケージ Q44 の追加。XC18xx を XC18Vxx に変更
2000年2月18日	2.1	JTAG コンフィギュレーション、AC および DC 特性のアップデート
2000年4月4日	2.2	図 5 の INIT ピンにあったスタンドアロン レジスタを削除し、FPGA の表に Virtex-E および Virtex-EM を追加。
2000年6月29日	2.3	XC18V128 を削除し、フォーマットをアップデート。XC18V01、XC18V512、XC18V256 の AC 特性を追加。
2000年11月13日	2.4	特徴: 「33MHz で 264MHz」を「33MHz で 264Mbps」に変更。AC 特性: T_{SCE} の単位を ns に、 T_{HCE} の CE が High の時の単位を μs に変更。スタンバイモードの説明文「デバイスで使用できる低電力のスタンバイ モードを設定するには、プログラミング ソフトウェアを使用します」を削除。耐久性を 1 万から 2 万サイクルに変更。