

## 特長

- 3.3V システム用に最適化
  - ピン間のロジック遅延: 5ns  
(内部システム周波数: 最大 208MHz)
  - VQFP、TQFP、および CSP (チップスケールパッケージ) を含む小規模フットプリントパッケージ
  - 全パッケージに鉛フリーバージョンがある
  - 5V トレラントの I/O ピンは、5V、3.3V、2.5V に対応
  - 3.3V または 2.5V の出力が可能
  - 高度な 0.35 $\mu$  の CMOS FastFLASH テクノロジ
- 高度なシステム機能
  - インシステム プログラマブル
  - FastCONNECT II™ スイッチマトリックスを使用する優れたピン固定および配線機能
  - 超ワイドな 54 入力ファンクションブロック
  - 個別積項の割り当てが可能で、マクロセル 1 個に最大 90 個の積項
  - 3 つのグローバルクロックと 1 つの積項クロックを持つローカルクロック反転
- ローカル反転可能な個別出力ピンごとの出力インネーブル
- 全ユーザーピンおよびバウンダリスキャンピン入力での入力ヒステリシス
- 全ユーザーピン入力でのバスホールド回路
- ホットプラグ機能をサポート
- すべてのデバイスで IEEE 1149.1 バウンダリスキャン (JTAG) をサポート
- ピン互換である 4 種類のデバイス集積度
  - 36 ~ 288 個のマクロセル  
(使用可能なゲート数: 800 ~ 6400)
- 高速なコンカレントプログラミング
- 各出力ピンでスルーレート制限設定が可能
- データセキュリティ機能の強化
- 優れた品質と信頼性
  - プログラム / 消去サイクル: 10,000 回
  - データ保持期間: 20 年
- 共通パッケージフットプリントを持つ 5V コア XC9500 ファミリーとピン互換

表 1: XC9500XL デバイス ファミリー

	XC9536XL	XC9572XL	XC95144XL	XC95288XL
マクロセル	36	72	144	288
使用可能なゲート	800	1,600	3,200	6,400
レジスタ	36	72	144	288
T <sub>PD</sub> (ns)	5	5	5	6
T <sub>SU</sub> (ns)	3.7	3.7	3.7	4.0
T <sub>CO</sub> (ns)	3.5	3.5	3.5	3.8
f <sub>SYSTEM</sub> (MHz)	178	178	178	208

表 2 : XC9500XL パッケージおよびユーザー I/O ピン (4 つの JTAG 専用ピンを除く)

パッケージ <sup>(1)</sup>	XC9536XL	XC9572XL	XC95144XL	XC95288XL
PC44	34	34	-	-
PCG44	34	34		
VQ44	34	34	-	-
VQG44	34	34		
CS48	36	38	-	-
CSG48	36	38		
VQ64	36	52	-	-
VQG64	36	52		
TQ100	-	72	81	-
TQG100		72	81	
CS144	-	-	117	-
CSG144			117	
TQ144	-	-	117	117
TQG144			117	117
PQ208	-	-	-	168
PQG208				168
BG256	-	-	-	192
BGG256				192
FG256	-	-	-	192
FGG256				192
CS280	-	-	-	192
CSG280				192

メモ :

(1) 3 番目の文字が「G」の場合は鉛フリー パッケージです。

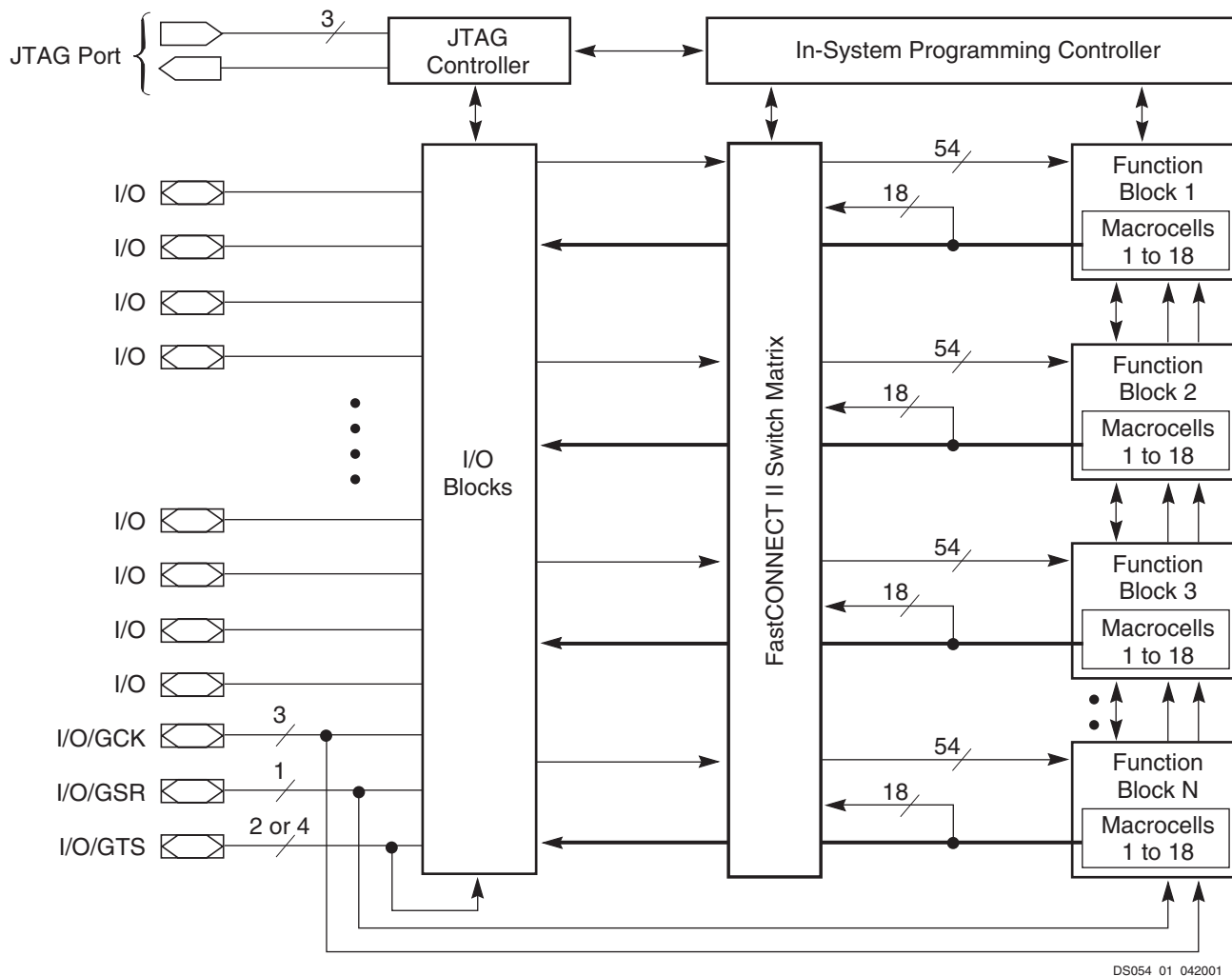


図 1: XC9500XL アーキテクチャ

メモ: ファンクションブロック出力(太線)は、I/Oブロックを直接駆動します。

## ファミリー概要

FastFLASH XC9500XL ファミリーは 3.3V CPLD ファミリーであり、高信頼性と低消費電力を要件とする通信システムおよびコンピュータシステムアプリケーションに最適です。各 XC9500XL デバイスは、インシステムプログラミング (ISP) および IEEE 1149.1 (JTAG) パウンダリ スキャンを完全にサポートし、小規模フォームファクタパッケージに対する優れたデバッグ機能とデザインの繰り返し機能を可能にします。XC9500XL ファミリーは、ザイリンクスの Virtex, Spartan-XL および XC4000XL などの FPGA ファミリーと緊密な動作ができるように設計されているため、システム設計者は高速インターフェイス回路と高集積な汎用ロジックに領域を分割することが可能です。表 1 に示すように、XC9500XL デバイスファミリーのロジック集積度は、ゲート数 800 ~ 6400 個、レジスタ数 36 ~ 288 個です。表 2 に、複数のパッケージオプションおよび関連する I/O 機能を示します。XC9500XL ファミリーのデバイスはすべてピン互換であるため、与えられたパッケージフッ

トプリントの複数の集積度オプション間で容易にデザインの移行が可能です。

XC9500XL のアーキテクチャは、インシステムプログラム機能に対応しています。ピン固定機能が強化されたため、高コストの原因となるボードの再設計を回避できます。民生品動作範囲でのインシステムプログラミング機能および再プログラミングに対する高い耐久性により、システムアップグレードにおけるフィールドリコンフィギュレーションが容易になりました。また、データ保持期間が拡張され、より長いシステム動作寿命と高い信頼性が保証されています。

高度なシステム機能には、システムノイズを軽減させるための出力スルーレート制御やユーザープログラマブルグラウンドピンがあります。各ユーザーピンは 5V、3.3V、および 2.5V 入力に準拠しており、出力は 3.3V または 2.5V 動作に設定できます。XC9500XL デバイスは対称的な 3.3V 出力振幅幅を示し、立ち上

がりと立ち下がり時間が均衡に保たれています。詳細は、17 ページの「参考文献」で示す各アプリケーション ノートを参照してください。

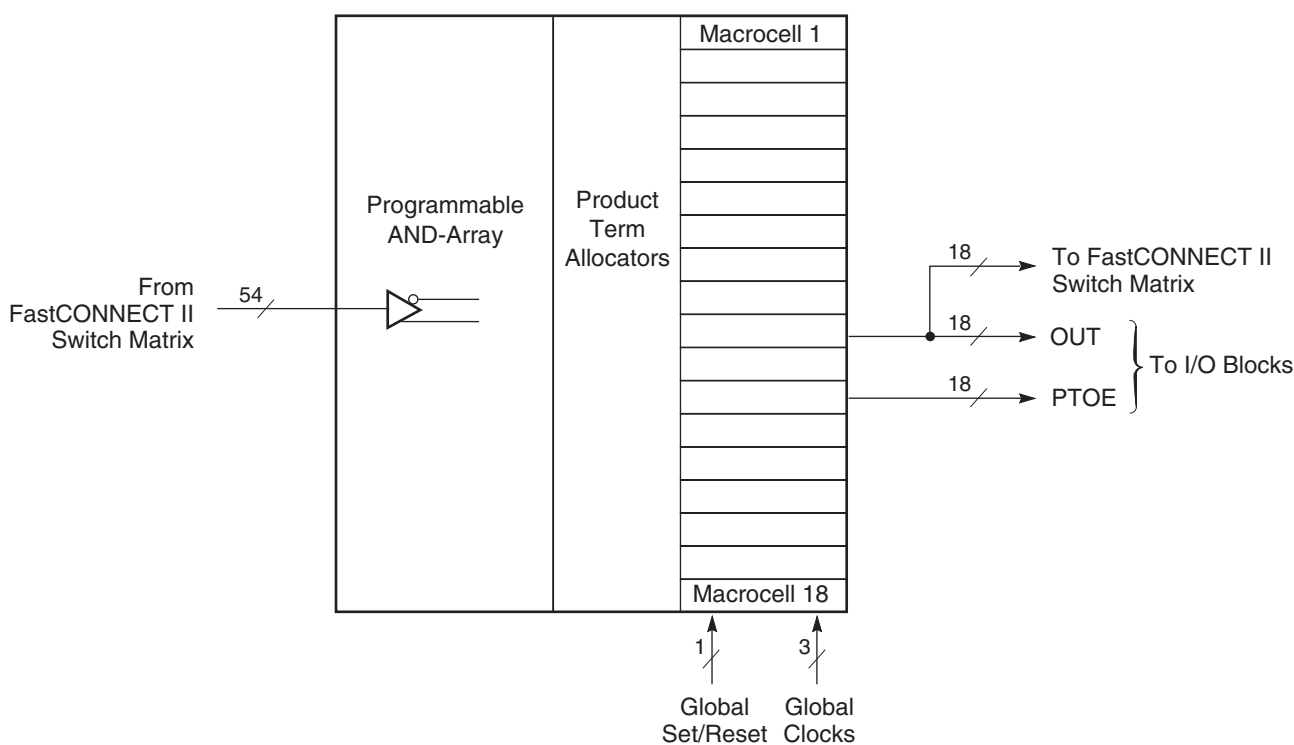
## アーキテクチャの説明

各 XC9500XL デバイスは、複数のファンクション ブロック (FB) と I/O ブロック (IOB) が FastCONNECT II スイッチ マトリックスで内部接続されているサブシステムです。IOB は、デバイスの入力と出力のバッファリングをします。各 FB は、幅広い 54 入力と 18 出力を使用してプログラム可能なロジック機能があります。FastCONNECT II スイッチ マトリックスは、すべての FB 出力と入力信号を FB 入力へ接続します。各 FB では、最大 18 個の出力 (パッケージのピン数に依存) と関連する出力イネーブル信号が IOB を直接駆動します。詳細は、図 1 を参照してください。

## ファンクション ブロック

図 2 で示す各ファンクション ブロックには、18 個の独立したマクロセルがあり、このファンクション ブロックでは、組み合わせファンクションやレジスタ付きファンクションをインプリメントできます。また FB は、グローバルクロック、出力イネーブル、およびセット/リセット信号を受信します。FB は、FastCONNECT II スイッチ マトリックスを駆動する 18 個の出力を生成します。18 個の出力とそれらに対応する出力イネーブル信号も IOB を駆動します。

FB 内のロジックは、積和式を使用してインプリメントされます。54 入力は、108 個の非反転信号と反転信号 (相補信号) をプログラマブル AND アレイへ出力して、90 個の積項を生成します。最大 90 個の積項を、積項アロケータを使用して各マクロセルへ割り当てることができます。



DS054\_02\_042101

図 2 : XC9500XL ファンクション ブロック

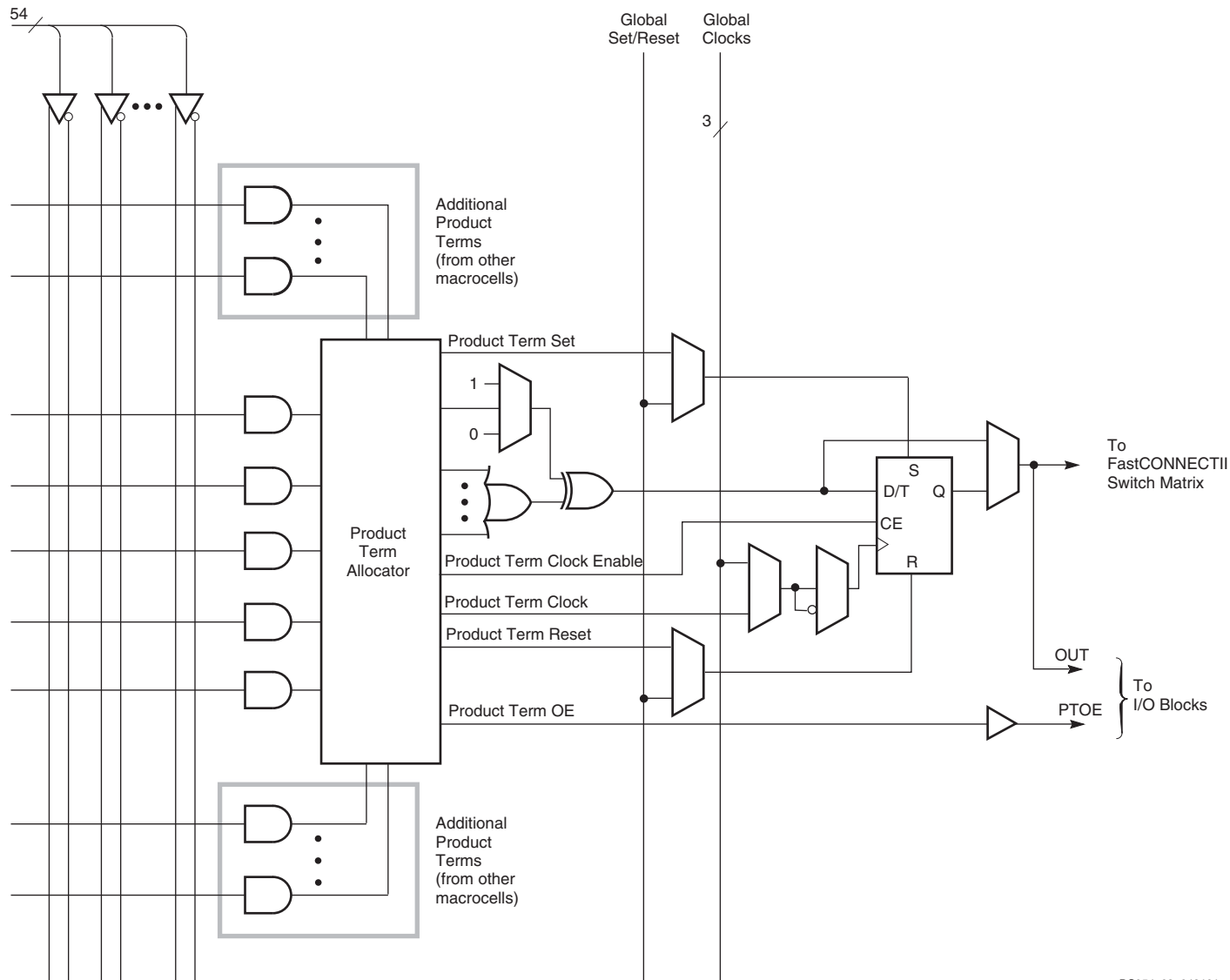
## マクロセル

各 XC9500XL マクロセルは、組み合わせまたはレジスタ付きのファンクションとして個別にコンフィギュレーションできます。図 3 に、マクロセルおよび関連する FB ロジックを示します。

AND アレイからの 5 つの直接積項は、(OR および XOR ゲート) のプライマリ データ入力として使用し、組み合わせファンクションをインプリメントするか、またはクロック、クロック イネーブル、セット/リセット出力イネーブルを含む制御入力として使用し

ます。各マクロセルに依存する積項アロケータが、5 つの積項の使用方法を選択します。

マクロセル レジスタは、D 型または T 型フリップフロップとして、または組み合わせ動作のバイパスとしてコンフィギュレーションできます。各レジスタは非同期セットおよびリセット動作を両方サポートします。パワー アップ中、すべてのユーザー レジスタは初期化され、ユーザーが定義したステートにプリロードします (指定されていない場合は、デフォルト値 0)。

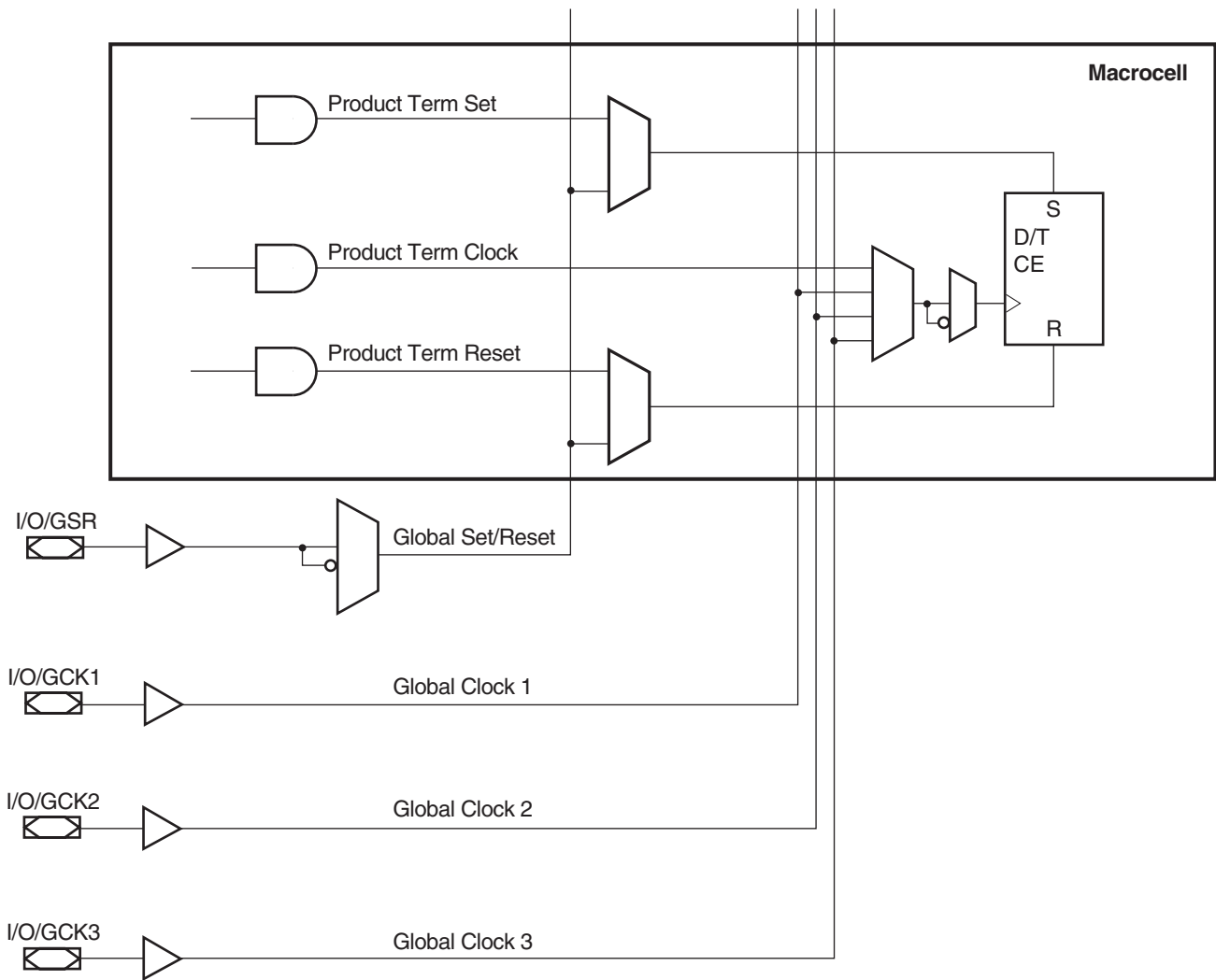


DS054\_03\_042101

図 3 : XC9500XL デバイスのファンクション ブロック内のマクロセル

各マクロセルでは、クロック、セット/リセット、および出力イネーブル信号を含むすべてのグローバル制御信号を使用できます。図 4 で示すように、マクロセルレジスタクロックは、3つのグローバルクロックまたは1つの積項クロックを使用していま

す。選択されたクロックソースの非反転クロックと反転クロックの両方を各マクロセル内で使用できます。また、ユーザーレジスタをユーザー定義のステートに設定する GSR 入力があります。

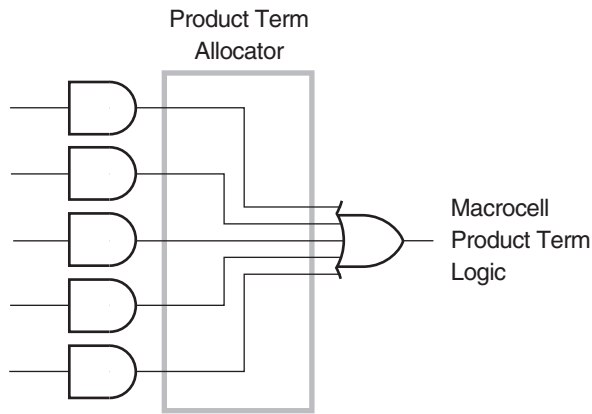


DS05404\_042101

図 4 : マクロセル クロックおよびセット/リセット機能

積項アロケータ

積項アロケータは、5つの直接積項を各マクロセルにどのように割り当てるかを制御します。たとえば、図5に示すように、5つすべての直接積項がORファンクションを駆動します。

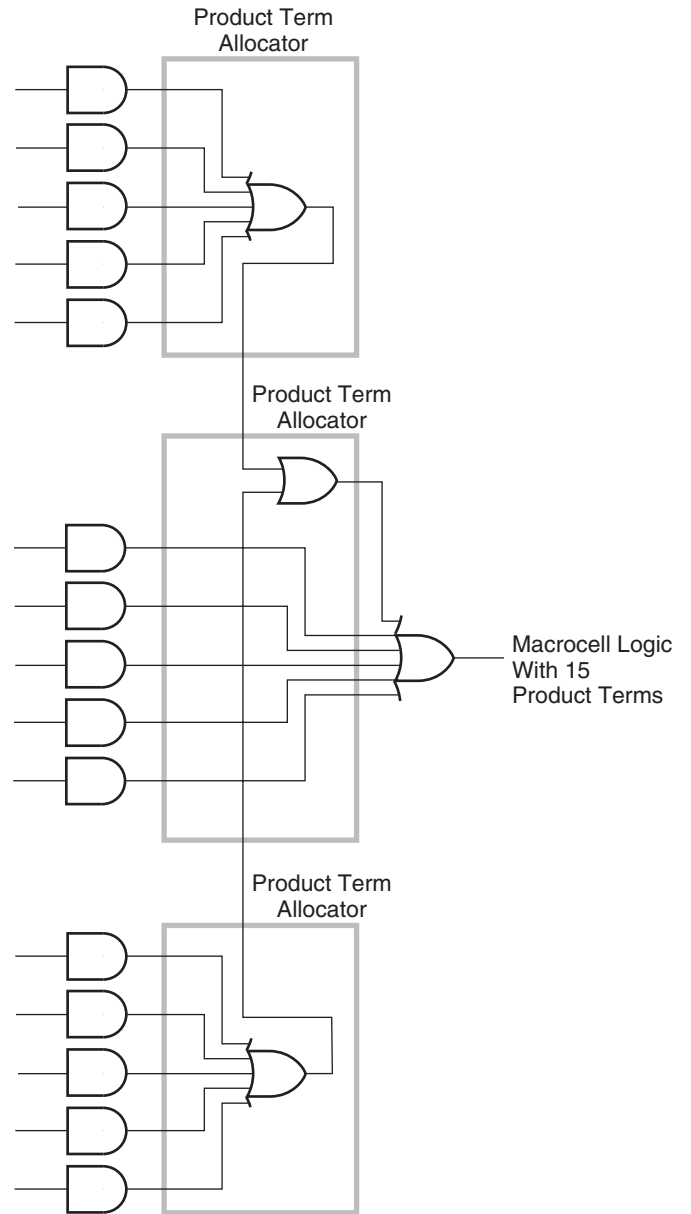


DS054\_05\_042101

図5：直接積項を使用するマクロセルロジック

積項アロケータは、FB内のその他の積項を再割り当てして、1つのマクロセルのロジック容量(5直接積項)以上に増加させることができます。追加の積項を必要とするマクロセルは、FB内のほかのマクロセルの未接続積項へアクセスできます。1つのマクロセルに対して最大15積項の追加が可能であり、この場合のインクリメンタル遅延  $t_{PTA}$  は非常にわずかです(図6参照)。

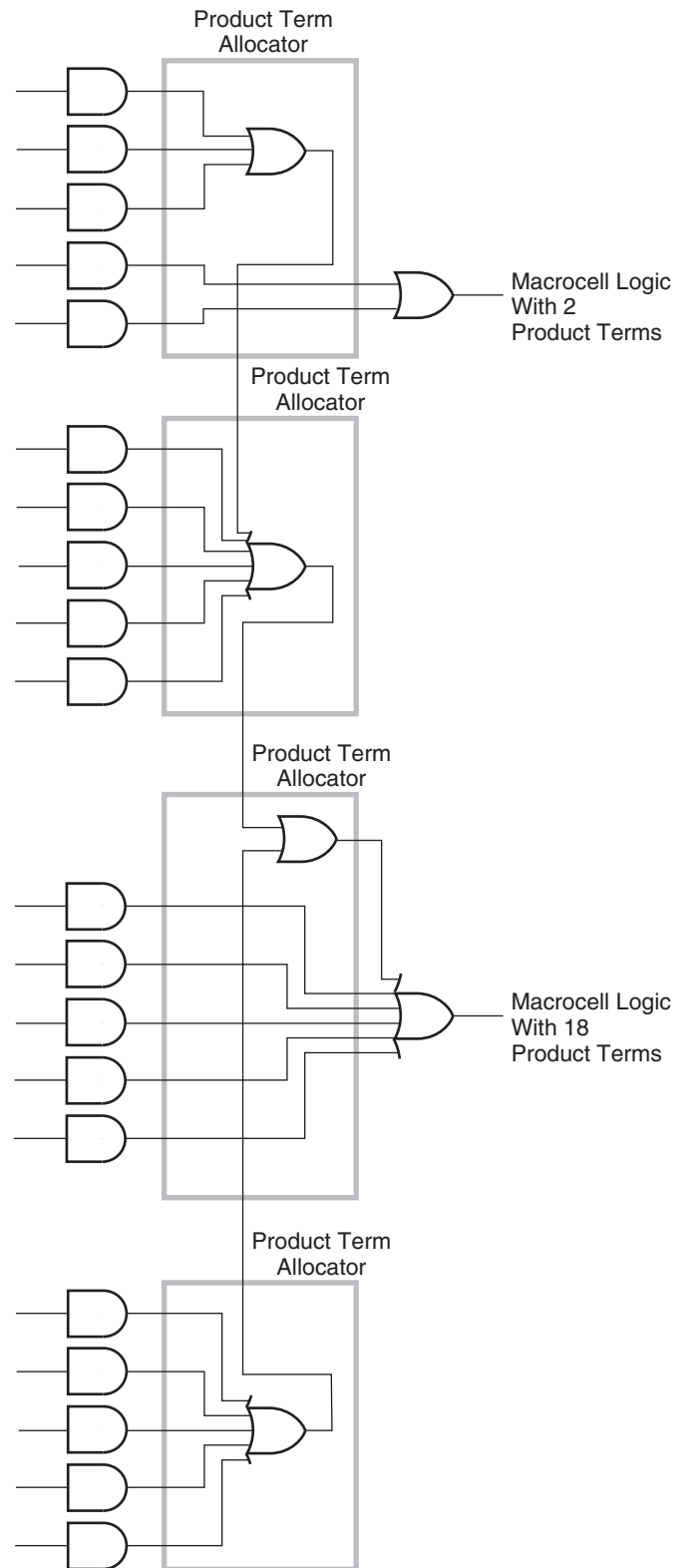
インクリメンタル遅延は、別のマクロセルの積項のみに影響を与えます。直接積項のタイミングは変化しません。



DS054\_06\_042101

図6：15積項の割り当て

積項アロケータは、複数のマクロセルに及び部分的な積和を結合して、FB 内にあるマクロセルの積項を再度割り当てることができます (図 7 参照)。この例の場合、インクリメンタル遅延はわずか  $2 \cdot T_{PTA}$  です。いかなるマクロセルに対しても最大 90 個までの積項を使用でき、最大インクリメンタル遅延は  $8 \cdot T_{PTA}$  になります。

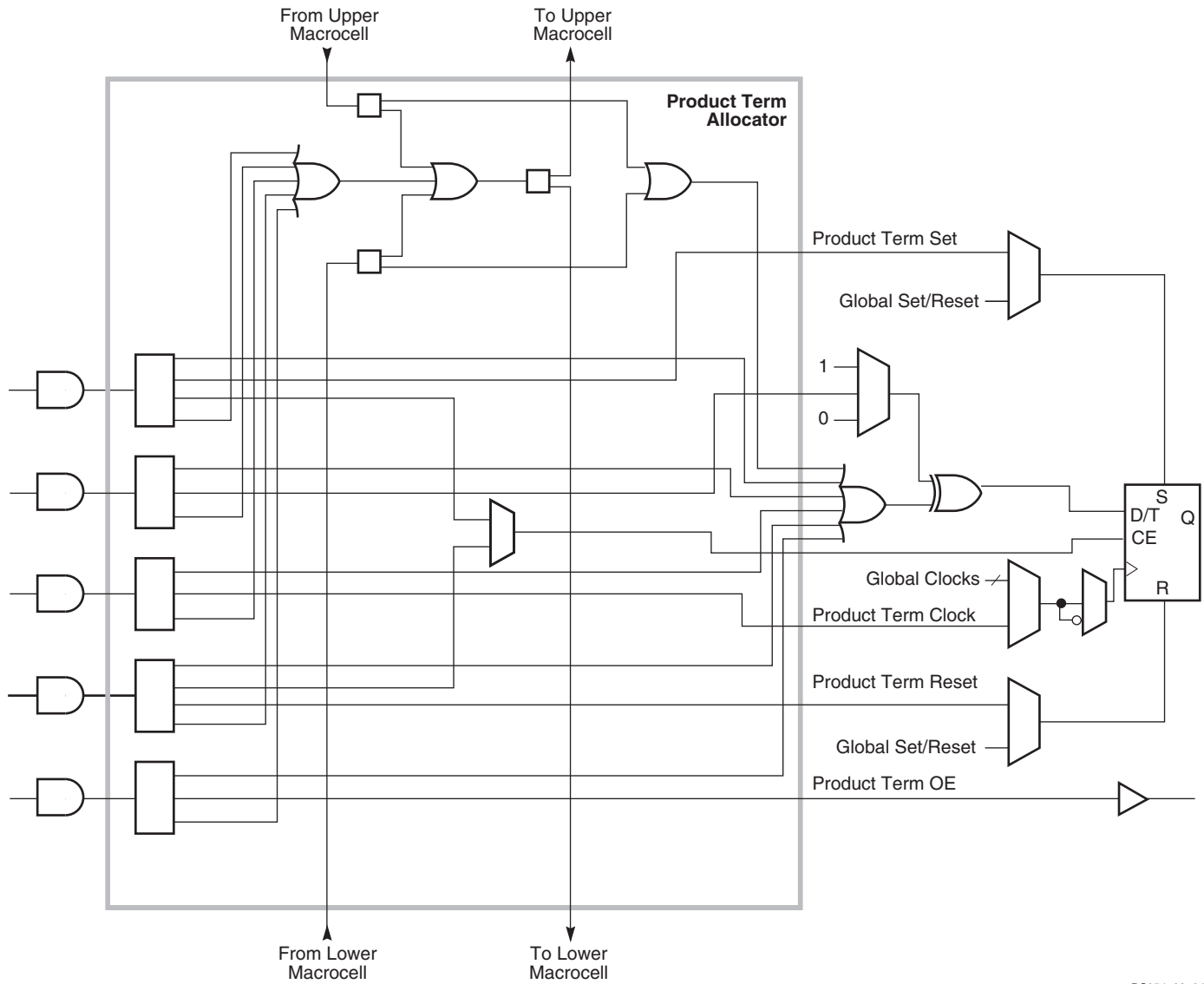


DS054\_07\_042101

図 7: 複数のマクロセルに及び積項の割り当て



図 8 に、積項アロケータの内部ロジックを示します。



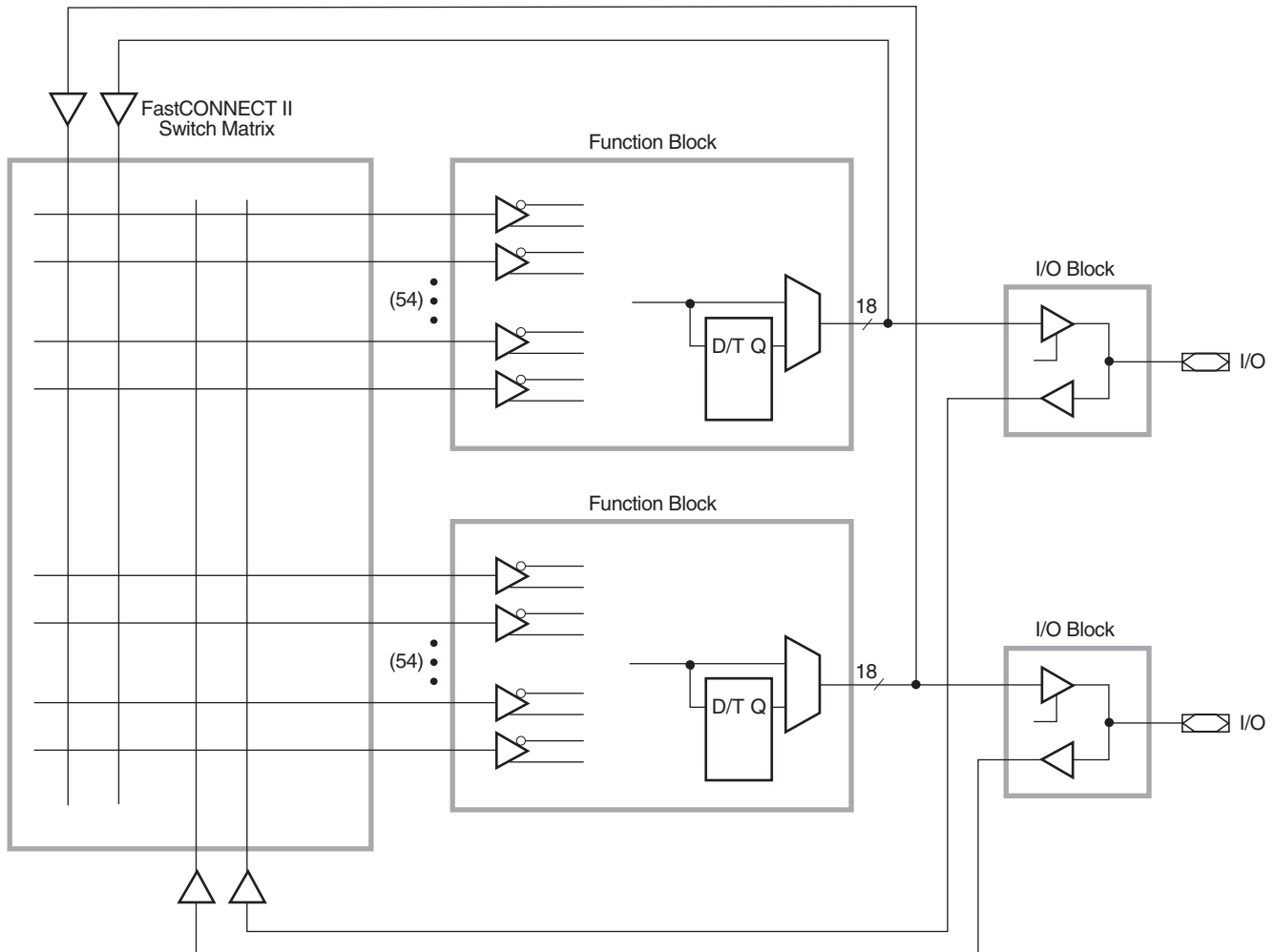
DS054\_08\_042101

図 8 : 積項アロケータのロジック

## FastCONNECT II スイッチ マトリックス

図 9 で示すように、FastCONNECT II スイッチ マトリックスは信号を FB 入力に接続します。全 IOB (ユーザー ピン入力に対応

する) および全 FB 出力が FastCONNECT II スイッチ マトリックスを駆動します。これらのいくつか (ファン インの限度である最大 50 個) を選択し、均一遅延で各 FB を駆動します。



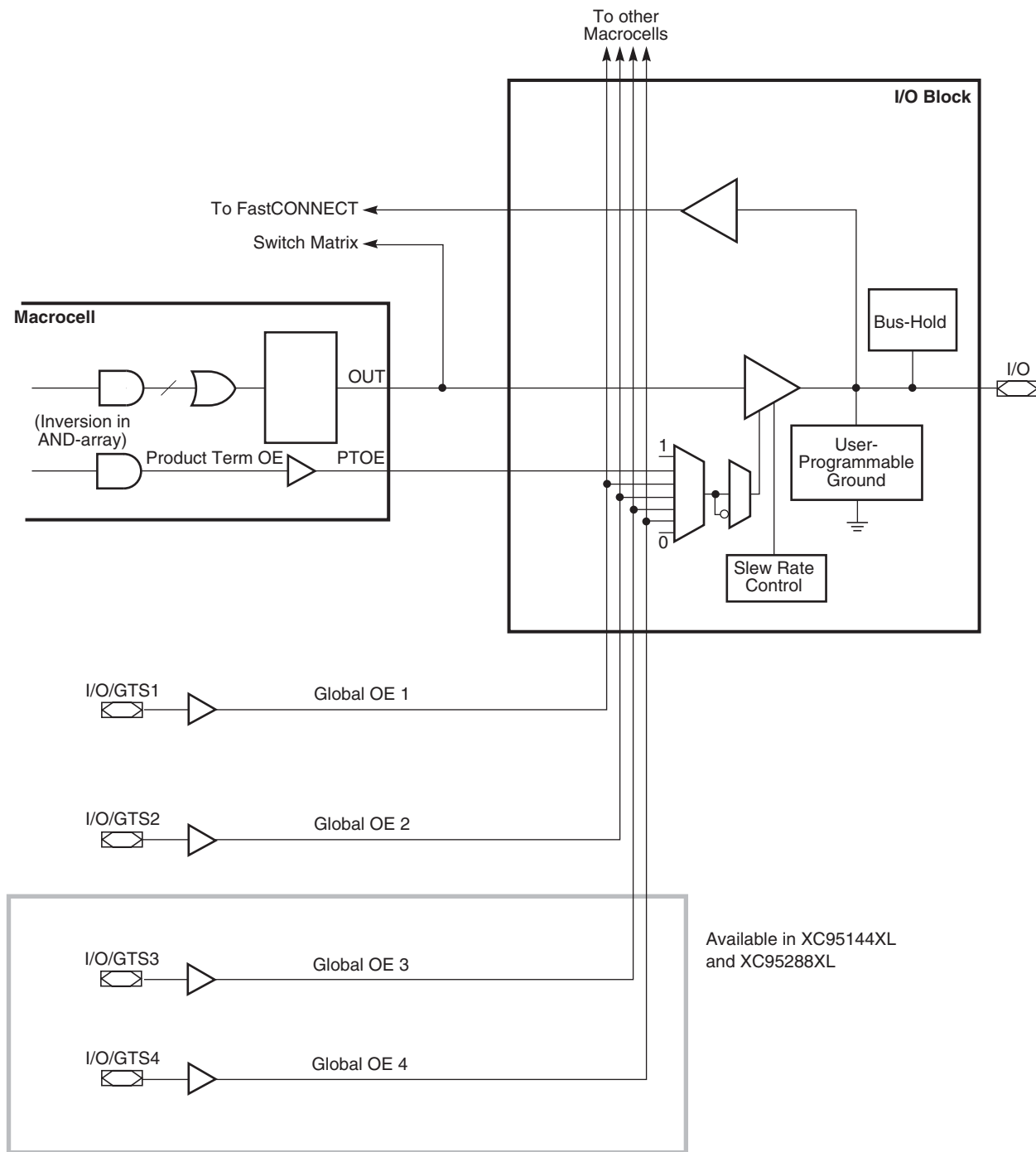
DS054\_09\_042101

図 9 : FastCONNECT II スイッチ マトリックス

## I/O ブロック

I/O ブロック (IOB) は、内部ロジックとデバイス ユーザー I/O ピンを相互接続します。各 IOB には、入力バッファ、出力ドライバ、

出力イネーブル セレクション マルチプレクサ、およびユーザー プログラマブル グラウンド コントロールが含まれています。詳細は、[図 10](#) を参照してください。



DS054\_10\_042101

図 10 : I/O ブロックおよび出力イネーブルの機能

入力バッファは、5V CMOS、5V TTL、3.3V CMOS、および 2.5V CMOS 信号に準拠しています。入力しきい値が一定になり、 $V_{CCIO}$  電圧により変化しないことを保証するために、入力バッファは内部の 3.3V 電源 ( $V_{CCINT}$ ) を使用します。各入力バッファには入力ヒステリシス (通常 50mV) があり、入力信号が緩や

かな立ち上がり/立ち下がりエッジの場合でも、システム ノイズを減少させることができます。

各出力ドライバは、最小限の電源ノイズで高速切り替えができるように設計されています。デバイスのすべての出力ドライバは、

デバイス出力電源を 3.3V または 2.5V に接続して、3.3 V CMOS レベル (5V TTL レベルにも準拠) または 2.5V 電源のいずれかをドライブするようにコンフィギュレーションできます。単一レベルの 3.3V システムで使用される XC9500XL デバイスと複数レベル (5V、3.3V および 2.5V 電源) のシステムで使用される XC9500XL デバイスを図 11 に示します。

また、各出力ドライバはスルーレートが制限される動作にコンフィギュレーションできます。ユーザーの制御により、システムノイズを減少させるために、出力エッジレートを緩やかにすることが可能です (ただし、追加遅延  $t_{SLEW}$  が生じる)。詳細は、図 12 を参照してください。

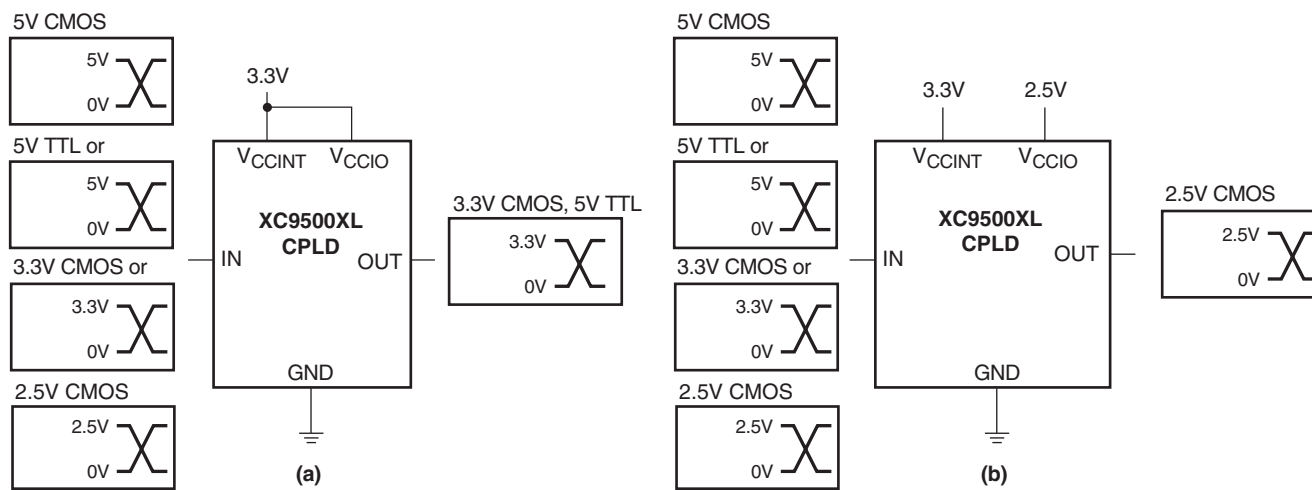
出力イネーブルは、4つのオプションのうち1つで生成されます。マクロセルからの積項信号、いずれかのグローバル出力イネーブル信号 (GTS)、後者は常に「1」または常に「0」です。マクロセル数が 72 個またはそれ以下のデバイスの場合、グローバル出力イネーブルは 2 つあり、マクロセル数が 144 個またはそれ以上のデバイスの場合、グローバル出力イネーブルは 4 つあります。デザインの柔軟性を最大限にするためには、選択した出力イネーブル信号を各ピン出力でローカル反転します。

各 IOB にはユーザー プログラマブル グランド機能があります。この機能を使用すると、デバイス I/O ピンを追加グランドピンとしてコンフィギュレーションできるため、未使用ピンを強制的に

Low 状態にできます。ピンをグランドにするには、内部のマクロセル信号に関わらず LOW を出力させる内部ロジックによるものです。つまり、内部マクロセルロジックは、プログラマブルグランドピン機能の影響を受けません。

また、各 IOB にはバスホールド回路 (キーパ) があり、これはユーザー動作が有効のときにアクティブになります。このバスホールド回路は、前の入力状態を次の入力信号が現れるまで保持するため、未接続ピンを High または Low に接続する必要がありません。バスホールド回路は、約 50k オーム相当の抵抗 ( $R_{BH}$ ) を介して同じ状態を駆動します。詳細は、図 13 を参照してください。バスホールド回路の出力は、2.5V コンポーネントにインターフェイスする場合に限度を超えて駆動することを防ぐために、 $V_{CCIO}$  より高い値では駆動しません。

ユーザー動作が有効でないデバイスの場合、バスホールド回路は、既知の反復可能なデバイス状態を与えるために、デフォルトの等価 50k オームのプルアップ抵抗を介します。この動作は、デバイスが消去状態、プログラミングモード、JTAG INTEST モード、または最初の電源投入時に生じます。電源投入時またはこれらのモードのときに、強制的に LOW 駆動させるためには、デフォルトの  $R_{BH}$  を無効にするようにプルダウン抵抗 (1k オーム) を外部に追加できます。



DS054\_11\_042101

図 11 : XC9500XL デバイス (a) 3.3V システム (b) 複数レベル混在システム 5V/3.3V/2.5V

## 5V トラレント I/O

コアの電源が 3.3V の場合でも、各 XC9500XL デバイスの I/O はすべて 5V トラレントであるため、5V の CMOS 信号を XC9500XL の入力へ直接接続しても問題ありません。また、3.3V  $V_{CCINT}$  電源の投入前あるいは後でも、5V 信号は I/O へ入力可能です。5V、3.3V、2.5V が混在するシステムでは、ユーザーピン、コア電源 ( $V_{CCINT}$ )、出力電源 ( $V_{CCIO}$ ) に電圧を加える順序は特に規定していません。このため、XC9500XL デバイスでは電源投入順序に関する問題が発生する心配はありません。

ザイリンクス独自の ESD 回路とハイインピーダンス初期スタート機能により、カードのホットプラグが可能となります。

## ピン固定機能

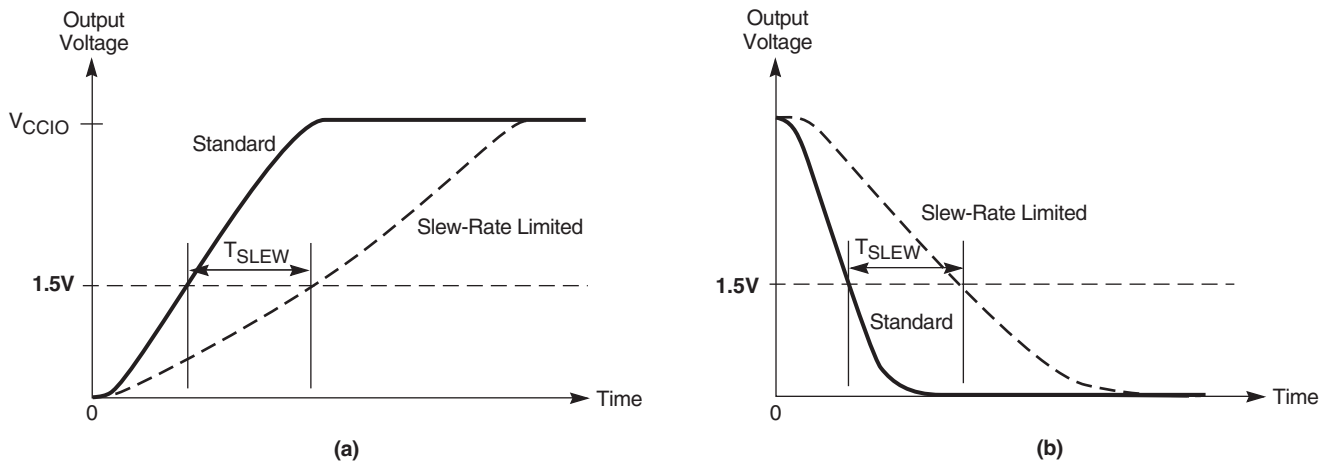
デザインの変更時にユーザーが定義するピン割り当てを固定する機能は、アーキテクチャが予期しない変更にもどれだけ対応できるかに依存します。XC9500XL デバイスには、ピン割り当てを固定しながらデザインの変更を可能にする機能を強化したアーキテクチャが組み込まれています。

XC9500XL のアーキテクチャは、各マクロセル内にある FastCONNECT II スイッチマトリックスの多数配線スイッチ、54 入力のファンクションブロック、そして柔軟性のある双方向積項アロケーションをすべて組み合わせて使用することで、優れたピン固定が可能になりました。これらの機能が、既存式への信

号追加や数式の複雑化などの内部配線の追加/変更が必要なデザインに対応します。

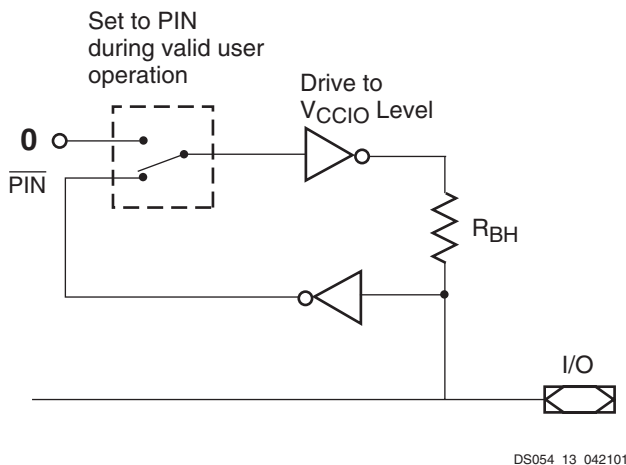
最初に選択したデバイスのロジック許容量を超える大幅なデザインの変更には、同じピン配置を使用して、ピン互換のある大規模

デバイスに新しいデザインをフィットさせることができます。ボードを再設計することなく、高集積デバイスに同じボードを使用することも可能です。



DS054\_12\_042101

図 12：出力スlew レート制限 (a) 立ち上がり出力 (b) 立ち下がり出力



DS054\_13\_042101

図 13：バス ホールド ロジック

### インシステムプログラミング

XC9500XL デバイスを 1 個または複数デジタイズ チェーン接続し、一般的な 4 ピンの JTAG プロトコルを使用してインシステムプログラミングできます (図 14 参照)。インシステムプログラミングを実行すると、迅速で効率的なデザインの繰り返しが可能で、デバイスパッケージを取り扱う必要がなくなります。ザイリンクスの開発システムは、ザイリンクスのダウンロードケーブル、サードパーティの JTAG 開発システム、JTAG と互換性のあるボード テスタ、または JTAG 命令シーケンスをエミュレートする単純なマイクロプロセッサ インターフェイスを使用するプログラミング データ シーケンスを提供します。

すべての I/O はトライステートであり、インシステムプログラミング中はバス ホールド回路によって High にプルアップされま

す。この時、Low にする必要があるピンには、プルダウン抵抗を追加します。

### 外部プログラミング

XC9500XL デバイスは、ザイリンクス HW-130 デバイス プログラマやサードパーティ プログラマでプログラムできます。つまり、製造中にはプログラム済みデバイスを使用し、将来の機能拡大やデザイン変更にはインシステム プログラマブル オプションを使用できるという柔軟性が備わりました。

### 信頼性と耐久性

すべての XC9500XL CPLD は、インシステム プログラムと消去が最低 10,000 サイクル保証され、データ保持期間は最低 20 年です。この制限内であれば、デバイスのファンクション、パフォーマンス、データ保持などすべての特性に問題はありません。

### IEEE 1149.1 バウンダリ スキャン (JTAG)

XC9500XL デバイスは、IEEE 1149.1 バウンダリ スキャン (JTAG) を完全にサポートします。各デバイスでは、EXTEST、SAMPLE/PRELOAD、BYPASS、USERCODE、INTEST、IDCODE、HIGHZ および CLAMP 命令がサポートされています。インシステム プログラミング動作には、追加の命令が含まれます。

### デザイン セキュリティ

XC9500XL デバイスには高度なデータ セキュリティ 機能が組み込まれており、不正な読み出しおよび不注意による消去/上書きから完全に保護します。表 3 に、4 つのセキュリティ 設定を示します。

ユーザーが読み出し用セキュリティビットを設定すると、JTAG を介する内部プログラミングパターンの読み出しおよびコピーを防止できます。一度設定すると、新たなプログラムは許可されませんが消去は可能です。なお、デバイス全体を消去しない限り、このセキュリティビットはリセットできません。

書き込み用のセキュリティビットは、電源投入時など JTAG ピンがノイズの影響を受ける際の不注意な消去/上書きから保護します。設定後、デバイスが有効なパターンで再プログラミングす

る必要がある場合は、JTAG の特定シーケンスを使用して書き込み保護を解除できます。

表 3: データセキュリティのオプション

		読み出し用のセキュリティ	
		デフォルト	設定
書き込み用のセキュリティ	デフォルト	読み出し可 プログラム/消去可	読み出し不可 プログラム不可 消去可
	設定	読み出し可 プログラム/消去可	読み出し不可 プログラム/消去不可

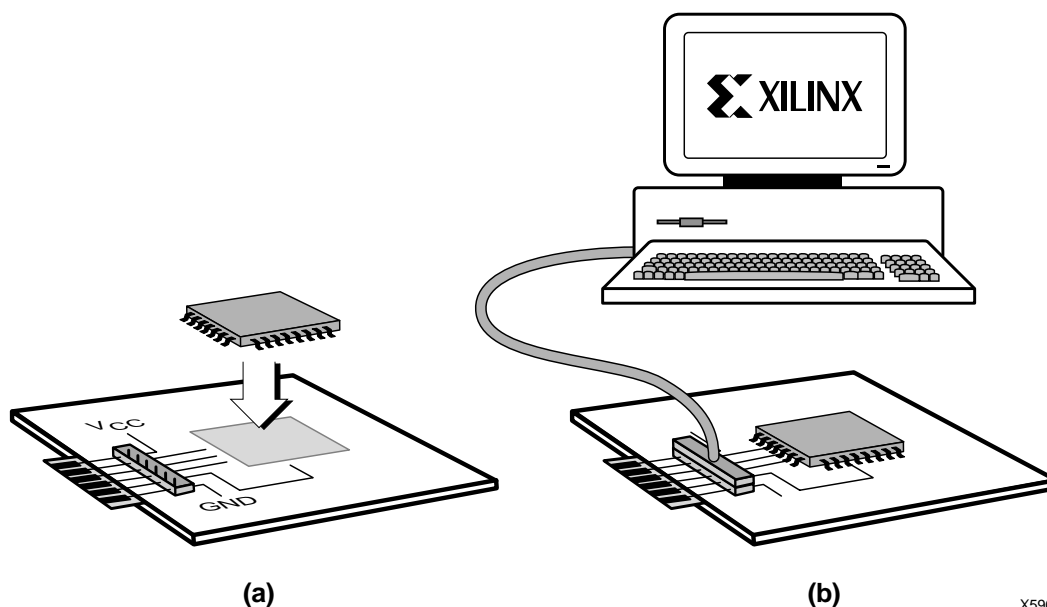


図 14: システムプログラミング動作 (a) デバイスを PCB にはんだ付け (b) ダウンロードケーブルを使用したプログラム

## 低電力モード

すべての XC9500XL デバイスには、個別マクロセルまたは全マクロセルに対して低電力モードがあります。このモードを使用すると、デバイスの消費電力を大幅に削減できます。

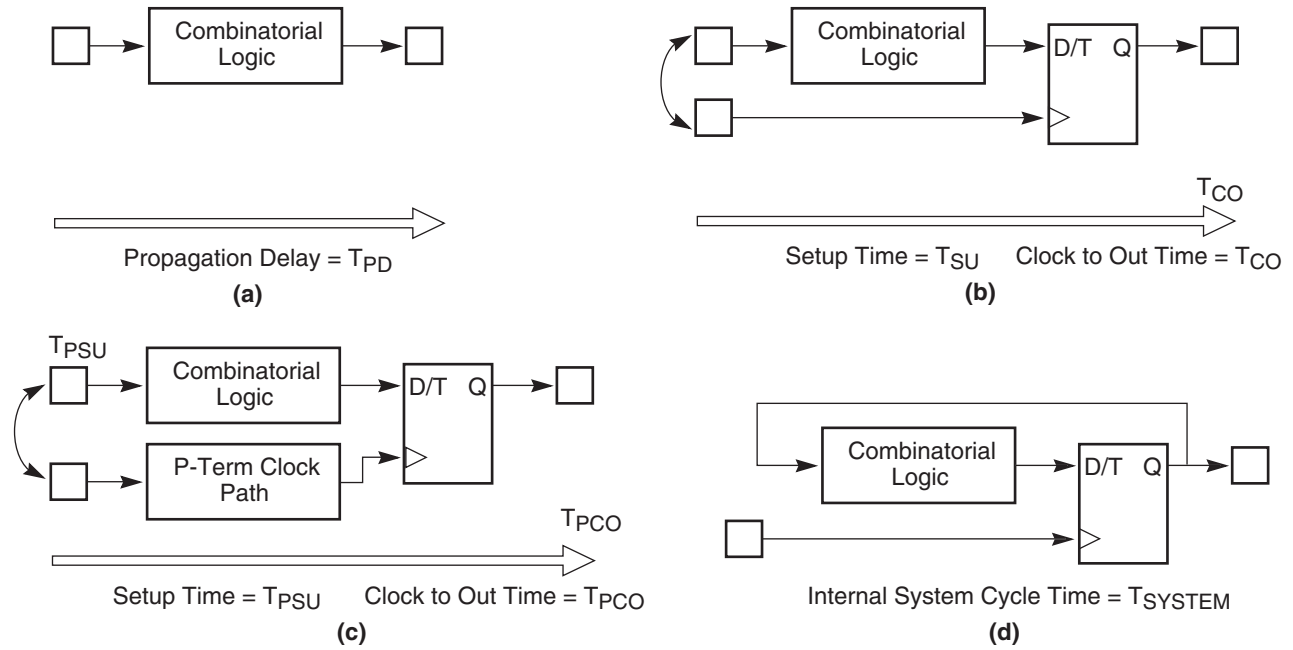
個別のマクロセルに対して、低電力モードでプログラムできます。パフォーマンスが重要なアプリケーションのパーツには、標準の電力モードを使用し、その他のパーツには低電力モードを使用してプログラミングすると、全体的な消費電力を抑えることができます。低電力モードでプログラムしたマクロセルには、ピン間の組み合わせ遅延やレジスタセットアップタイムで追加遅延 ( $t_{LP}$ ) が生じます。積項クロックから出力までの遅延および積項出力イネーブル遅延は、マクロセルの電力モード設定の影響を受けません。低電力モードでコンフィギュレーションしたマクロセルには、立ち上がり/立ち下がり時間が 50ns 以下で切り替わる信号を割り当てる必要があります。

## タイミングモデル

XC9500XL アーキテクチャの一貫性により、全デバイスのタイミングモデルが単純化されました。図 15 に示す基本的なタイミングモデルは、直接積項のみを使用したマクロセルファンクションで、標準電力モードおよび標準スループートを使用した場合に有効です。各主要タイミングパラメータが、積項アロケータ (必要な場合)、低電力モード、およびスループート制限設定によって受ける影響を表 4 に示します。

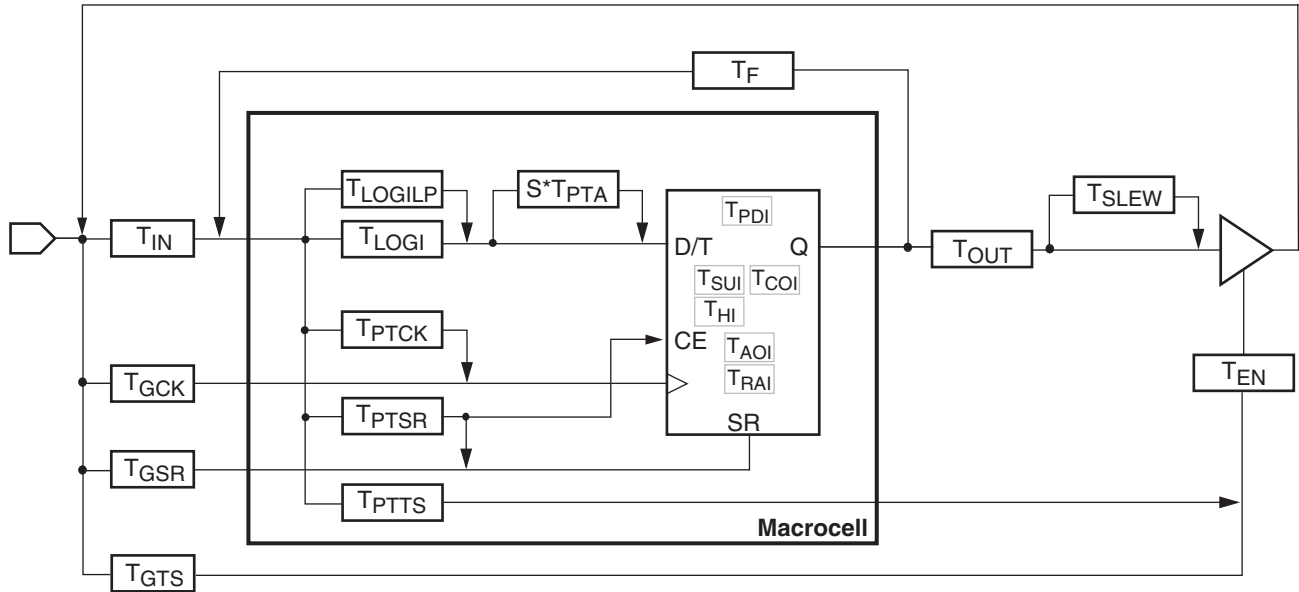
積項アロケーション時間は、マクロセルファンクションのロジックスパンに依存します。積項パスにあるアロケータの最大数より 1 つ小さい値として定義されます。直接積項のみ使用される場合は、ロジックスパンは 0 になります。図 6 の例は、スパンは 1 個で最大 15 個の積項を使用できることを示しています。図 7 の例は、18 個の積項ファンクションに 2 個のロジックスパンがあることを示しています。

タイミングの詳細情報は、図 16 に示す完全なタイミング モデルから抽出されます。各パラメータの値および説明は、各デバイスのデータシートを参照してください。



DS054\_15\_042101

図 15 : 基本的タイミング モデル



DS054\_16\_042101

図 16 : 詳細タイミング モデル



## パワーアップ タイミング特性

パワーアップ時、XC9500XL デバイスの I/O は、 $V_{CCINT}$  が 1V 以上になるまで定義されない場合があります。トランジスタが完全にオンになっていないため、この時間をサブスレッショルド領域と言います。 $V_{CCINT}$  より前または同時に  $V_{CCIO}$  電源が投入されると、この電圧遷移範囲内で I/O が駆動される場合があります。 $V_{CCINT}$  より後に  $V_{CCIO}$  電源が投入されると、サブスレッショルド領域を通過し、 $V_{CCINT}$  がユーザー動作状態のスレッショルド (約 2.5V) に達するまで I/O は弱いプルアップが付いたトライステートになります。図 17 に示すように、 $V_{CCINT}$  がこの値まで到達すると、ユーザーレジスタが初期化 (通常 200 $\mu$ s 以内) され、その後 I/O はユーザーパターンで決定されたビヘイビアを実行します。

デバイスが消去された状態の場合 (すべてのユーザーパターンがプログラムされる前)、デバイス出力は弱いプルアップがあるディスエーブル状態のままになります。JTAG ピンはイネーブルで、常にプログラムできる状態です。すべてのデバイスは、消去された状態で工場から出荷されます。

デバイスがプログラムされると、入力と出力はコンフィギュレーションされた状態になり、通常動作できます。JTAG ピンはイネーブルなので、デバイスの消去またはバウンダリスキャンテストを常時実行できます。

## 開発システム サポート

XC9500XL ファミリーおよび関連するインシステムプログラミング機能は、ザイリンクスが提供するソフトウェアソリューションで完全にサポートされています。

Foundation シリーズは、回路図入力、HDL (VHDL、Verilog、ABEL) およびシミュレーション機能をすべて含む開発システムです。この開発システムは、XC9500XL ファミリー、その他の CPLD および FPGA ファミリーをサポートしています。

Alliance シリーズには、CPLD および FPGA インプリメンテーションテクノロジーおよび Alliance パートナー EDA ソリューションに必要なすべてのライブラリとインターフェイスが含まれています。

## FastFLASH テクノロジー

すべての XC9500XL デバイスは、高度な 0.35 $\mu$ m CMOS Flash プロセスを採用しています。FastFLASH プロセスでは、高いパフォーマンスロジック機能、高速プログラミング、および優れた信頼性と耐久性が可能です。

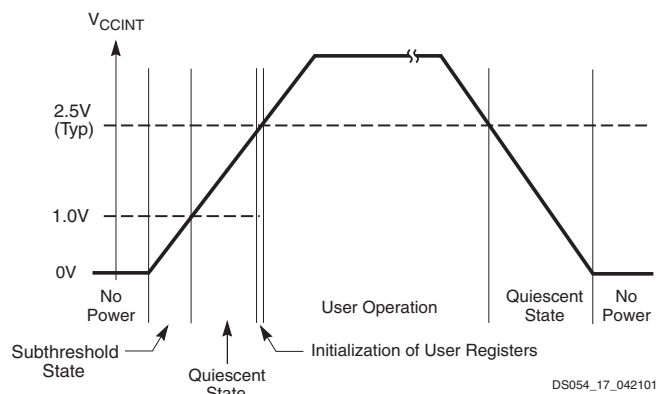


図 17: 電源投入時のデバイスビヘイビア

表 4: タイミングモデルパラメータ

パラメータ	説明	積項 アロケータ <sup>(1)</sup>	マクロセル 低電力モード	出力スルーレート制限 設定
$T_{PD}$	伝播遅延	$+ T_{PTA} * S$	$+ T_{LP}$	$+ T_{SLEW}$
$T_{SU}$	グローバルクロックセットアップタイム	$+ T_{PTA} * S$	$+ T_{LP}$	-
$T_{CO}$	グローバル Clock to Out	-	-	$+ T_{SLEW}$
$T_{PSU}$	P-term のクロックセットアップタイム	$+ T_{PTA} * S$	$+ T_{LP}$	-
$T_{PCO}$	P-term の Clock to Out	-	-	$+ T_{SLEW}$
$T_{SYSTEM}$	内部システムサイクル周期	$+ T_{PTA} * S$	$+ T_{LP}$	-

メモ:

1.  $S$  = ファンクションのロジックスパン (文中で定義済み)

表 5: XC9500XL ピンの特性

デバイス回路	サブスレッショルド 状態	静止状態	消去状態の デバイス動作	有効なユーザー動作
IOB バス ホールド	不定	プルアップ	プルアップ	バス ホールド
デバイス I/O およびクロック	不定	ディスエーブル	ディスエーブル	コンフィギュレーション どおり
JTAG コントローラ	不定	ディスエーブル	イネーブル	イネーブル



## 保証免責条項

これらの製品は、<http://www.xilinx.co.jp/warranty.htm> に記載する XILINX (以下「ザイリンクス」とする) 限定保証に従うものとし、当限定保証では、該当時点での該当製品ザイリンクスデータシートに記載されている以外のアプリケーションまたは環境での使用については保証いたしません。更に製品はフェイルセーフ設計されたものではなく、身体的危害または人命損失などの危険性のあるアプリケーションでの使用に対して、ザイリンクスは一切の保証責任を負いません。かかるアプリケーションでの使用は、適応される法律および規制に従い、使用する側が一切の責任を負うものとします。

## 参考文献

次のリンクは、XAPP111:『XC9500XL タイミング モデルの使用』、および XAPP784:『安定した CPLD デザイン プラクティス』を含む XC9500XL CPLD に関連する資料を一覧するサイトです。次のリンクをクリックしてスクロールしてください。

[XC9500XL CPLD に関する資料の一覧](#)

[パッケージ仕様](#)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
1998/09/28	1.0	初版リリース
1998/10/02	1.1	図 1 の修正
1999/02/03	1.2	ホットソケットリファレンスの変更、レイアウト変更、XC95288XL の BGA パッケージの変更
1999/04/02	1.3	微修正
1999/06/07	1.4	微修正
1999/06/07	1.5	CS280 パッケージの追加
2002/01/25	1.6	DS054 データシート番号の追加、44 ピン VQFP パッケージの追加、デバイスファミリ表の変更
2003/02/07	1.7	参考文献の追加
2004/08/02	1.8	鉛フリーの資料追加
2004/11/11	1.9	2 ページの表 2 のパッケージ詳細の変更
2005/07/15	2.0	Product 製品仕様に移行
2006/03/22	2.1	保証免責事項を追加
2006/07/25	2.2	16 ページの図 17 と表 5 にサブスレッシュホールド状態の説明追加