

## 特長

- 5nsピン間ロジック遅延
- 最大178 MHzのシステム周波数
- 36マクロセル数、800使用可能ゲート数
- 小型フットプリント・パッケージ使用
  - 44ピンPLCC (34ユーザI/O数)
  - 44ピンVQFP (34ユーザI/O数)
  - 48ピンCSP (36ユーザI/O数)
  - 64ピンVQFP (36ユーザI/O数)
- 高性能3.3Vシステムに最適化
  - 低消費電力動作
  - 5VトレラントI/Oピンは5V、3.3V、および2.5Vを受容
  - 3.3Vあるいは2.5Vの出力機能
  - 0.35μmプロセスの先端CMOS FastFLASH™テクノロジー
- 先進のシステム機能
  - イン・システムのプログラムが可能
  - FastCONNECT™ IIスイッチ・マトリックスを使用し、優れたピン・ロック (固定) 機能と配線機能
  - 超ワイドの54入力ファンクション・ブロック
  - マクロセルあたり最大90積項、各積項は独立に割当可能
  - 3本のグローバル・クロックと1本の積項クロックに関して局所的反転が可能
  - 出力ピンごとに独立した出力イネーブル
  - 全てのユーザ・ピンとバウンダリ・スキャン・ピンに入力ヒステリシス機能を付加
  - 全てのユーザ・ピン入力にバス・ホールド回路
  - IEEE標準1149.1バウンダリ・スキャン (JTAG) 仕様に完全準拠
- 高速コンカレント・プログラミング
- 個々の出力へのスルー・レート制御
- データ・セキュリティ機能の強化
- 優れた品質と信頼性
  - 10,000回のプログラム/消去回数を超える耐久性
  - 20年のデータ保持期間
  - 2,000Vを超えるESD耐圧
- 44ピンPLCCパッケージと48ピンCSPパッケージに封止された5VコアのXC9536デバイスとのピン互換性

## デバイスの概要

XC9572XLデバイスは3.3V CPLDで、先端の通信システムやコンピュータ・システムなどの高性能、低電圧アプリケーションをターゲットにしています。これは、2個の54入力18出力のファンクション・ブロックで構成され、800個の使用可能ゲートを5nsの伝搬遅延で提供します。図2に示したアーキテクチャの概要を参照してください。

## 消費電力の予測

CPLDの消費電力は、基本的に、システム周波数、デザイン・アプリケーションおよび出力負荷に依存して変化します。消費電力を低減するには、XC9500XLデバイスの各マクロセルを (デフォルトの高性能モードから) 低消費電力モードにコンフィギュレーションするのがよいでしょう。さらに、未使用の積項とマクロセルはソフトウェアで自動的に非アクティブにし、消費電力を低減することが可能です。

一般的な $I_{CC}$ の算出には、次の式を用います。

$$I_{CC} \text{ (mA)} = MC_{HS} (0.175 * PT_{HS} + 0.345) + MC_{LP} (0.052 * PT_{LP} + 0.272) + 0.04 * MC_{TOG} (MC_{HS} + MC_{LP}) * f$$

ここで、

$MC_{HS}$  = 高速コンフィギュレーションされたマクロセル数

$PT_{HS}$  = マクロセルあたり的高速積項の平均数

$MC_{LP}$  = 低消費電力にコンフィギュレーションされたマクロセル数

$PT_{LP}$  = マクロセルあたりの低消費電力積項の平均数

$f$  = 最大クロック周波数

$MC_{TOG}$  = クロックあたりトグルするフリップフロップ数の平均百分率 (約12%)

この計算は、XC9500XLパーツを16ビットカウンタでいっぱいにして単一出力 (LSB) をイネーブルした計測結果です。実際の $I_{CC}$ 値はデザイン・アプリケーションにより変化しますので、通常のシステム動作時に検証してください。図1は上記の予測値をグラフで示したものです。このデバイスの消費電力に関する詳細については、ザイリンクスのアプリケーション・ノート [XAPP114](#)、[“Understanding XC9500XL CPLD Power”](#) を参照してください。

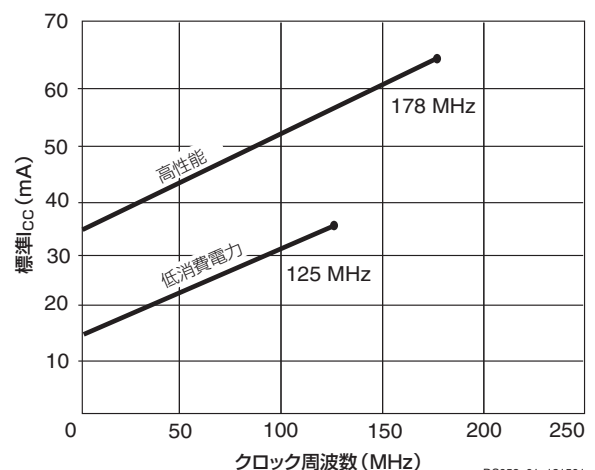
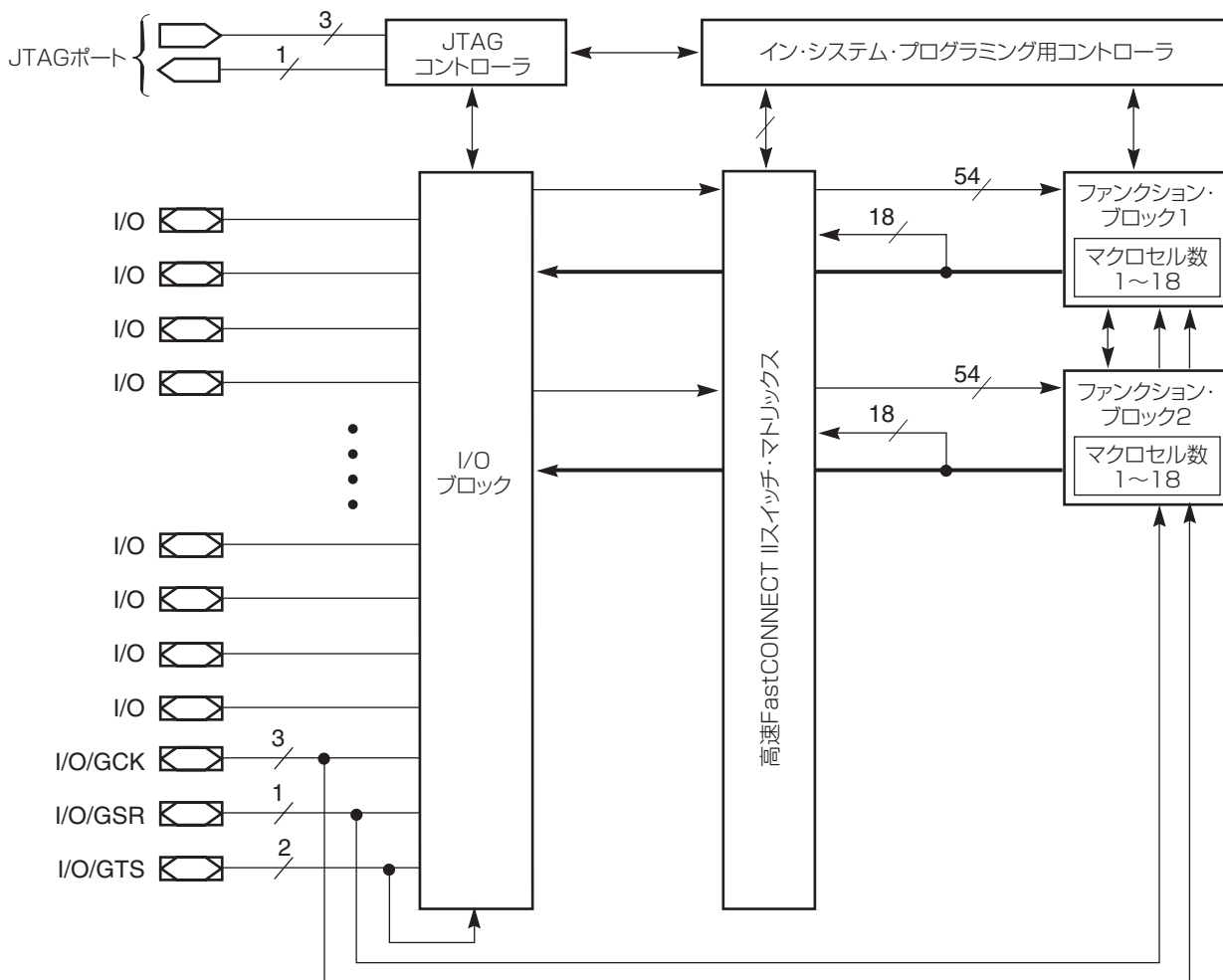


図1: XC9536XLに関する標準 $I_{CC}$ と周波数の関係



DS058\_02\_081500

図2：XC9536XLのアーキテクチャ

注：ファンクション・ブロック出力（太線表示）は、I/Oブロックを直接ドライブします。

**絶対最大定格**

記号	説明	数値	単位
$V_{CC}$	GNDを基準とした供給電源電圧	-0.5 to 4.0	V
$V_{IN}$	GNDを基準とした入力電圧 <sup>(1)</sup>	-0.5 to 5.5	V
$V_{TS}$	3ステート出力に印加される電圧 <sup>(1)</sup>	-0.5 to 5.5	V
$T_{STG}$	ストレージ温度 (周囲)	-65 to +150	°C
$T_{SOL}$	半田付けの最大温度 (1/16インチ = 16 mmの距離で10秒)	+220	°C
$T_J$	接合温度	+150	°C

- 注：
- GND以下の最大DCアンダーシュートは、0.5Vか10mAの、いずれか実現しやすい方法で制限してください。遷移期間には、デバイス・ピンが-2.0Vにアンダーシュートしても+7.0Vにオーバーシュートしてもよいのですが、アンダーシュート/オーバーシュートの時間は10ns以下で、強制電流は200mA以下にしてください。
  - ここに記述した絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与える場合があります。これらはストレスの定格のみを示すものであり、これらの条件や動作条件に記述されたものを超える他のいかなる条件下でのデバイスのファンクション動作を想定しているものではありません。絶対最大定格の条件下に長時間おくと、デバイスの信頼性に影響を与える場合があります。

**推奨動作条件**

記号	パラメータ	最小値	最大値	単位	
$V_{CCINT}$	内部ロジックと入力バッファに対する供給電圧	商業用 $T_A=0^{\circ}\text{C}$ to $70^{\circ}\text{C}$	3.0	3.6	V
		工業用 $T_A=-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	3.0	3.6	V
$V_{CCIO}$	3.3V動作時の出力ドライバに対する供給電圧	3.0	3.6	V	
	2.5V動作時の出力ドライバに対する供給電圧	2.3	2.7	V	
$V_{IL}$	Lowレベル入力電圧	0	0.80	V	
$V_{IH}$	Highレベル入力電圧	2.0	5.5	V	
$V_O$	出力電圧	0	$V_{CCIO}$	V	

**品質と信頼性特性**

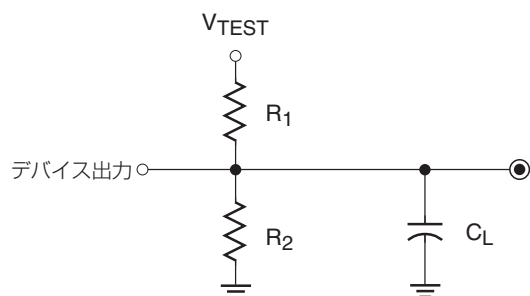
記号	パラメータ	最小値	最大値	単位
$T_{DR}$	データ保持時間	20	-	年
$N_{PE}$	プログラム/消去回数 (耐久性)	10,000	-	回
$V_{ESD}$	静電耐圧 (ESD)	2,000	-	ボルト

**推奨動作条件下でのDC特性**

記号	パラメータ	テスト条件	最小値	最大値	単位
$V_{OH}$	3.3V出力に対する出力high電圧	$I_{OH} = -4.0\text{ mA}$	2.4	-	V
	2.5V出力に対する出力high電圧	$I_{OH} = -500\text{ }\mu\text{A}$	$90\% V_{CCIO}$	-	V
$V_{OL}$	3.3V出力に対する出力low電圧	$I_{OL} = 8.0\text{ mA}$	-	0.4	V
	2.5V出力に対する出力low電圧	$I_{OL} = 500\text{ }\mu\text{A}$	-	0.4	V
$I_{IL}$	入力リーク電流	$V_{CC} = \text{Max}; V_{IN} = \text{GND or } V_{CC}$	-	$\pm 10$	$\mu\text{A}$
$I_{IH}$	I/Oの高インピーダンスリーク電流	$V_{CC} = \text{Max}; V_{IN} = \text{GND or } V_{CC}$	-	$\pm 10$	$\mu\text{A}$
$I_{IH}$	I/Oの高インピーダンスリーク電流	$V_{CC} = \text{Max}; V_{CCIO} = \text{Max}; V_{IN} = \text{GND or } 3.6\text{V}$	-	$\pm 10$	$\mu\text{A}$
		$V_{CC} \text{ Min} < V_{IN} < 5.5\text{V}$	-	$\pm 50$	$\mu\text{A}$
$C_{IN}$	I/Oキャパシタンス (容量)	$V_{IN} = \text{GND}; f = 1.0\text{ MHz}$	-	10	pF
$I_{CC}$	動作時の供給電流 (低消費電力モード、アクティブ)	$V_{IN} = \text{GND}, \text{ 無負荷}; f = 1.0\text{ MHz}$	10 (標準値)		mA

## AC特性

記号	パラメータ	XC9536XL-5		XC9536XL-7		XC9536XL-10		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
$T_{PD}$	I/Oから有効出力	-	5.0	-	7.5	-	10.0	ns
$T_{SU}$	GCK前のI/Oセットアップ時間	3.7	-	4.8	-	6.5	-	ns
$T_H$	GCK後のI/Oホールド時間	0	-	0	-	0	-	ns
$T_{CO}$	GCKから有効出力	-	3.5	-	4.5	-	5.8	ns
$f_{SYSTEM}$	複数FB内部の動作周波数	-	178.6	-	125	-	100.0	MHz
$T_{PSU}$	積項クロック入力前のI/Oセットアップ時間	1.7	-	1.6	-	2.1	-	ns
$T_{PH}$	積項クロック入力後のI/Oホールド時間	2.0	-	3.2	-	4.4	-	ns
$T_{PCO}$	積項クロックから有効出力までの時間	-	5.5	-	7.7	-	10.2	ns
$T_{OE}$	GTSから有効出力	-	4.0	-	5.0	-	7.0	ns
$T_{OD}$	GTSから出力ディスエーブル	-	4.0	-	5.0	-	7.0	ns
$T_{POE}$	積項OEから出力イネーブル	-	7.0	-	9.5	-	11.0	ns
$T_{POD}$	積項OEから出力ディスエーブル	-	7.0	-	9.5	-	11.0	ns
$T_{AO}$	GSRから有効出力	-	10.0	-	12.0	-	14.5	ns
$T_{PAO}$	積項S/Rから有効出力	-	10.5	-	12.6	-	15.3	ns
$T_{WLH}$	GCKパルス幅 (HighまたはLow)	2.8	-	4.0	-	4.5	-	ns
$T_{PLH}$	積項クロック・パルス幅 (HighまたはLow)	5.0	-	6.5	-	7.0	-	ns



出力タイプ	$V_{CCIO}$	$V_{TEST}$	$R_1$	$R_2$	$C_L$
	3.3V	3.3V	320 $\Omega$	360 $\Omega$	35 pF
	2.5V	2.5V	250 $\Omega$	660 $\Omega$	35 pF

DS058\_03\_081500

図3 : AC負荷電流

## 内部タイミングパラメータ

記号	パラメータ	XC9536XL-5		XC9536XL-7		XC9536XL-10		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
<b>バッファ遅延</b>								
$T_{IN}$	入力バッファ遅延	-	1.5	-	2.3	-	3.5	ns
$T_{GCK}$	GCKバッファ遅延	-	1.1	-	1.5	-	1.8	ns
$T_{GSR}$	GSRバッファ遅延	-	2.0	-	3.1	-	4.5	ns
$T_{GTS}$	GTSバッファ遅延	-	4.0	-	5.0	-	7.0	ns
$T_{OUT}$	出力バッファ遅延	-	2.0	-	2.5	-	3.0	ns
$T_{EN}$	出力バッファのイネーブル/ディスエーブル遅延	-	0	-	0	-	0	ns
<b>積項コントロール遅延</b>								
$T_{PTCK}$	積項クロック遅延	-	1.6	-	2.4	-	2.7	ns
$T_{PTSR}$	積項セット/リセット遅延	-	1.0	-	1.4	-	1.8	ns
$T_{PTTS}$	積項3ステート遅延	-	5.5	-	7.2	-	7.5	ns
<b>内部レジスタと組み合わせロジック遅延</b>								
$T_{PDI}$	組み合わせロジックの伝搬遅延	-	0.5	-	1.3	-	1.7	ns
$T_{SUI}$	レジスタのセットアップ時間	2.3	-	2.6	-	3.0	-	ns
$T_{HI}$	レジスタのホールド時間	1.4	-	2.2	-	3.5	-	ns
$T_{ECSU}$	レジスタ・クロック・イネーブルのセットアップ時間	2.3	-	2.6	-	3.0	-	ns
$T_{ECHO}$	レジスタ・クロック・イネーブルのホールド時間	1.4	-	2.2	-	3.5	-	ns
$T_{COI}$	レジスタ・クロックから有効出力までの時間	-	0.4	-	0.5	-	1.0	ns
$T_{AOI}$	レジスタの非同期S/Rから出力までの遅延	-	6.0	-	6.4	-	7.0	ns
$T_{RAI}$	クロック前のレジスタの非同期S/Rのリカバリ時間	5.0		7.5		10.0		ns
$T_{LOGI}$	内部ロジック遅延	-	1.0	-	1.4	-	1.8	ns
$T_{LOGILP}$	内部低消費電力ロジック遅延	-	5.0	-	6.4	-	7.3	ns
<b>フィードバック遅延</b>								
$T_F$	FastCONNECT IIフィードバック遅延	-	1.9	-	3.5	-	4.2	ns
<b>追加遅延</b>								
$T_{PTA}$	積項アロケータのインクリメンタル追加遅延	-	0.7	-	0.8	-	1.0	ns
$T_{SLEW}$	スルー・レート制限遅延	-	3.0	-	4.0	-	4.5	ns

## XC9536XLのI/Oピン

ファンクション・ブロック	マクロセル	PC44	VQ44	CS48	VQ64	BScan 順序	ファンクション・ブロック	マクロセル	PC44	VQ44	CS48	VQ64	BScan 順序
1	1	2	40	D6	9	105	2	1	1	39	D7	8	51
1	2	3	41	C7	10	102	2	2	44	38	E5	7	48
1	3	5 <sup>(1)</sup>	43 <sup>(1)</sup>	B7 <sup>(1)</sup>	15 <sup>(1)</sup>	99	2	3	42 <sup>(1)</sup>	36 <sup>(1)</sup>	E6 <sup>(1)</sup>	5 <sup>(1)</sup>	45
1	4	4	42	C6	11	96	2	4	43	37	E7	6	42
1	5	6 <sup>(1)</sup>	44 <sup>(1)</sup>	B6 <sup>(1)</sup>	16 <sup>(1)</sup>	93	2	5	40 <sup>(1)</sup>	34 <sup>(1)</sup>	F6 <sup>(1)</sup>	2 <sup>(1)</sup>	39
1	6	8	2	A6	19	90	2	6	39 <sup>(1)</sup>	33 <sup>(1)</sup>	G7 <sup>(1)</sup>	64 <sup>(1)</sup>	36
1	7	7 <sup>(1)</sup>	1 <sup>(1)</sup>	A7 <sup>(1)</sup>	17 <sup>(1)</sup>	87	2	7	38	32	G6	63	33
1	8	9	3	C5	20	84	2	8	37	31	F5	62	30
1	9	11	5	B5	22	81	2	9	36	30	G5	61	27
1	10	12	6	A4	24	78	2	10	35	29	F4	60	24
1	11	13	7	B4	25	75	2	11	34	28	G4	57	21
1	12	14	8	A3	27	72	2	12	33	27	E3	56	18
1	13	18	12	B2	33	69	2	13	29	23	F2	50	15
1	14	19	13	B1	35	66	2	14	28	22	G1	48	12
1	15	20	14	C2	36	63	2	15	27	21	F1	45	9
1	16	22	16	C3	38	60	2	16	26	20	E2	44	6
1	17	24	18	D2	42	57	2	17	25	19	E1	43	3
1	18	-	-	D3	39	54	2	18	-	-	E4	49	0

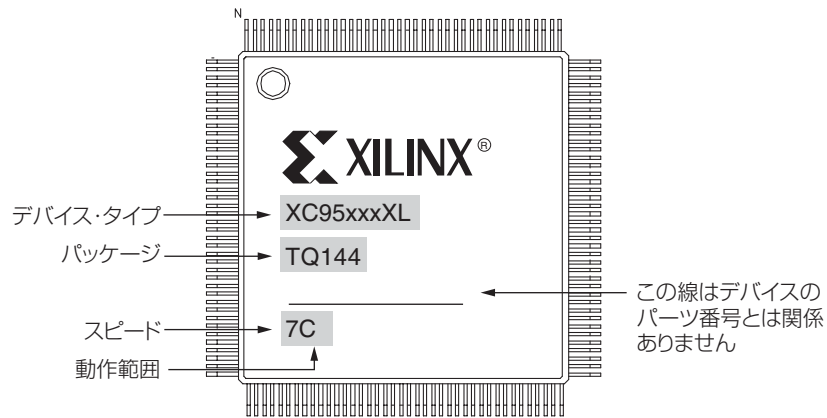
注:

1. グローバル制御ピン

## XC9536XLのグローバル、JTAGおよび電源ピン

ピン・タイプ	PC44	VQ44	CS48	VQ64
I/O/GCK1	5	43	B7	15
I/O/GCK2	6	44	B6	16
I/O/GCK3	7	1	A7	17
I/O/GTS1	42	36	E6	5
I/O/GTS2	40	34	F6	2
I/O/GSR	39	33	G7	64
TCK	17	11	A1	30
TDI	15	9	B3	28
TDO	30	24	G2	53
TMS	16	10	A2	29
V <sub>CCINT</sub> 3.3V	21, 41	15, 35	C1, F7	3, 37
V <sub>CCIO</sub> 2.5V/3.3V	32	26	G3	55
GND	10, 23, 31	4, 17, 25	A5, D1, F3	21, 41, 54
無接続	-	-	C4, D4	1, 4, 12, 13, 14, 18, 23, 26, 31, 32, 34, 40, 46, 47, 51, 52, 58, 59

デバイスのマーキング仕様例と製品型名



マーキング仕様例

注：チップ・スケール・パッケージはサイズが小さいので、これらのパッケージのパーツ・マーキングは上記のサンプルには従わず、完全なパーツ番号はマーキングに表記されていません。チップ・スケール・パッケージのパーツ・マーキングのラインごとの意味は：

- ライン1=X (ザイリンクスのロゴ)、その後に短縮パーツ番号 (XCではない)、即ち、95xxxXLが続きます。
- ライン2=デバイスのパーツ番号とは関係ありません。
- ライン3=デバイスのパーツ番号とは関係ありません。
- ライン4=パッケージ、ピン数、スピード、動作温度 (ピン数とスピードの間にスペースが入ります)

製品型名	スピード (ピン間遅延)	パッケージ 記号	ピン数	パッケージ・タイプ	動作 温度範囲 <sup>(1)</sup>
XC9536XL-5PC44C	5 ns	PC44	44-pin	プラスチック・リード・チップ・キャリア(PLCC)	C
XC9536XL-5VQ44C	5 ns	VQ44	44-pin	クワッド・フラット・バック(VQFP)	C
XC9536XL-5CS48C	5 ns	CS48	48-ball	チップ・スケール・パッケージ(CSP)	C
XC9536XL-5VQ64C	5 ns	VQ64	64-pin	クワッド・フラット・バック(VQFP)	C
XC9536XL-7PC44C	7.5 ns	PC44	44-pin	プラスチック・リード・チップ・キャリア(PLCC)	C
XC9536XL-7VQ44C	7.5 ns	VQ44	44-pin	クワッド・フラット・バック(VQFP)	C
XC9536XL-7CS48C	7.5 ns	CS48	48-ball	チップ・スケール・パッケージ(CSP)	C
XC9536XL-7VQ64C	7.5 ns	VQ64	64-pin	クワッド・フラット・バック(VQFP)	C
XC9536XL-7PC44I	7.5 ns	PC44	44-pin	プラスチック・リード・チップ・キャリア(PLCC)	I
XC9536XL-7VQ44I	7.5 ns	VQ44	44-pin	クワッド・フラット・バック(VQFP)	I
XC9536XL-7CS48I	7.5 ns	CS48	48-ball	チップ・スケール・パッケージ(CSP)	I
XC9536XL-7VQ64I	7.5 ns	VQ64	64-pin	クワッド・フラット・バック(VQFP)	I
XC9536XL-10PC44C	10 ns	PC44	44-pin	プラスチック・リード・チップ・キャリア(PLCC)	C
XC9536XL-10VQ44C	10 ns	VQ44	44-pin	クワッド・フラット・バック(VQFP)	C
XC9536XL-10CS48C	10 ns	CS48	48-ball	チップ・スケール・パッケージ(CSP)	C
XC9536XL-10VQ64C	10 ns	VQ64	64-pin	クワッド・フラット・バック(VQFP)	C
XC9536XL-10PC44I	10 ns	PC44	44-pin	プラスチック・リード・チップ・キャリア(PLCC)	I
XC9536XL-10VQ44I	10 ns	VQ44	44-pin	クワッド・フラット・バック(VQFP)	I
XC9536XL-10CS48I	10 ns	CS48	48-ball	チップ・スケール・パッケージ(CSP)	I
XC9536XL-10VQ64I	10 ns	VQ64	64-pin	クワッド・フラット・バック(VQFP)	I

注：  
1. C=商業用 (T<sub>A</sub>=0°C~+70°C) ; I=工業用 (T<sub>A</sub>=-40°C~+85°C)

## 改訂の履歴

次の表はこのドキュメントの改訂履歴を示します。

日付	バージョン番号	改訂内容
1998/09/28	1.0	ザイリンクスによる最初のリリース。
2000/08/28	1.1	VQ44パッケージを追加。
2002/06/20	1.2	ページ1のI <sub>CC</sub> 計算式を更新。-4デバイスを削除。-7工業用デバイスを利用可能として追加。 DC特性表に追加のI <sub>IH</sub> テスト条件と測定値を追加。
2003/06/18	1.3	T <sub>SO</sub> Lを260°Cから220°Cに更新。マーキング仕様例、製品型名一覧を追加。