

## Spartan および Spartan-XL ファミリ フィールド プログラマブル ゲートアレイ

**製品概要**

はじめに .....	1
Spartan シリーズの特長 .....	1
概要 .....	2
ロジックの機能説明 .....	3
コンフィギャブル ロジック ブロック (CLB) .....	3
ファンクション ジェネレータ .....	3
フリップフロップ .....	4
CLB 信号フローコントロール .....	4
入出力ブロック (IOB) .....	5
IOB 入力信号パス .....	6
IOB 出力信号パス .....	7
配線チャンネルの説明 .....	8
CLB 配線チャンネル .....	9
グローバル ネットおよびバッファ .....	10
新機能の説明 .....	11
分散型 RAM .....	11
メモリ構成の概要 .....	11
高速キャリ ロジック .....	14
スリーステート ロングラインドライバ .....	16
スリーステート バッファの例 .....	16
オンチップ発振器 .....	17
グローバル信号 : GSR および GTS .....	17
グローバル セット / リセット .....	17
バウンダリ スキャン .....	17
データ レジスタ .....	18
インストラクション セット .....	18
ビット シーケンス .....	19
回路図でのバウンダリ スキャンの指定 .....	19
バウンダリ スキャン誤起動の防止 .....	19
コンフィギュレーションおよびテスト .....	20
コンフィギュレーション モードの制御 .....	20
マスタ シリアル モード .....	20
スレーブ シリアル モード .....	21
シリアル デジizer チェーン .....	21
CCLK 周波数の設定 .....	22
データストリームのフォーマット .....	22
コンフィギュレーションとリードバックに対するCRCチェック .....	23

コンフィギュレーション シーケンス .....	24
コンフィギュレーション メモリのクリア .....	24
初期化 .....	25
コンフィギュレーション .....	25
パワーアップ後のコンフィギュレーションの遅延 .....	25
バウンダリ スキャン ピンを使用するコンフィギュレーション .....	25
リードバック .....	26
リードバックのオプション .....	26
リードバック クロックの High 時間と Low 時間の最大値仕様に対する違反 .....	26
XChecker ケーブルを使用するリードバック .....	27
Spartan プログラム リードバック スイッチング特性のガイドライン .....	27

## 製品概要

はじめに .....	1
Spartan シリーズの特長 .....	1
概要 .....	2
ロジックの機能説明 .....	3
新機能の説明 .....	11
コンフィギュレーションおよびテスト .....	20

---



## はじめに

Spartan™シリーズは、4000ゲートまでのASICの置き換えに必要な主要条件をすべて満たす最初の量産用 FPGA ソリューションです。この置き換え条件には、高性能、オンチップ RAM、Core ソリューション、さらに量産価格がマスク プログラム型の ASIC デバイスに接近し、多くの場合に価格が同等となることなどの条件が含まれます。

Spartan シリーズは、ザイリンクスのFPGA デザインにおける13年以上もの経験と何千ものお客様からのフィードバックにより実現したものです。Spartan シリーズはSpartan の機能を最適化し、先新のハイブリッドプロセス技術を駆使し、トータルコストのマネジメントに注力した結果、ASIC およびその他の量産論理回路ユーザが要求する重要な機能を提供でき、それと同時に初期コストと長い開発サイクルを不要にし、さらに従来型ASICに固有のリスクをなくすことを可能にしています。

Spartan シリーズには、現在、10タイプのデバイスがあります(表1)。

## Spartan シリーズの特長

注：このデータシートに記載する Spartan シリーズ デバイスには、5V 動作の Spartan™ファミリと 3.3V 動作の Spartan-XL™ファミリが含まれます。

- オンチップ RAM を搭載する最初の ASIC 代替用量産ソリューション
  - 先進の 0.35 μm / 0.5 μm の製造プロセス
  - 最大 1,862 個のロジック セル数システム ゲート数 4 万の集積度
  - XC4000 アーキテクチャをベースにして機能を合理化
  - 80MHz 以上のシステム パフォーマンス
  - AllianceCORE と LogiCORE™ソリューションの広範囲なセットが使用可能
  - 無制限に再プログラム可能

- システムレベルの機能
  - 5.0V バージョンと 3.3V バージョンを供給
  - オンチップ Select-RAM™メモリ
  - PCI標準に完全準拠
  - 低消費電力のセグメント型配線アーキテクチャ
  - 書き込み検証と内部ノードの監視を可能にするリードバック機能
  - 専用高速キャロロジック
  - 内部スリーステートバス機能
  - 8 個のグローバル低スキュー クロックまたは信号分配ネットワーク
  - IEEE 1149.1 準拠のパウンダリスキャン ロジックをサポート
- 多機能な I/O およびパッケージ
  - 全デバイスが低価格のプラスチック パッケージを使用
  - Spartan と Spartan-XL デバイスのパッケージ間でフットプリント互換
  - プログラマブル出力スルー レートコントロールにより性能を最大化しノイズを低減
  - ホールド タイム 0.0ns の入力抵抗により、システム タイミングを簡略化
  - 1 出力当たり 12mA のシンク電流
- 強力なザイリンクス開発システムによるフル サポート
  - Foundation シリーズ：フルに統合化された標準版ソフトウェア
  - Alliance シリーズ：PC/EWSベースの百社以上のサードパーティ開発システムをサポート
  - 完全に自動化されたマッピング、配置・配線機能
  - デザイン最適化用対話型デザイン エディタ

表 1：Spartan と Spartan-XL シリーズのフィールド プログラマブル ゲートアレイ

Device	Logic Cells	Max System Gates	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. Available User I/O
XCS05 & XCS05XL	238	5,000	2,000 - 5,000	10 x 10	100	360	77
XCS10 & XCS10XL	466	10,000	3,000 - 10,000	14 x 14	196	616	112
XCS20 & XCS20XL	950	20,000	7,000 - 20,000	20 x 20	400	1,120	160
XCS30 & XCS30XL	1368	30,000	10,000 - 30,000	24 x 24	576	1,536	192
XCS40 & XCS40XL	1862	40,000	13,000 - 40,000	28 x 28	784	2,016	205

\* この Typical Gate Range の最大値には、20% ~ 30%のRAMとして使用されるCLBが含まれます。

## 概要

Spartan シリーズ FPGA は、柔軟性のある配線リソース（配線チャンネル）の強力な階層構造により内部接続されたコンフィギュラブル ロジック ブロック（CLB）の規則的でプログラマブルなアーキテクチャから構成されており、プログラマブルな入出力ブロック（IOB）によりその周囲を取り囲まれています（図 1）。これらは、汎用的な配線リソースを持っており、複雑な内部接続パターンにも対応できるようになっています。

デバイスは、コンフィギュレーション データを内部のスタティック メモリセルに書き込むことにより、カスタマイズされます。回数に制限なく再書き込みも行うことができます。これらのメモリ内に記憶されているデータが、FPGA 内にインプリメントされるロジック機能と内部接続を決定しています。FPGA が自ら内部に書き込むコンフィギュレーション データを外付けのシリアル PROM から読み出すことができます（マスタ シリアル モード）。あるいは、外付けのデバイスからコンフィギュレーション データを FPGA へ書き込むこともできます（スレーブ シリアル モード）。

Spartan FPGA は、異なるユーザ アプリケーションに適応可能なハードウェアとして使用することができます。FPGA は、デザインと開発のサイクルを短縮する際には理想的です。さらに、月産 5 万システム以上の量産生産に対しても経済的なソリューションを提供します。

Spartan シリーズのデバイスは、最新のアーキテクチャと半導体技術を採用することにより、高性能かつ ASIC レベルの低価格を実現しています。Spartan および Spartan-XL では、80MHz 以上のシステム クロックと 150MHz 以上の内部性能を提供します。他の FPGA デバイスと比較すると、Spartan は最も経済的なソリューションを提供し、同時に最も高速な性能を維持しています。Spartan は量産型プログラマブル ロジック ソリューションの従来からの利点に加えて、オンチップ エッジトリガのシングルポート RAM、オンチップ エッジトリガのデュアルポート RAM、全フリップフロップでのクロック イネーブル、高速キャリ ロジック、その他の多くの機能も提供します。

Spartan シリーズでは、XC4000 の実績あるアーキテクチャを継承し、また XC4000 ファミリの機能と利点の多くも利用しています。先進の製造技術は、XC4000XL と XC4000XV の製造プロセスの開発から得られたものです。

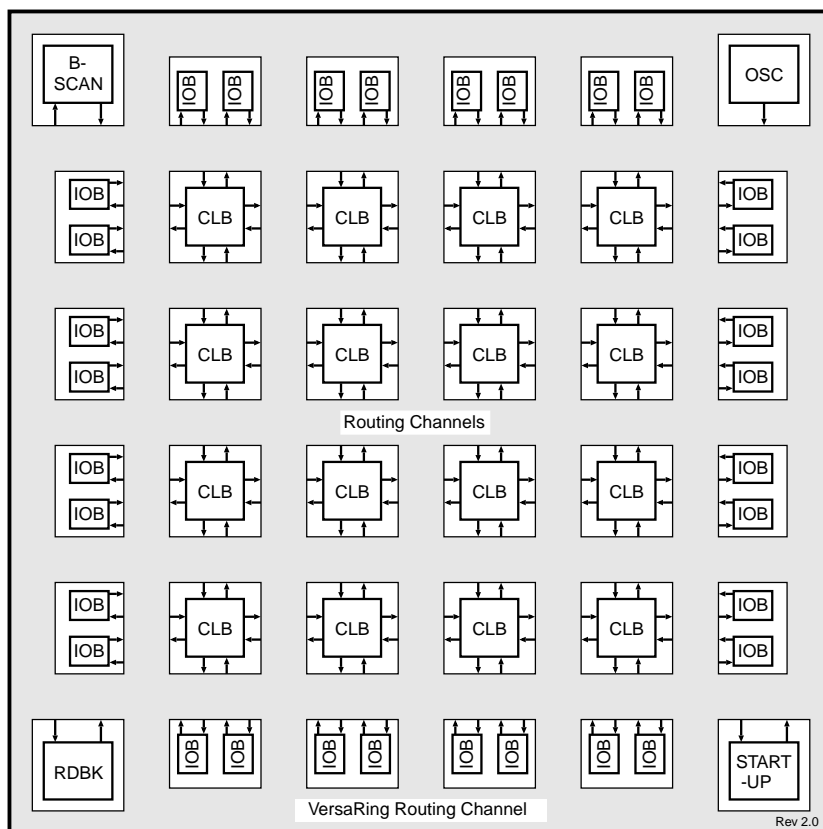


図 1 FPGA の基本ブロック図

## ロジックの機能説明

Spartan シリーズでは、図 1 に示すような標準的な FPGA 構造を採用しています。FPGA は、配線チャンネルのマトリクス内に配置されたコンフィギャブル ロジック ブロック (CLB) のアレイで構成されています。信号の入出力は、これらの CLB をリング状に取り囲んでいる入出力ブロック (IOB) と配線チャンネルを通して行われます。

- CLB はユーザのロジックをインプリメントするための機能的な要素を提供します。
- IOB はパッケージピンと内部信号ラインの間のインターフェイスを提供します。
- 配線チャンネルは、CLB と IOB の入出力を内部接続するパスを提供します。

各回路ブロックの機能は、コンフィギュレーション時に内部スタティック メモリセルをプログラムすることによりカスタマイズされます。これらのメモリセルに保持されている値により、FPGA にインプリメントされるロジック機能と内部接続が決定されます。

### コンフィギャブル ロジック ブロック (CLB)

CLB は、FPGA 内で大部分のロジックをインプリメントする際に使用されます。CLB の基本要素を簡略化したブロック図を図 2 に示します。CLB にはルックアップ テーブル (LUT) が

3 個用意されており、これらは ロジック ファンクション ジェネレータとして、2 つのフリップフロップとして、または 2 グループの信号切替用マルチプレクサとして使用されます。CLB により提供される幾つかの最新機能もあります。これについては、11 ページの「新機能の説明」に記載してあります。

### ファンクション ジェネレータ

2 つの 16×1 メモリルックアップ テーブル (F-LUT と G-LUT) は、それぞれ 4 入力のファンクション ジェネレータとしてインプリメントされます。この各ファンクション ジェネレータは、最大 4 本までの独立した入力信号 (F1 ~ F4 または G1 ~ G4) を持つ任意のブール関数の無制限なロジック インプリメンテーションを可能にします。メモリルックアップ テーブルの使用により、伝搬遅延はインプリメントされるファンクションに無関係になります。

3 入力ファンクション ジェネレータ (H-LUT) は、3 入力の任意のブール関数をインプリメントすることができます。これらの入力の 2 つは、プログラマブルなマルチプレクサにより制御されます (図 2 内でボックス A)。これらの入力は F-LUT 出力または G-LUT 出力、または CLB 入力に接続することができます。もう一つの入力は常に CLB 入力に接続します。したがって、CLB はパリティチェック機能のような最大 9 入力のファンクションをインプリメントすることができます。CLB 内の 3 個の LUT は、5 入力の任意定義のブール関数を実現するために組み合わせることもできます。

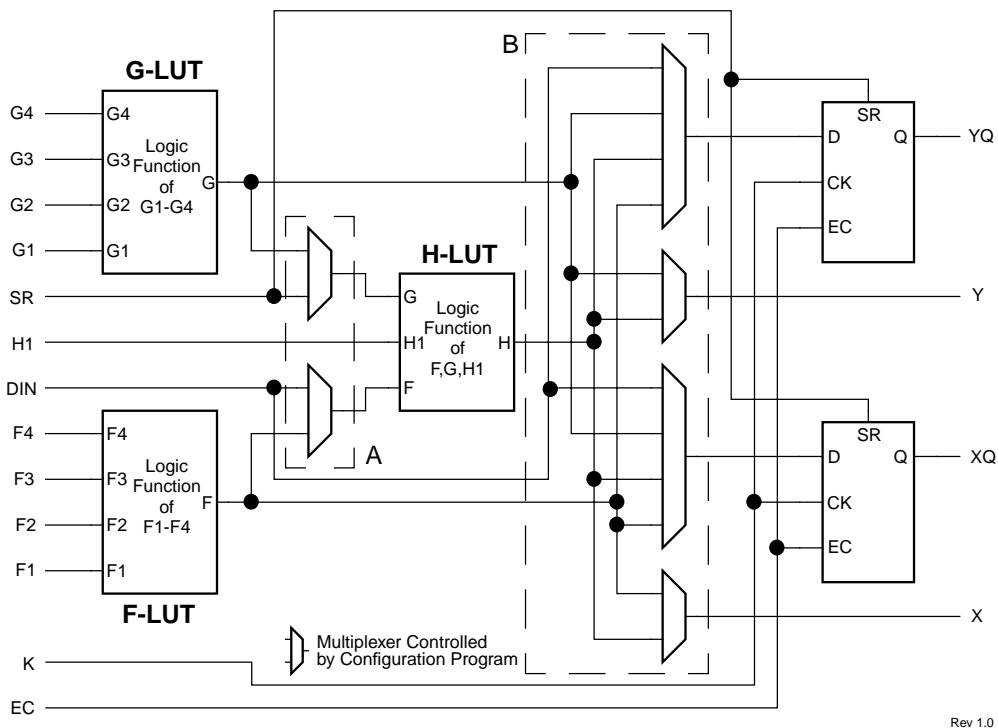


図 2 Spartan の簡略化した CLB のブロック図 (表示されていない機能もあります)

CLB は次の関数をインプリメントすることができます。

- 最大 4 変数の任意関数、さらに最大 4 個の無関係な変数を持つ 2 つ目の任意関数と最大 3 個の無関係な変数を持つ 3 つ目の任意関数<sup>1</sup>
- 5 変数の任意関数
- 4 変数の任意関数、および 6 変数のある種の関数 (複数) の組み合わせ
- 最大 9 変数のある種の関数 (複数)

1 つのブロック内に多入力関数をインプリメントすると、所要ブロック数と信号パスでの遅延を減少させることができ、容量とスピードを増やすことができます。

CLB ファンクション ジェネレータの柔軟性により、システム スピードを大幅に上げることができます。さらに、デザイン ソフトウェア ツールが、各ファンクション ジェネレータを独立に扱うことができます。この柔軟性により、セルの使用率が向上します。


### フリップフロップ

各 CLB には 2 個のフリップフロップが含まれており、ファンクション ジェネレータ出力の保持に使うことができます。フリップフロップとファンクション ジェネレータは、独立に使用することもできます (図 2)。CLB 入力の DIN は、2 つのフリップフロップのいずれかに対する直接入力として使うことができます。H1 は少し遅延が増えますが H-LUT を経由していずれかのフリップフロップを駆動することもできます。

2 つのフリップフロップは、共通のクロック (CK)、クロック イネーブル (EC)、セット / リセット (SR) 入力を持っています。内部的に、両フリップフロップはグローバル初期化信号 (GSR) から制御されています。GSR については、17 ページの「グローバル信号 : GSR および GTS」で説明します。

表 2 に、フリップフロップの機能を示します。

表 2 : CLB フリップフロップの機能

Mode	CK	EC	SR	D	Q
Power-Up or GSR	X	X	X	X	SR
Flip-Flop Operation	X	X	1	X	SR
		1*	0*	D	D
	0	X	0*	X	Q
	X	0	0*	X	Q

Legend:

X



SR

0\*

1\*

Don't care

立ち上がりエッジ (非反転クロック)

セットまたはリセット時の値、デフォルトはリセット

入力は Low、または未接続 (デフォルト値)

入力は High、または未接続 (デフォルト値)

### クロック入力

各フリップフロップは立ち上がり<sup>1</sup>または立ち下がり<sup>1</sup>エッジでトリガすることができます。CLB クロックラインは、両フリップフロップで共用されていますが、クロックは各フリップフロップに対して個別に反転可能です (図 3 の CK パスを参照)。デザイン内でクロックライン上に配置されたインパータは自動的に CLB に吸収されます。

1. 個別に 3 つの関数を生成する場合は、関数出力の 1 つを CLB 内部のフリップフロップに取り込む必要があります。CLB からは、レジスタを経由しない 2 つのファンクションジェネレータ出力のみが得られます。

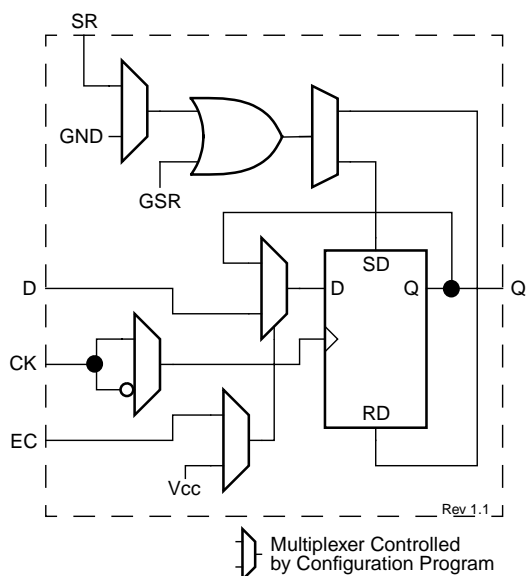


図 3 CLB フリップフロップの機能ブロック図

コンフィギュレーションプログラムにより制御されるマルチプレクサ  
クロック イネーブル

クロック イネーブルライン (EC) はアクティブ High です。EC ラインは CLB 内の両フリップフロップで共用されています。いずれかが未接続の場合は、そのフリップフロップに対するクロック イネーブルはデフォルトとしてアクティブ状態になります。CLB 内では EC は非反転です。このクロック イネーブルは、クロックに対して同期しており、デバイスのセットアップ タイムとホールド タイムの仕様を満たす必要があります。

### セット / リセット

セット / リセットライン (SR) は、フリップフロップの非同期アクティブ High のコントロール信号です。各フリップフロップに対して、SR はセットまたはリセットにコンフィギュレーションすることができます。コンフィギュレーション オプションにより、コンフィギュレーション直後に動作状態になる各フリップフロップの状態が決定されます。また、通常動作時の GSR パルスの機能、および CLB の SR ライン上のパルス機能も決定されます。SR ラインは両フリップフロップで共用されています。SR ラインがフリップフロップに対して指定されていない場合は、そのフリップフロップに対するセット / リセットラインはデフォルトとして非アクティブ状態になります。CLB 内では SR は非反転です。

### CLB 信号フローコントロール

H-LUT 入力コントロール マルチプレクサ (図 2 のボックス A) に加えて、信号フローコントロール マルチプレクサがあります (図 2 のボックス B)。このマルチプレクサは、フリップフロップ入力と CLB の組み合わせ出力 (X と Y) を駆動する信号を選択します。



各フリップフロップの入力は 4:1 マルチプレクサから駆動されます。このマルチプレクサは、データソースとして 3 つの LUT 出力と DIN の中から選択します。

各組み合わせ出力は、2:1 マルチプレクサから駆動されます。このマルチプレクサは 2 つの LUT 出力の中から選択します。X 出力は F-LUT または H-LUT の出力で駆動することができます。Y 出力は G-LUT または H-LUT の出力で駆動することができます。

#### コントロール信号

CLB の入力には、4 個の信号コントロール マルチプレクサがあります。これらのマルチプレクサにより、内部の CLB コントロール信号 (図 2 と図 4 に示す H1、DIN、SR、EC) が CLB に対する 4 本の汎用コントロール入力 (図 4 に示す C1 ~ C4) のいずれからも駆動することができます。これら任意の入力が、4 本の内部コントロール信号のいずれをも駆動することができます。

4 本の内部コントロール信号を次に示します。

- EC イネーブルクロック
- SR 非同期的セット / リセット、または H ファンクションジェネレータの入力
- DIN 直接入力、または H ファンクションジェネレータの入力
- H1 H ファンクションジェネレータの入力 1

#### 入出力ブロック (IOB)

ユーザ・コンフィャブルな入出力ブロック (IOB) は、外部パッケージピンと内部ロジックとの間のインターフェイスを提供します。

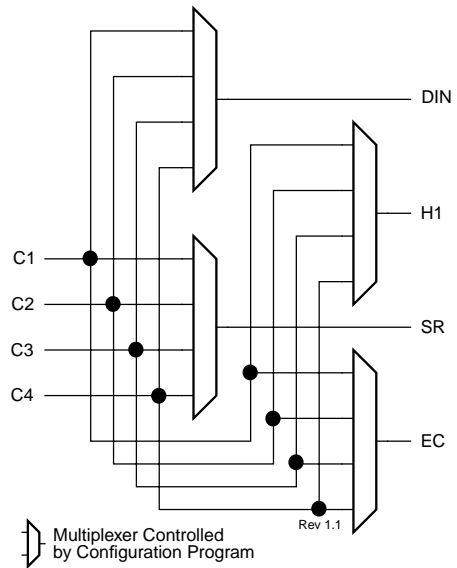


図 4 : CLB コントロール信号

各 IOB は 1 本のパッケージピンを制御し、入力信号、出力信号、または双方向信号としてコンフィギュレーションできます。図 5 に、Spartan IOB の簡略化したブロック図を示します。

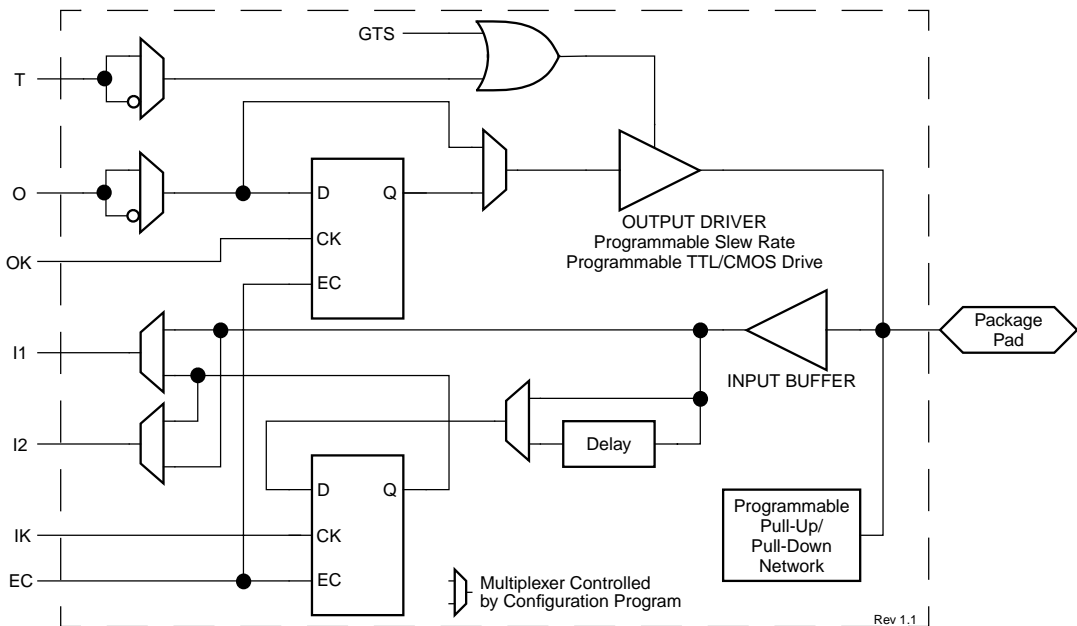


図 5 簡略化した Spartan IOB のブロック図

IOB 入力信号バス

IOB に対する入力信号は、直接配線チャンネルに接続するか (図 5 の I1 と I2 を経由して)、または入力レジスタに接続するようにコンフィギュレーションすることができます。入力レジスタは、エッジトリガのフリップフロップまたはレベルセンシティブなフリップフロップにプログラムすることができます。表 3 に、このレジスタの機能を示します。

表 3 : 入力レジスタの機能

Mode	CK	EC	D	Q
Power-Up or GSR	X	X	X	SR
Flip-Flop		1*	D	D
	0	X	X	Q
Latch	1	1*	X	Q
	0	1*	D	D
Both	X	0	X	Q

Legend:  
 X Don't care  
 立ち上がりエッジ (非反転クロック)  
 SR セットまたはリセット時の値、デフォルトはリセット  
 0\* 入力 Low、または未接続 (デフォルト値)  
 1\* 入力 High、または未接続 (デフォルト値)

また、このレジスタの簡略化したブロック図を図 6 に示します。レジスタ選択の指定は該当するライブラリシンボルを配置することにより行われます。例えば、IFD は基本入力フリップフロップ (立ち上がりエッジトリガ) で、IDL は基本入力ラッチ (トランスペアレント High) です。反転クロックを使う派生も使用することができます。図 6 に示す CK ライン上には、クロック信号のインバータも示してあります。

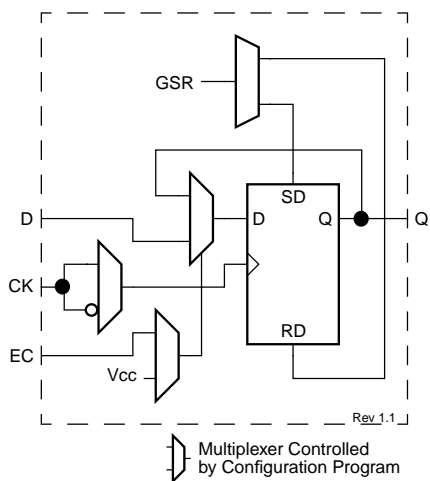


図 6 : IOB フリップフロップの機能ブロック図

Spartan の IOB データ入力バスには、遅延の挿入有り (デフォルト) または無しを指定できる 1 タップの遅延エッセメントがあります。この遅延を追加すると、Spartan の任意のグローバルバッファに配線されているクロックに対するゼロホールドタイムを保証することができます (Spartan のグローバルクロックバッファについては 10 ページの「グローバルネットおよびバッファ」を参照してください)。正のホールドタイムを持つ短い入力レジスタのセットアップ・タイムに対しては、フリップフロップに対して NODELAY 属性またはプロパティを指定してください。

入力レジスタの出力は、配線チャンネルに接続されます (図 5 の I1 と I2 を経由)。IOB から出力される I1 と I2 の信号は、それぞれ直接入力信号またはレジスタ入力信号を伝えることができます。

Spartan の入力バッファは、ビットストリーム生成ソフトウェアのオプションを使用して、TTL (1.2V) または CMOS (0.5Vcc) のスレッシュホールドにグローバルに設定することができます。Spartan 入力が TTL モードの場合は、Spartan デバイスの入力は 3.3V デバイスの出力で駆動することができます。約 300mV の小さい入力ヒステリシスが用意されています。Spartan-XL の入力は TTL 互換であり、さらに 3.3V の CMOS と互換性があります。Spartan の出力も設定可能であり、入力スレッシュホールドの 2 つのグローバルな調整と出力レベルは独立に設定することができます。

表 4 に、Spartan シリーズ デバイスの入力を駆動できるサポート中の信号源を示します。

表 4 : Spartan シリーズ デバイスの入力を駆動できるサポート中の信号源

Source	Spartan Inputs		Spartan-XL Inputs
	5.0 V, TTL	5.0 V, CMOS	3.3 V CMOS
Any device, Vcc = 3.3 V, CMOS outputs	✓		✓
Spartan Series, Vcc = 5 V, TTL outputs	✓	Unreliable Data	✓
Any device, Vcc = 5 V, TTL outputs (Voh ≤ 3.7 V)	✓		✓
Any device, Vcc = 5 V, CMOS outputs	✓	✓	✓

Spartan-XL の I/O は、Vcc が 3.3V の場合でもフルに 5V に対応できます。表 4 に示すように、この機能により損傷を与えることなく、5V の信号が Spartan-XL の入力を直接駆動することができます。さらに、5V の信号が I/O に加えられる前後に、3.3V の Vcc を加えることができます。この機能により、Spartan-XL では電源供給シーケンスの問題から解放されています。

## IOB 出力信号パス

出力信号は IOB 内部で反転することができます。また、出力バッファに直接接続するか、あるいはエッジトリガのフリップフロップに保持した後に出力バッファに渡すことができます。このフリップフロップの機能を表 5 に示します。

表 5: 出力フリップフロップの機能

Mode	Clock	Clock Enable	T	D	Q
Power-Up or GSR	X	X	0*	X	SR
Flip-Flop	X	0	0*	X	Q
		1*	0*	D	D
	X	X	1	X	Z
	0	X	0*	X	Q

Legend:

X  
  
SR  
0\*  
1\*  
Z

Don't care  
立ち上がりエッジ (非反転クロック)  
セットまたはリセット時の値、デフォルトはリセット  
入力は Low、または未接続 (デフォルト値)  
入力は High、または未接続 (デフォルト値)  
スリーステート

## 出力バッファ

アクティブ High のスリーステート信号を使って、スリーステート出力または双方向性の I/O をインプリメントし、出力バッファをハイインピーダンス状態にすることができます。コンフィギュレーションコントロールの下で、出力信号 (O) および出力スリーステート信号 (T) を反転することができます。これらの信号の極性は、各 IOB に対して独立に設定することができます (図 5)。

デフォルトとして、Spartan 出力バッファのプルアップ構成は、TTL に似たトータムポールにコンフィギュレーションされます。High 側のドライバは n チャンネルのプルアップトランジスタであり、Vcc より 1 トランジスタ スレッシュホールド低い電圧にプルアップします。この代わりに、Vcc にプルアップする p チャンネルプルアップトランジスタを追加して、グローバルに出力を CMOS ドライバにコンフィギュレーションすることもできます。ビットストリーム生成ソフトウェアを使って適用されたこのオプションは、デバイスの全出力に適用されます。これは個別にプログラムすることはできません。

Spartan-XL では、全出力が CMOS ドライバとしてコンフィギュレーションされます。したがって、電源電圧とグランド間一杯のドライブが可能で

出力が TTL モードにコンフィギュレーションされた任意の Spartan デバイスが代表値 3.3V デバイスの入力を駆動することができます (5.0V デバイスと 3.3V デバイスの間のインターフェイス方法の詳細については、「プログラマブルロジックデータブック 1998 (英文)」の 3V 製品の節を参照してください)。

表 6 に、Spartan シリーズ デバイスの出力が駆動可能な対象を示します。

## 出力スルー レート

デフォルトとして、各出力バッファのスルー レートを小さくして、非クリティカル信号のスイッチングによる電力パストランジエントを最小化しています。クリティカルな信号に対しては、FAST 属性またはプロパティを出力バッファまたは出力フリップフロップに指定します。

表 6: Spartan シリーズ デバイスの出力が駆動可能な対象

Destination	Spartan-XL Outputs	Spartan Outputs	
	3.3 V, CMOS	5.0 V, TTL	5.0 V, CMOS
Any device, Vcc = 3.3 V, CMOS-threshold inputs	√	√	some <sup>†</sup>
Any device, Vcc = 5.0 V, TTL-threshold inputs	√	√	√
Any device, Vcc = 5 V, CMOS-threshold inputs	Unreliable Data		√

1. 対象デバイスが 5V 入力に対応している場合に限りです。

Spartan シリーズ デバイスには、「ソフト スタートアップ」と呼ばれる機能があります。この機能は、コンフィギュレーション終了時点で全出力が同時にターンオンするときのグランドバウンスを減少させるようにデザインされています。コンフィギュレーションプロセスが終了すると、デバイスがスタートアップし、出力に対する最初の起動は自動的にスルーレート制限で実行されます。I/O の最初の起動直後は、各出力のスルーレートは、各 IOB に対する個々のコンフィギュレーション オプションにより決定されます。

## プルアップ抵抗とプルダウン抵抗

プログラマブルなプルアップ抵抗とプルダウン抵抗は、未使用ピンを Vcc またはグランドに接続して、消費電力を最小化し、ノイズ感度を減少させる際に使用されます。コンフィギュラブルプルアップ抵抗は p チャンネルトランジスタであり、Vcc にプルアップします。コンフィギュラブルプルダウン抵抗は n チャンネルトランジスタであり、グランドにプルダウンします。これらの抵抗値は 20K ~ 250K 位です。この大きな抵抗値はワイヤード AND プルアップ抵抗としては適しません。

コンフィギュレーション後、ノイズ感度を小さくし余分な電流を回避するために、ボンディングの有無によらず未使用パッドの電圧レベルは有効なロジックレベルである必要があります。したがって、デフォルトとして、未使用パッドは内部プルアップ抵抗をアクティブにしてコンフィギュレーションされます。代わりに、プルダウン抵抗を持つ、出力を駆動する、または外部ソースから駆動されるように個別にコンフィギュレーションすることもできます。内部プルアップを有効にするときは、PULLUP ライブラリコンポーネントをパッドに付けられたネットに指定します。内部プルダウンを有効にするときは、PULLDOWN ライブラリコンポーネントをパッドに付けられたネットに指定します。

## セット / リセット

CLB レジスタの場合と同様に、GSR 信号を使用して、入力レジスタと出力レジスタを INIT 属性またはプロパティの値に応じて、セットまたはクリアすることができます。2 個のフリップフロップは、リセット時とコンフィギュレーション後に、セットまたはクリアするように個別にコンフィギュレーションすることができます。グローバル GSR ネット以外に、I/O フリップフロップに対するユーザ制御のセット / リセット信号はありません (図 6 参照)。セットまたはクリアの選択は、フリップフロップの初期状態と GSR パルスに対する応答の両方に適用されます。

## 独立したクロック

入力フリップフロップ (IK) と出力フリップフロップ (OK) に対しては、別々のクロック信号が用意されています。クロックは IOB 内の各フリップフロップに対して独立に反転可能で、立ち下がりエッジまたは立ち上がりエッジトリガのフリップフロップを生成することができます。各 IOB に対するクロック入力も独立しています。

## 共通クロック イネーブル

各 IOB 内の入力フリップフロップおよび出力フリップフロップには、共通のクロック イネーブル入力 (EC) があります。このクロック イネーブルは、コンフィギュレーション時に、入力または出力フリップフロップあるいは両フリップフロップを個々に起動することができます (図 6 の EC 信号を参照)。このクロック イネーブルは、Spartan シリーズ CLB の EC ピンとまったく同じ動作をします。この信号は、IOB 内部で反転することはできません。

## 配線チャンネルの説明

すべての内部接続は、プログラマブルなスイッチングポイントを持つメタル セグメントと所望の配線をインプリメントするスイッチングマトリクスから構成されます。配線チャンネルの構造化された階層マトリクスが用意されており、効率的な自動配線が達成できます。

この節では Spartan シリーズ デバイスで使用できる種々の配線チャンネルについて説明します。図 7 に、CLB 配線チャンネルの一般的なブロック図を示します。インプリメンテーションソフトウェアは、デザインの集積度とタイミング条件に応じて、該当するリソースを自動的に割り当てます。配線チャンネルについての以下の説明は説明用のものであり、細部は省略してあります。詳細な内部接続の説明については、EPIC デザイン エディタ内でデザインをオープンして、このツール内で実際の配線を調べる必要があります。

配線チャンネルは次のように説明します。

- CLB 配線チャンネルは、CLB アレイの各行または各列に沿って配置されています。
- IOB 配線チャンネルは、CLB アレイの外側にリング (VersaRing と呼ぶ) を形成し、I/O と内部ロジックブロックを接続します。
- グローバル配線は、専用ネットワークから構成されます。この専用ネットワークは、基本的には、最小の遅延とスキューでデバイス内にクロックを分配するためにデザインされています。グローバル配線は、ファンアウト数の多い他の信号にも使用することができます。

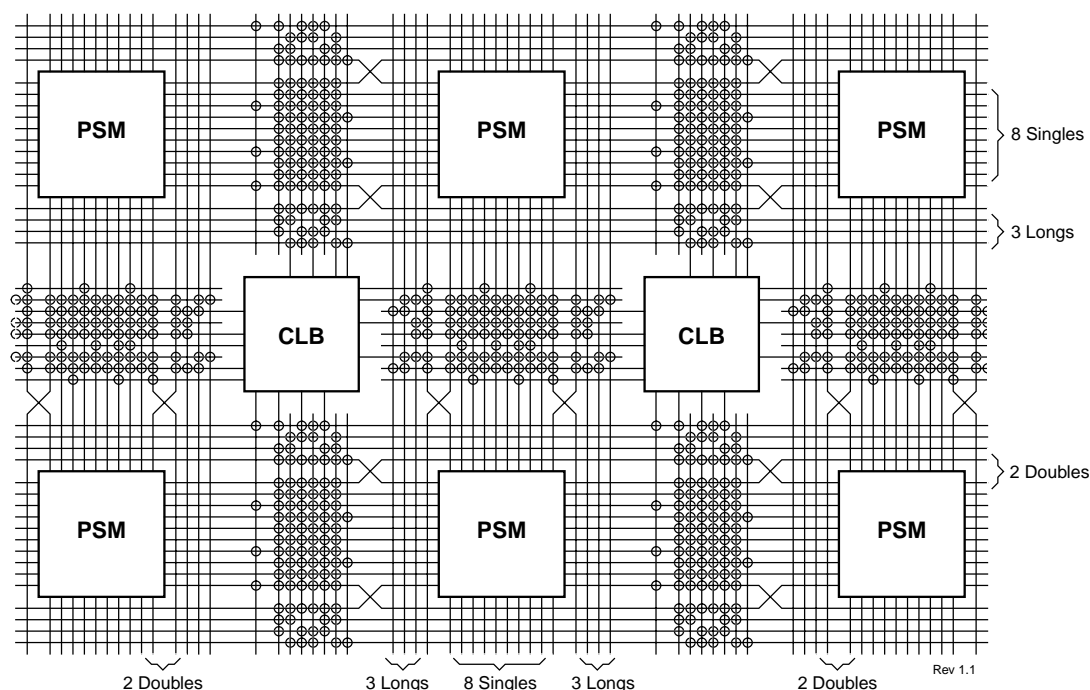


図 7 : Spartan シリーズの CLB 配線チャンネルとインターフェイスのブロック図

## CLB 配線チャンネル

CLB を取り囲む配線チャンネルは、シングルレングスライン、ダブルレングスライン、ロングラインの 3 種類の内部接続により駆動されます。垂直配線チャンネルと水平配線チャンネルの各交点には、プログラマブル スイッチ マトリクス (PSM) と呼ばれる信号切換マトリクスが配置されています。図 7 に、基本的な配線チャンネルの構成を示します。この図には、シングルレングスライン、ダブルレングスライン、ロングラインの他に CLB と PSM も表示しております。また、CLB と配線チャンネルの間のインターフェイス、およびチャンネルの交点における PSM のインターフェイス方法も示しております。

## CLB インターフェイス

図 8 に、CLB インターフェイス信号のブロック図を示します。

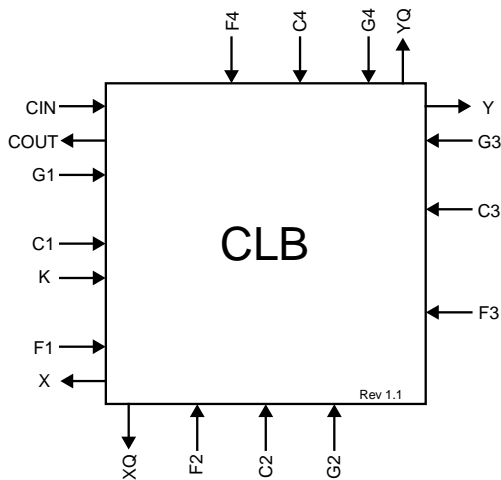


図 8 : CLB 内部接続信号

CLB の入力と出力は 4 方向に分散されており、配線の柔軟性を最大化するようになっています。一般に、アーキテクチャ全体は対称的かつ規則的で、配置 / 配線アルゴリズムに適するようになっています。入力、出力、ファンクション ジェネレータは、配置 / 配線の動作中に配線競合を回避するために、CLB 内で自由に位置を交換することができるようになっています。ただし、クロック (K) 入力と CIN/COU T 信号は例外です。K 入力は専用のグローバル垂直ラインや 4 本のシングルレングスラインに接続され、CLB の左側に配置されています。CIN/COU T 信号は一般的な配線構造とインターフェイスを持たない専用内部接続を経由して配線されます。CLB の出力信号は、垂直チャンネルと水平チャンネルの両方を駆動するために使用することができます。

## プログラマブル スイッチ マトリクス

水平 / 垂直のシングル / ダブル レングスラインはプログラマブル スイッチ マトリクス (PSM) と呼ばれるボックスの中で交差します。各 PSM は、ライン間を接続するプログラマブル パストランジスタにより構成されます (図 9)。

例えば、スイッチ マトリクスの右側に入力されるシングルレングス信号は、複数の分岐が必要な場合、上部、左側、底部、またはこれら任意の組み合わせの位置にあるシングルレングスラインに配線することができます。同様に、ダブルレングス信号は、プログラマブル スイッチ マトリクスの任意の辺または他の 3 辺すべての位置にあるダブルレングスラインに配線することができます。

## シングルレングスライン

シングルレングスラインは柔軟性の高い内部接続を持ち、隣接ブロック間で高速配線を提供します。各 CLB に対応する垂直および水平のシングルレングスラインがそれぞれ 8 本ずつ用意されています。これらのラインは CLB の各行と各列に配置されているスイッチング マトリクスに接続されています。

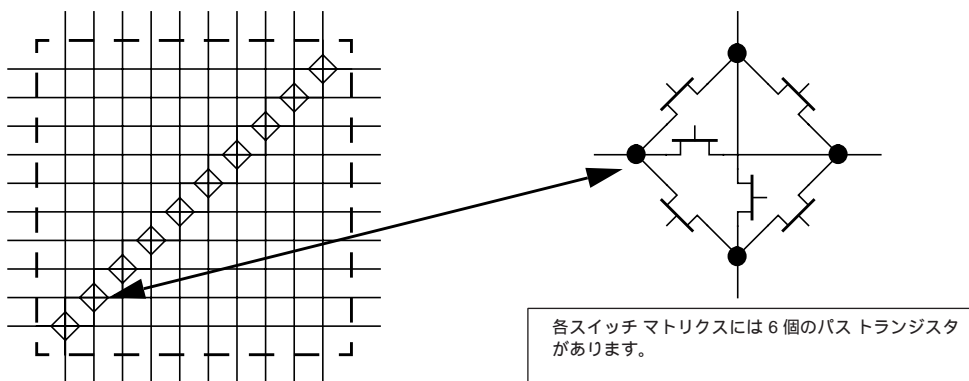


図 9 : プログラマブル スイッチ マトリクス



シングルレングスラインは、プログラマブル スイッチ マトリクスを経由して接続されます (図 9)。図 7 に配線機能の接続性を示します。

シングルレングスラインでは、スイッチングマトリクスを通過する際に遅延が生じます。したがって、距離の長い配線信号には適しません。これらは、通常、ローカル化された領域内の信号に使用され、複数のファンアウトを持つネットに対して分岐を提供します。

### ダブル レングス ライン

ダブルレングスラインは、シングルレングスラインの 2 倍の長さを持つメタル セグメントのグリッドから構成されます。これらのラインは、2 個の CLB を通過した後に PSM に入力されます。各ラインが CLB のひとつおきの行または列で PSM に入力されるように、ダブルレングスラインは縦続配置された PSM と組み合わせ対を構成します (図 7)。

各 CLB に対応して、垂直および水平のダブルレングスラインがそれぞれ 4 本ずつ用意されています。これらのラインは、中距離信号に対して高速な配線を提供し、配線の柔軟性を維持しています。

### ロングライン

ロングラインはアレイの全長または全幅に等しい長さを持つメタル内部接続セグメントのグリッドを構成しています。ロングラインは、ハイ・ファンアウト、時間的にクリティカルな信号ネット、または長い距離で分散されるネットを対象としています。

Spartan シリーズの各ロングラインの中央にはプログラマブルスプリッタスイッチがあります。このスイッチは、ロングラインを 2 つの独立した配線チャンネルに分割します。分割した各ラインはアレイの幅または高さの半分の長さになります。

ロングラインの配線性を図 7 に示します。ロングラインは、幾つかのスリーステートバッファとインターフェイスすることもできます。このスリーステートバッファについては、16 ページの「スリーステート ロングラインドライバ」の節で説明します。

### I/O の配線

Spartan シリーズ デバイスは、IOB リングの周辺に VersaRing と呼ばれる配線機能が追加されています。VersaRing はボードレイアウトに影響を与えずに、ピンをスワッピングと再デザインを可能にします。8 本のダブルレングスラインと 4 本のロングラインが含まれます。

### グローバル ネットおよびバッファ

Spartan シリーズ デバイスには専用のグローバルネットワークがあります。これらのネットワークは、クロックとその他のハイ・ファンアウトコントロール信号を最小のスキューでデバイス内に分配する目的でデザインされています。

各 CLB 列内にある 4 本の垂直ロングラインは、特別なグローバルバッファにより駆動されます。これらロングラインは、標準の内部接続に使用される垂直ロングラインとは別に設けてあります。この 4 本のグローバルラインは、プライマリグローバルバッファ (BUFGP) とセカンダリグローバルバッファ (BUFGS) の 2 種類のタイプのグローバルバッファのいずれかにより駆動できます (図 10)。各 CLB と各 IOB のクロックピンはローカルな内部接続からも駆動できます。

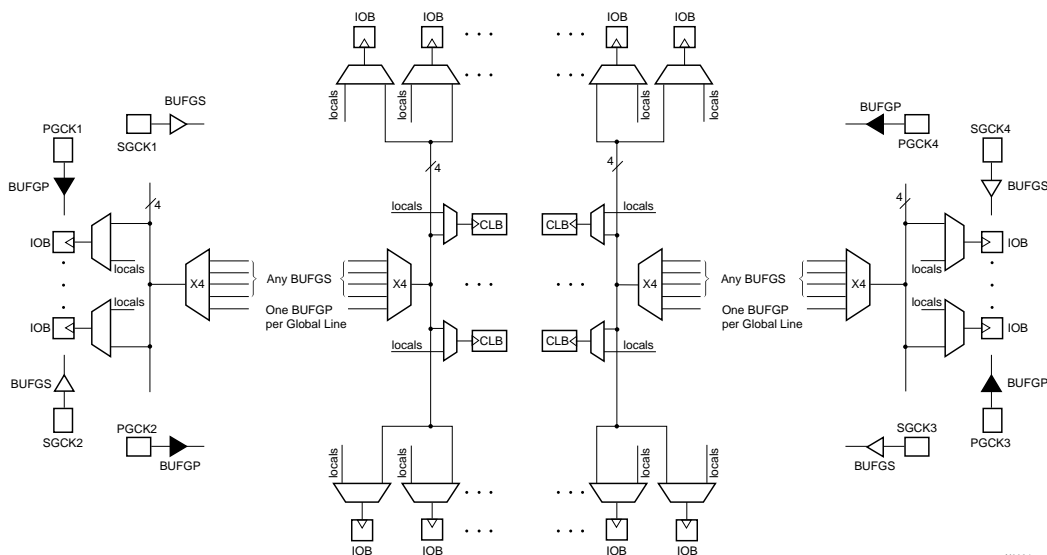


図 10 : Spartan シリーズ グローバル ネットの分配

4 個のプライマリグローバルバッファの遅延は最小で、スキューは無視できます。4 個のセカンダリグローバルバッファは負荷が大きくなるため、遅延はやや大きく、スキューも少し大きくなりますが、非クロックの CLB 入力を駆動するときに使用すると、非常に柔軟性があります。

プライマリグローバルバッファは、半専用パッド (PGCK1 ~ 4) を使用して駆動する必要があります。セカンダリグローバルバッファは半専用パッド (SGCK1 ~ 4) または内部ネットから駆動することができます。デバイスの各角には 1 個のプライマリバッファと 1 個のセカンダリバッファがあります。

BUFG と呼ばれるライブラリシンボルを使用すると、ソフトウェアはデザインのタイミング条件に応じて最適なクロックバッファを選択します。タイミングが厳しいすべてのグローバル信号には、グローバルバッファを指定する必要があります。グローバルバッファを使うときは、回路図内または HDL コード内に、BUFGP (プライマリバッファ) エlement、BUFGS (セカンダリバッファ) エlement、または BUFG (プライマリバッファまたはセカンダリバッファ) エlement を配置します。

## 新機能の説明

### 分散型 RAM

各 CLB のオプションモードを使用すると、ファンクションジェネレータ (F-LUT と G-LUT) を RAM として使用することができます。

このオンチップ RAM の読み書き動作は、外付けの RAM に比較すると、はるかに高速です。この高速性は、FPGA 内部での信号伝搬遅延が比較的小さいことに起因しています。

### メモリ構成の概要

シングルポート RAM とデュアルポート RAM の 2 種類のメモリ構成が可能です。この両モードでは、書き込み動作は同期的 (エッジトリガ) に、読み出し動作は非同期的にそれぞれ行われます。シングルポートモードでは、1 つの CLB が  $16 \times 1$ 、 $(16 \times 1) \times 2$ 、または  $32 \times 1$  の RAM アレイとしてコンフィギュレーションできます。デュアルポートモードでは、1 つの CLB が  $16 \times 1$  の RAM アレイとしてコンフィギュレーションできます。表 7 に、種々のメモリ構成をまとめて示します。これらは、いずれも Spartan シリーズの CLB 内に独立してプログラムすることができます。

- $16 \times 1$  のシングルポート構成は、各々が 1 ビット幅の 16 ロケーションからなる RAM アレイです。4 ビットのアドレスデコーダが 1 個用意されており、これにより読み書き動作の RAM ロケーションを決定しています。書き込みデータ用に 1 つの入力と読み出しデータ用に 1 つの出力が用意されており、いずれも選択されたアドレスにあります。
- $(16 \times 1) \times 2$  のシングルポート構成では、2 つの  $16 \times 1$  のシングルポート構成 (各々は前に説明したものです) を組み合わせています。データ入力が 1 つ、データ出力が 1 つ、各アレイに対してアドレスデコーダが 1 つ用意されています。これらのアレイは、独立にアドレス指定することができます。

- $32 \times 1$  のシングルポート構成は、各々が 1 ビット幅の 32 ロケーションからなる RAM アレイです。データ入力が 1 つ、データ出力が 1 つ、5 ビットのアドレスデコーダが 1 つ用意されています。
- デュアルポートモードの  $16 \times 1$  構成は、各々が 1 ビット幅の 16 ロケーションからなる RAM アレイです。各ポート毎に 4 ビットのアドレスデコーダが用意されており、合計 2 個のアドレスデコーダがあります。一方のポートは、書き込み用の入力と読み出し用の出力で構成されており、いずれも選択されたアドレスにあります。他方のポートは 1 つの出力から構成されており、独立に選択されたアドレスからの読み出し用に使用されます。

表 7 : CLB メモリの構成

Mode	$16 \times 1$	$(16 \times 1) \times 2$	$32 \times 1$
Single-Port	√	√	√
Dual-Port	√		

デザインに対する適切な RAM 構成モードの選択は、タイミングとリソースの条件、所望機能、デザインプロセスの容易性に基づいて行う必要があります。選択基準には次の事項が含まれます。すなわち、 $32 \times 1$  のシングルポート、 $(16 \times 1) \times 2$  のシングルポート、 $16 \times 1$  のデュアルポートの各構成は 1 つの CLB をすべて使います。これに対して、 $16 \times 1$  のシングルポート構成では CLB の半分しか使いません。読み書き動作が同時に行われるため、デュアルポート RAM はシングルポート RAM の 2 倍のデータを転送することができます。一方、シングルポート RAM は 1 回に 1 つのデータの処理しか行うことができます。

デザイン入力中に該当するライブラリシンボルを使用することにより、CLB メモリの各構成オプションが選択されます。

### シングルポート モード

シングルポート RAM には、 $16 \times 1$ 、 $(16 \times 1) \times 2$ 、 $32 \times 1$  の 3 種類の CLB メモリ構成があります。図 11 に、これらの機能構成を示します。

シングルポート RAM の信号と元になっている CLB の信号を表 8 に示します。

表 8 : シングルポート RAM の信号

RAM Signal	Function	CLB Signal
D	Data In	DIN or $H_1$
A[3:0]	Address	$F_1$ - $F_4$ or $G_1$ - $G_4$
$A_4$ ( $32 \times 1$ only)	Address	$H_1$
WE	Write Enable	SR
WCLK	Clock	K
SPO	Single Port Out (Data Out)	$F_{OUT}$ or $G_{OUT}$

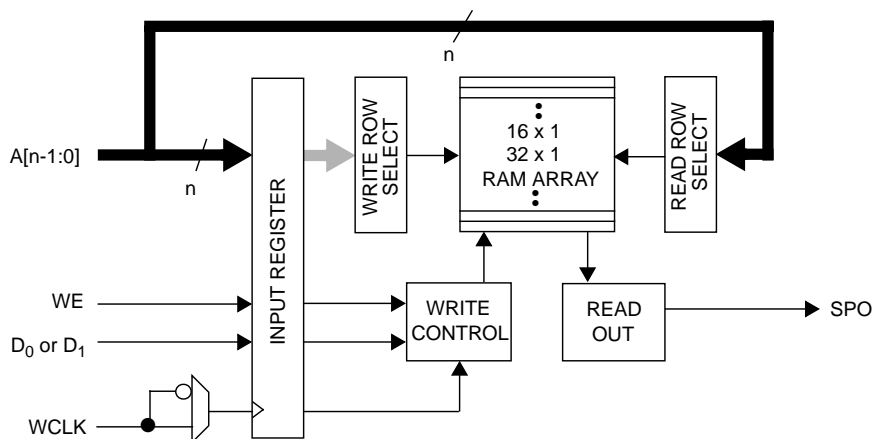


図 11 : シングルポート RAM の回路図

- 注 : 1.  $(16 \times 1) \times 2$  の構成では 2 つの  $16 \times 1$  シングルポート RAM が組み合わされており、各々が独立したアドレスバスとデータ入力を持っています。両 RAM には、同一の WE 信号と WCLK 信号が接続されています。
2.  $16 \times 1$  と  $(16 \times 1) \times 2$  の構成に対しては  $n = 4$ 、 $32 \times 1$  の構成に対しては  $n = 5$  です。

シングルポート RAM へのデータの書き込みは、基本的にはデータレジスタに対する書き込みと同じです。WE が High の間に、WCLK のアクティブ エッジで A 入力にアドレスを与え、D 入力にデータを入力して実行されるエッジトリガ (同期) 動作です。

図 12 に、タイミングの関係を示します。WE の High レベルにより、入力データレジスタの書き込みがイネーブルされます。WCLK のアクティブ エッジで、アドレス入力、入力データ、WE 信号がラッチされます。その後、内部書き込みパルスが発生されて、データがメモリセルにロードされます。

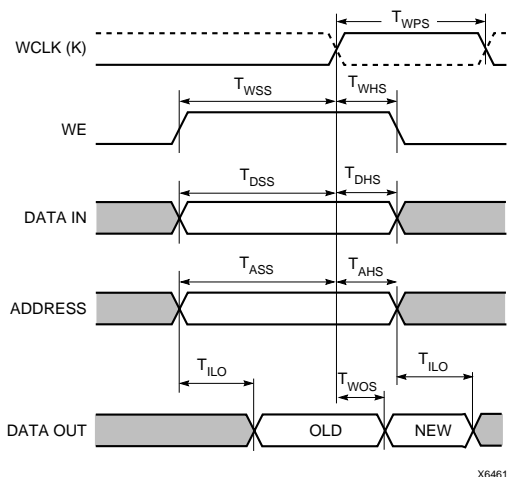


図 12 : RAM のデータ書き込みとアクセス タイミング

WCLK のアクティブ エッジは、立ち上がり (デフォルト) または立ち下がりに設定することができます。RAM に対する WCLK 入力としては、対応する CLB のフリップフロップに対するクロック入力と同じ信号が使用されますが、そのフリップフロップクロック入力の反転も、WCLK 入力として使うことができます。したがって、同一 CLB 内では、RAM の SPO ライン上のデータは、クロックの反転極性または非反転極性のいずれを使用しても、RAM 内に書き込むことができます。

WE 入力はアクティブ High で、CLB 内部では反転することはできません。

安定時間の経過後に、SPO 出力上のデータはアドレスが指定されている RAM ロケーションの内容を反映します。アドレスが変更されると、非同期的遅延  $T_{ILO}$  の経過後に、新しいアドレスロケーションに記憶されているデータが SPO 上に出力されます。ある RAM アドレスのデータが上書きされた場合は、遅延時間  $T_{WOS}$  の経過後に、新しいデータが SPO 上に出力されます。

#### デュアルポート モード

デュアルポートモードでは、ファンクションジェネレータ (F-LUT と G-LUT) を使用して、 $16 \times 1$  のデュアルポート RAM が作成されます。2 つのデータポートがあり、その内の 1 つのポートでは  $A[3:0]$  で指定されたアドレスに対して読み書き動作が可能で、その間 2 つ目のポートでは、 $DPRA[3:0]$  により独立に指定されたアドレスに対して読みだし動作のみが可能です。したがって、異なるアドレスに対する (もちろん同じアドレスに対して) 読み書き動作を同時に行うことができます。

図 13 に、 $16 \times 1$  のデュアルポート RAM の機能的な構成を示します。



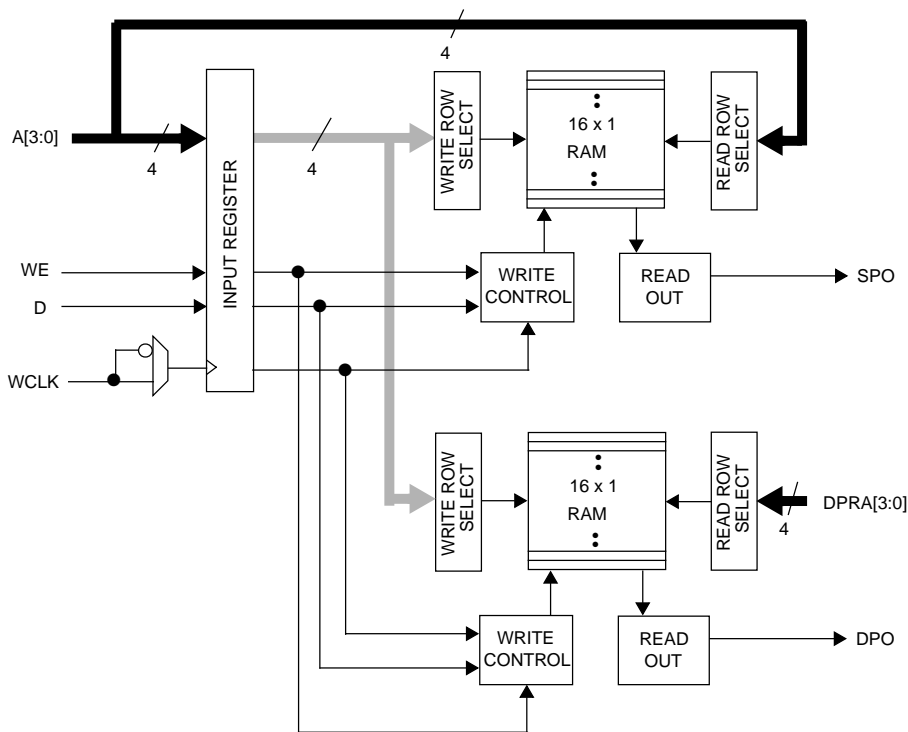


図 13 : デュアルポート RAM の回路図

デュアルポート RAM の信号と元になっている CLB の信号を表 9 に示します。

表 9 : デュアルポート RAM の信号

RAM Signal	Function	CLB Signal
D	Data In	DIN
A[3:0]	Read Address for Single-Port. Write Address for Single-Port and Dual-Port.	F <sub>1</sub> -F <sub>4</sub>
DPRA[3:0]	Read Address for Dual-Port	G <sub>1</sub> -G <sub>4</sub>
WE	Write Enable	SR
WCLK	Clock	K
SPO	Single Port Out (addressed by A[3:0])	F <sub>OUT</sub>
DPO	Dual Port Out (addressed by DPRA[3:0])	G <sub>OUT</sub>

デュアルポート RAM の作成に使用される RAM16X1D ブリミティブは、上位と下位の 16×1 のメモリアレイで構成されています。A[3:0] と表示されているアドレスポートは下位メモリアレイに対して読み出しと書き込みの両方のアドレスを供給します。この下位メモリアレイは前述の 16×1 のシングルポート RAM アレイと同じ動作を行います。シングルポート出力 (SPO) は、下位メモリに対してデータ出力として機能します。したがって、SPO はアドレス A[3:0] にあるデータを反映します。

デュアルポートアドレス DPRA[3:0] と表示されているもう 1 つのアドレスポートは、上位メモリに対して読み出しアドレスを供給しますが、このメモリに対する書き込みアドレスにはアドレス A[3:0] が使われます。デュアルポート出力 (DPO) は、上位メモリのデータ出力として機能します。したがって、DPO はアドレス DPRA[3:0] にあるデータを反映します。

A[3:0] アドレスを書き込みアドレスとして、DPRA[3:0] を読み出しアドレスとしてそれぞれ使用し、さらに DPO 出力のみを読み出すことにより、同時に読み書き可能な FIFO を容易に生成することができます。デュアルポート RAM で可能な同時読み書き機能は、交互に読み書きを行うシングルポート RAM の 2 倍の実効データスループットを提供することができます。

図 12 に、デュアルポート RAM モードのタイミング関係を示します。

RAM に対する書き込み動作は同期的 (エッジトリガ) ですが、データアクセスは非同期的であることに注意してください。

FPGA コンフィギュレーション時における RAM の初期化  
Spartan シリーズの RAM と ROM は、デバイスのコンフィギュレーション時に初期化されます。回路図ライブラリガイドに説明されているように、初期値は RAM または ROM に指定された INIT 属性またはプロパティを使用して定義されます。定義されていない場合は、すべての RAM 内容は、デフォルトとしてゼロに初期化されます。

RAM の初期化はデバイスのコンフィギュレーション時のみ行われます。RAM の内容は、GSR により影響を受けることはありません。

CLB 内部での RAM の使用方法に関するその他の資料  
同期 (エッジトリガ)RAM について説明する『Xilinx Edge-Triggered and Dual-Port RAM Capability』、『Implementing FIFOs in Xilinx RAM』、『Synchronous and Asynchronous FIFO Designs』の 3 つのアプリケーションノート(英文)がザイリンクスより提供されています。これら 3 つのアプリケーション ノートは Spartan および Spartan-XL の両シリーズに適用されます。

### 高速キャリ ロジック

各 CLB の F-LUT と G-LUT の両ファンクション ジェネレータには、キャリ信号とポロー信号を高速に生成する専用演算ロジックが含まれています。この特別な出力は、隣接 CLB 内のファンクション ジェネレータに渡されます。このキャリチェーンは通常の配線リソースからは独立しています(図 14 参照)。

この専用高速キャリ ロジックは、加算器、減算器、アキュムレータ、コンパレータ、カウンタの効率と性能を大幅に強化します。また、従来の FPGA では速度が不十分か、または低効率の演算動作を含む多くの新アプリケーションに対するドアが開かれます。マイクロプロセッサ システムまたはグラフィックシステムでのアドレスオフセットの高速計算とデジタル信号処理における高速加算はこれらの代表的な 2 つのアプリケーションです。

2 個の 4 入力ファンクション ジェネレータは、任意の長さに拡張可能な隠れた組み込みキャリを持つ 2 ビット加算器としてコンフィギュレーションすることができます。この専用キャリ回路は非常に高速で効率が良いため、キャリ生成 / 伝搬のような従来型の加速方式の使用は 16 ビットレベルでも無意味になり、32 ビットレベルで同等となります。

この高速キャリ ロジックは Spartan シリーズの重要な機能の 1 つであり、演算機能とカウント機能を高速化します。

Spartan シリーズ デバイス内のキャリ チェーンでは、上方または下方への伝搬が可能です。列の最上部または最下部ではその上または下には CLB がありませんが、ここではキャリは右に伝搬します。

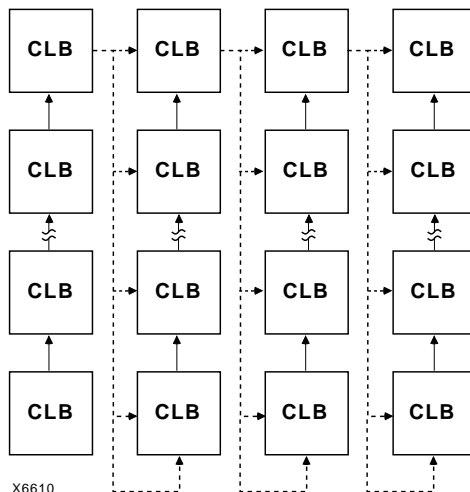
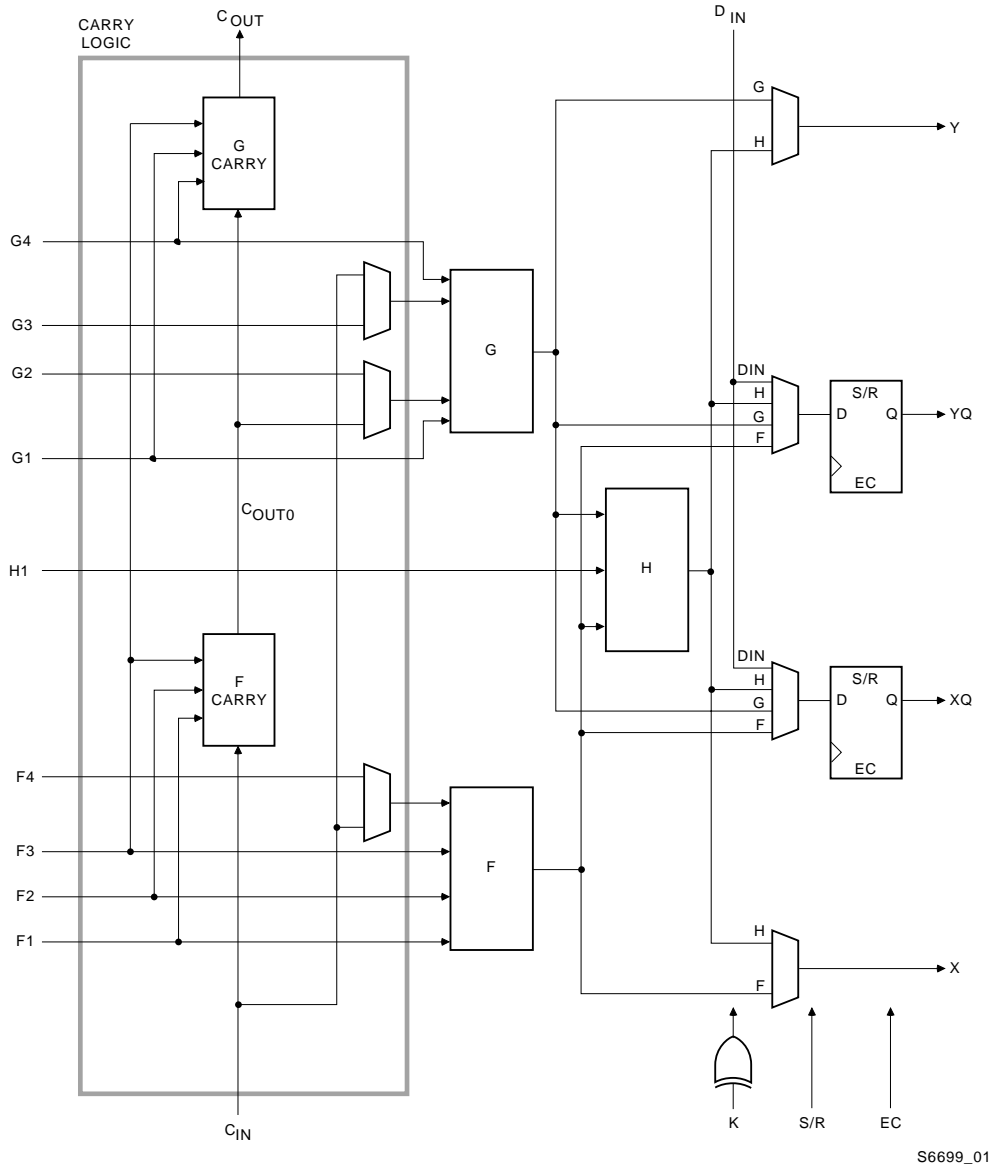


図 14 : Spartan のキャリ伝搬パス

15 ページの図 15 に、専用高速キャリ ロジックを持つ Spartan シリーズの CLB を示します。キャリ ロジックはオペランドと制御入力をファンクション ジェネレータと共用しています。キャリ出力はファンクション ジェネレータに接続され、ここでオペランドと結合されて和を形成します。

16 ページの図 16 に、Spartan のキャリ ロジックの詳細を示します。この図には、図 15 で "CARRY LOGIC" とラベル表示されたボックスに内容が表示されています。

高速キャリ ロジックは、特別なライブラリシンボルを配置して、あるいはこれらのシンボルを既に含んでいるザイリンクスの相対配置型マクロ (RPM) を使用して、アクセスすることができます。



S6699\_01

図 15 : Spartan CLB の高速キャリ ロジック

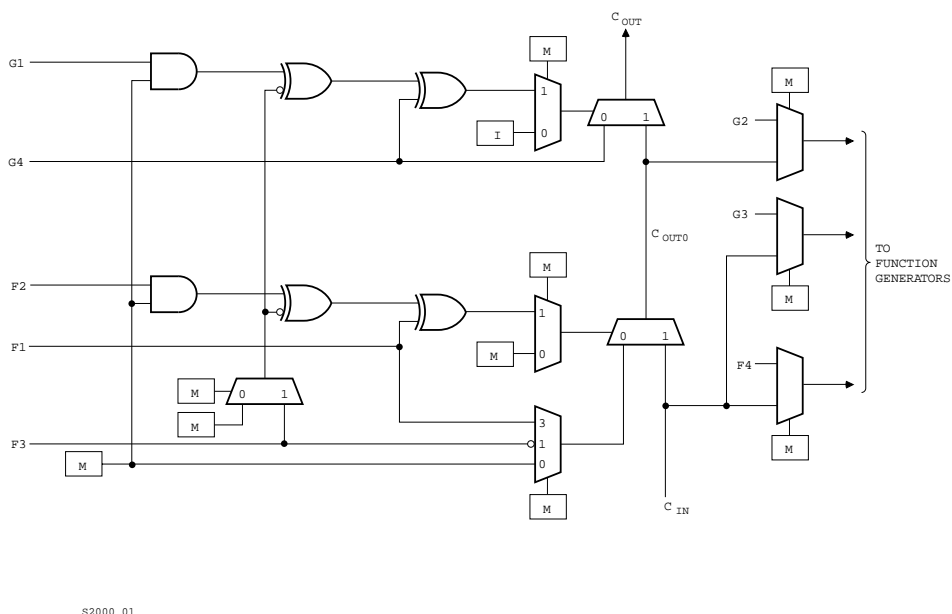


図 16 : Spartan 専用キャリ ロジックの詳細

### スリーステート ロングライン ドライバ

アレイ内の各 CLB に対して、1 対のスリーステートバッファが対応しています。これらのスリーステートバッファ (TBUF) を使用して、その CLB の上または下にある最寄りの水平ロングラインに信号を送り出すことができます。したがって、これらを使用すると、水平ロングライン上にマルチプレクスバスまたは双方向バスを構成することができ、ロジックリソースを節約することができます。

これら 2 本のロングラインの両端には弱いプルアップ抵抗があります。この回路により、不定なレベルになることを防止していますが、他のドライバが接続された場合には、この機能はそのドライバが代わりに果たします。

バッファイネーブルは、表 10 に示すように、アクティブ High のスリーステートです (すなわち、アクティブ Low イネーブル)。

### スリーステート バッファの例

図 17 に、スリーステートバッファを使ってマルチプレクサを構成する方法を示します。出力の選択は、バッファ スリーステート信号により行われます。

これらのバッファをデザイン内で使用する場合は、T ピンの極性に特に注意してください。アクティブ High スリーステート (T) は、表 10 に示すように、アクティブ Low 出力イネーブルと同じものです。

表 10 : スリーステート バッファの機能

IN	T	OUT
X	1	Z
IN	0	IN

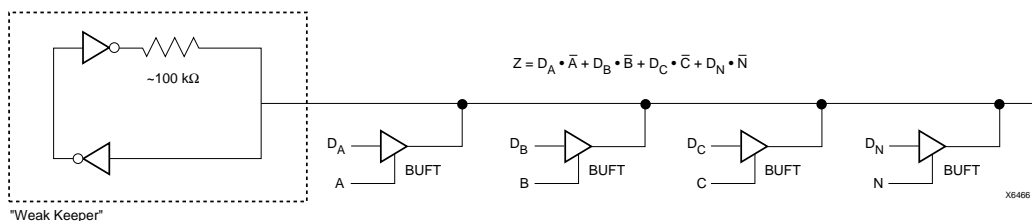


図 17 : スリーステートバッファによるマルチプレクサの実現

## オンチップ発振器

Spartan シリーズのデバイスには内部発振器が内蔵されています。この発振器は、パワーオンタイムアウトのクロックとして、コンフィギュレーション時のメモリクリア動作に、マスタコンフィギュレーションモードの CCLK クロック源として使用されます。この発振器は公称周波数が 8MHz ですが、プロセス、Vcc、温度に依存して変動します。出力周波数は 4 ~ 10MHz の範囲です。

発振器出力は、オプションとしてコンフィギュレーションの後で使用することもできます。内蔵分周器内の再同期された 4 タップ内の任意の 2 タップも使用することができます。これらのタップは、分周器の 4 ビット目、9 ビット目、14 ビット目、19 ビット目にあります。したがって、基本発振器出力が公称 8MHz の場合、ユーザは 8MHz クロックの他に 500 kHz、16kHz、490Hz、15Hz の中から 2 種類をアクセスすることができます (低電圧デバイスでは周波数が最大 10% 低下します)。これらの周波数は -50% ~ +25% の範囲で変動します。

これらの信号は、回路図または HDL コード内に OSC ライブラリエレメントを配置することによりアクセスされます (図 25)。

OSC シンボルがデザイン内で使用されていない場合は、コンフィギュレーション後に、この発振器は自動的にディスエーブルされます。

グローバル信号 : GSR および GTS

### グローバルセット / リセット

個別のグローバルセット/リセットライン (CLB に対しては 4 ページの図 3 を参照、IOB に対しては 6 ページの図 6 を参照) により、パワーアップ時、リコンフィギュレーション時、または専用リセットネットがアクティブに駆動されたときに、各記憶エレメントをセットまたはクリアします。このグローバル ネット (GSR) は専用分配ネットワークを使用するため、他の配線リソースと競合することはありません。

各フリップフロップはローカルなセット / リセット (SR) の指定と同じ方法で、グローバルにセットまたはリセットされます。したがって、フリップフロップが SR によりセットされた場合、GSR によってもセットされます。同様に、リセットモードにある場合、フリップフロップは SR と GSR によりリセットされます。

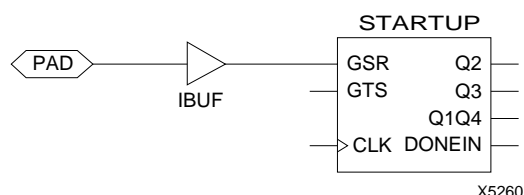


図 18 : グローバルセット / リセットの回路シンボル

GSR をグローバルリセット入力としてユーザプログラマブルピンで駆動することができます。このグローバル ネットを使用するときは、回路図または HDL コード内に入力パッドと入力バッファを配置して STARTUP シンボルの GSR ピンを駆動します (図 18)。

ユーザプログラマブルパッドを割り当てる場合と同じように、特定ピン位置を LOC 属性またはプロパティを使用してこの入力

に割り当てます。入力バッファの後ろにはインバータを入力してグローバルリセット / リセット信号の検出を反転させることもできます。代わりに、GSR を内部ノードから駆動することもできます。

### グローバル スリーステート

バウンダリ スキャンがイネーブルされ、かつ EXTEST インストラクションが実行されている場合を除いて、個別のグローバルスリーステートライン (5 ページの図 5 を参照) は、強制的に FPGA 出力を高インピーダンス状態にします。このグローバル ネット (GTS) は専用分配ネットワークを使用しているため、他の配線リソースと競合することはありません。

グローバル スリーステート入力として、GTS を任意のユーザプログラマブルピンで駆動することができます。このグローバル ネットを使用するときは、回路図または HDL コード内に入力パッドと入力バッファを配置して、STARTUP シンボルの GTS ピンを駆動します。これは、GSR に対して図 13 に示した内容と同じです。ただし、IBUF が GTS に接続されている点が異なります。他のユーザプログラマブルパッドと同様に、LOC 属性またはプロパティをこの入力に指定して、特定のピン位置を割り当てることができます。インバータを入力バッファの後ろに挿入して、グローバルスリーステート信号の検出レベルを反転させることもできます。代わりに、任意の内部ノードから GTS を駆動することもできます。

### バウンダリ スキャン

"ピンボードを使ったテスト" は、電子コンポーネントをテストする伝統的な方法として長い間使用されてきました。しかし、ピン間隔が狭くなるにつれて、さらに表面実装技術や多層ボードのような最新の組立方法の登場により、この方法が適さない場合も生じるようになりました。IEEE バウンダリ スキャン規格 1149.1 は、電子コンポーネントのボードレベルでのテストを可能にする目的で制定されました。標準のテストロジック構造をデバイスにあらかじめ組み込んでおき、I/O と内部ロジックに対する高いフォルトカバレッジを達成しようとするものです。この構造は、バウンダリ スキャン準拠 IC の 4 ピン インターフェイスを使用して容易に組み込むことができます。IEEE 1149.1 準拠デバイスは、シリアル デジューチェーン接続、パラレル接続、または両方を組み合わせた接続方式により互いに接続できます。

Spartan シリーズには、IEEE 1149.1 準拠の BYPASS、PRELOAD/SAMPLE、EXTEST の各バウンダリ スキャン インストラクションが組み込まれています。バウンダリ スキャン コンフィギュレーション オプションが選択されると、通常のユーザ I/O ピン 3 本がこれらの機能に対する専用入力ピンに変わります。別のユーザ出力ピンは、専用バウンダリ スキャン出力になります。この回路の詳細なイネーブル方法はこの節の後半で説明します。

これらの入力信号を使用して、ユーザはコマンドとデータをデバイスにシリアルにロードして、ユーザ出力の駆動を制御し、ユーザ入力を調べることができます。この方法は "ピンボードを使ったテスト" を改良したものです。この方法ではデバイス出力をオーバドライブする必要がなくなり、ユーザ インターフェイスは 4 ピンに削減されています。規格には、オプションの 5 番目のピンである制御ロジックに対するリセットピンが規定されていますが、ザイリンクス デバイスには組み込まれていません。

専用オンチップ ロジックには、16 ステートのステート マシン、インストラクション レジスタ、多数のデータ レジスタなどの IEEE 1149.1 機能が組み込まれています。機能の詳細は、IEEE 1149.1 仕様に記載されていますが、ザイリンクスのアプリケーション ノート "Boundary Scan in FPGA Devices" にも記載してあります。

図 19 に、Spartan シリーズ バウンダリ スキャンのブロック図を示します。1 IOB 当り 3 ビットのデータ レジスタ、IEEE 1149.1 テスト アクセスポートコントローラ、デコーダ付きのインストラクション レジスタなどが示してあります。

Spartan シリーズ デバイスはバウンダリ スキャン ロジックを使用してコンフィギュレーションすることもできます。25 ページの「バウンダリ スキャン ピンを使用するコンフィギュレーション」の節を参照してください。

### データ レジスタ

プライマリデータレジスタはバウンダリ スキャンレジスタです。このレジスタは、FPGA 内の各 IOB ピン (ボンディングの有無に無関係に) に対して 3 ビットを保持しており、これら 3 ビットを使用して入力、出力、スリーステートを制御しています。非 IOB ピンもこれら該当する一部のビット (入力または出力) を持っています。PROGRAM、CCLK、DONE はバウンダリ スキャンレジスタに含まれていません。各 EXTEST CAPTURE-DR state がすべての入力ピン、出力ピン、スリーステートピンをキャプチャします。

データ レジスタには、ピンに接続されていないビットである TDO.T、TDO.O、BSCANT.UPD が含まれています。

TDO.T と TDO.O は常にデータレジスタのビット 0 とビット 1 に位置します。BSCANT.UPD は常にデータレジスタの最終ビットに位置します。バウンダリ スキャンのこれら 3 ビットは、ザイリンクスが特別の用途に使用するテスト信号です。

規格に規定されているその他のデータレジスタは、1 個のフリップフロップからなる BYPASS レジスタです。このレジスタは、FPGA を通過して下流に接続されている次のバウンダリ スキャン デバイスに渡されるデータを同期化します。

FPGA にはさらに 2 個のデータレジスタが用意されています。これらのレジスタは BSCAN マクロを使用して指定することができます。FPGA には 2 つのユーザ インストラクションのデコードになっている 2 本のユーザ ピン (BSCAN.SEL1 と BSCAN.SEL2) も用意されています。これらのインストラクションに対して、対応する 2 本のピン (BSCAN.TDO1 と BSCAN.TDO2) を使用すると、TDO にシフト出力されるデータをスキャンすることができます。データ レジスタ クロック (BSCAN.DRCK) を使用して、ユーザが必要に応じて CLB にあらかじめ組み込んでおいたテストロジックを制御することができます。TCK と RUN-TEST-IDLE の NAND 出力も用意されています (BSCAN.IDLE)。

### インストラクション セット

Spartan シリーズ バウンダリ スキャンのインストラクション セットには、デバイスをコンフィギュレーションするインストラクションとコンフィギュレーション データをリードバックするインストラクションも含まれています。インストラクション セットは、表 11 のようにコード化されています。

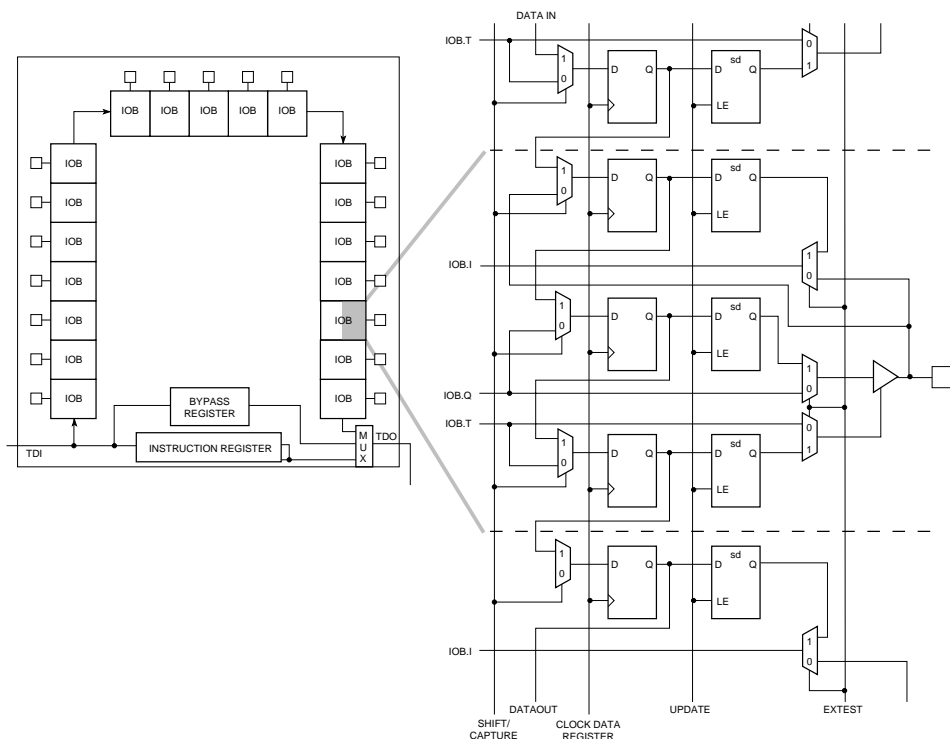


図 19 : Spartan シリーズのバウンダリ スキャン ロジック



## ビット シーケンス

各 IOB 内のビットシーケンスは、入力、出力、スリープ状態の順です。入力専用ピンはバウンダリ スキャン I/O データレジスタに対して入力ビットとして機能し、一方、出力専用ピンはこれら 3 ビットすべてとして機能します。

I/O データレジスタ内の先頭の 2 ビットは TDO.T と TDO.O で、内部信号のキャプチャに使用することができます。最終ビットは BSCANT.UPD で、内部ネットの駆動に使用できます。これらのビット位置は基本的にはザイリンクスが内部テスト用に使用します。

チップのキャピティアップの方向から見た場合 (Epic を参照)、チップの右上の角から開始して、バウンダリ スキャン データレジスタビットは図 20 に示す順に配置されています。Spartan シリーズのデバイス固有のピン配置表には、各 IOB ピンに対するバウンダリ スキャン位置が示してあります。

Spartan シリーズ デバイスに対する BSDL (バウンダリ スキャン記述言語) ファイルはザイリンクスの FTP サイトから配付しています。

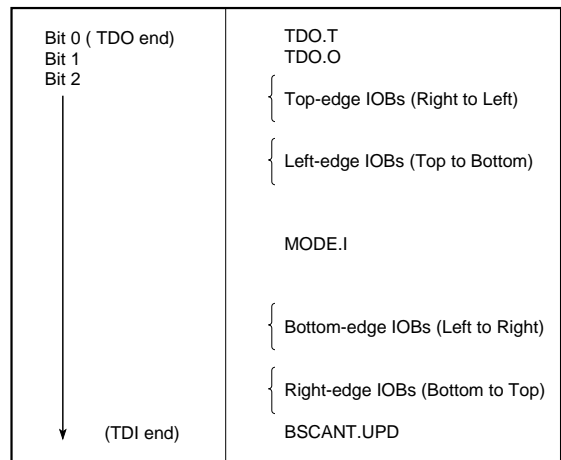
### 回路図でのバウンダリ スキャンの指定

コンフィギュレーション時のみバウンダリ スキャンを使用する場合は、回路図または HDL コード内に特別な回路図エレメントを配置する必要はありません。このケースでは、コンフィギュレーション後に、特別なバウンダリ スキャン ピンの TDI、TMS、TCK、TDO はユーザ I/O 機能として使用することができます。コンフィギュレーション後も、バウンダリ スキャンのイネーブル状態を維持するように指定するときは、BSCAN ライブラリシンボルを配置して、TDI、TMS、TCK、TDO の各パッドシンボルを該当するピンに接続します (図 21)。

バウンダリ スキャン シンボルが回路図内で使用されていても、入力ピンの TMS、TCK、TDI は内部ロジックに対して配線される入力としても使用できます。これらのピンにバウンダリ スキャン入力パターンを誤って入力して、チップを強制的に意図しないバウンダリ スキャン状態にしてしまうことのないように注意が必要です。これを回避する簡単な方法は、TMS を High に維持して、TDI と TCK に所望の信号を入力することです。

表 11: バウンダリ スキャン インストラクション

Instruction	I2	I1	I0	Test Selected	TDO Source	I/O Data Source
0	0	0	0	EXTEST	DR	DR
0	0	1	0	SAMPLE/PRELOAD	DR	Pin/Logic
0	1	0	0	USER 1	BSCAN. TDO1	User Logic
0	1	1	0	USER 2	BSCAN. TDO2	User Logic
1	0	0	0	READBACK	Readback Data	Pin/Logic
1	0	1	0	CONFIGURE	DOUT	Disabled
1	1	0	0	Reserved	—	—
1	1	1	0	BYPASS	Bypass Register	—



S6075\_02

図 20: バウンダリ スキャンのビット シーケンス

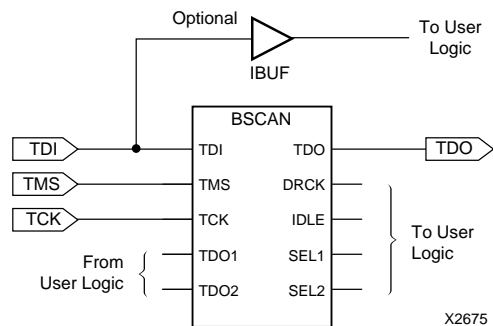
### バウンダリ スキャン誤起動の防止

TMS または TCK をユーザ I/O として使用する場合は、これらのピン内の少なくとも 1 本は、コンフィギュレーション中は必ず固定しておく必要があります。アプリケーションによっては、コンフィギュレーション中に、TMS または TCK が駆動されることもあります。これによりデバイスは、バウンダリ スキャン モードに入ってしまう、コンフィギュレーション プロセスを阻害します。

コンフィギュレーション中のバウンダリ スキャンの起動を回避するときは、次のいずれかを実施します。

- TMS を High に接続して、テストアクセスポートコントローラを RESET ステートにします。
- TCK を High または Low に接続します。このクロック入力にはグルルしないでください。

バウンダリ スキャンの詳細については、ザイリンクスのアプリケーション ノート "Boundary Scan in FPGA Devices" を参照してください。



X2675

図 21: バウンダリ スキャン回路図の例

## コンフィギュレーションおよびテスト

コンフィギュレーションは、デザイン固有のプログラミング データを 1 個または複数の FPGA にロードして、内部ブロックとその内部接続の機能動作を定義するプロセスです。これは、ある意味でプログラマブルなペリフェラル チップのコマンド レジスタをロードするのと同じです。Spartan シリーズ デバイスは、1 CLB とその対応する内部接続当たり、数百ビットのコンフィギュレーション データを使用します。各コンフィギュレーション ビットは、スタティック メモリ セルの状態を定義しています。このメモリ セルは、ファンクション ルックアップ テーブルのビット、マルチプレクサ 入力、または内部接続のバスタランジスタを制御しています。ザイリンクスの開発システムは、デザインをネットリスト ファイルに変換します。この開発システムは自動的にロジックの分割、配置、配線を実行して、PROM フォーマットのコンフィギュレーション データを生成します。

### コンフィギュレーション モードの制御

Spartan シリーズのデバイスには次の 2 種類のコンフィギュレーション モードがあります。

- スレーブ シリアル モード MODE = 1
- マスタ シリアル モード MODE = 0

コンフィギュレーションの前に、コントロール ピン (MODE) をサンプルして、コンフィギュレーション モードが決定されます。コンフィギュレーション後は、この MODE ピンは使用されません。コンフィギュレーション中に、MODE ピンは弱いプルアップ抵抗を持ちます。MODE ピンが High のときは、スレーブ シリアル モードが選択され、このモードは基本的にはディジーチェーン接続されたデバイスに対して使用され、最も多く使用されるコンフィギュレーション モードです。したがって、この最も一般的なコンフィギュレーション モードに対しては、MODE ピンを開放のままにしておくことができるようになります (ただし、内部プルアップ抵抗値は 20K ~ 250 K です)。マスタ シリアル モードが必要な場合は、この MODE ピンを直接 GND に接続するか、または MODE ピンと GND の間に 1 K ~ 3K のプルダウン抵抗を接続することをお勧めします。

コンフィギュレーション中には、幾つかの I/O ピンは一時的にコンフィギュレーション プロセス用に使用されます。表 12 に、コンフィギュレーション中に使用するすべてのピンを示します。

### マスタ シリアル モード

マスタ シリアル モードでは、内部発振器を使用してコンフィギュレーション クロック (CCLK) を発生し、スレーブ デバイスとザイリンクス シリアル コンフィギュレーション PROM (SPROM) を駆動します。CCLK としては 1MHz または 8MHz が選択できます。コンフィギュレーションは常にデフォルトの低速モードで開始され、先頭のフレーム時に高い周波数に切り替えることができます。許容周波数変動は -50% ~ +25% です。

マスタ シリアル モードでは、デバイスの CCLK 出力により、FPGA の DIN 入力に接続されているザイリンクス SPROM が駆動されます。CCLK 出力の各立ち上がりエッジで SPROM の内部アドレス カウンタがインクリメントされます。

FPGA の DIN ピンに接続されている SPROM のデータ出力には、次のデータビットが出力されます。FPGA はこのデータを CCLK の次の立ち上がりエッジで受け取ります。

表 12: コンフィギュレーション時のピン機能

CONFIGURATION MODE <MODE Pin>		
SLAVE SERIAL <High>	MASTER SERIAL <Low>	USER OPERATION
MODE (I)	MODE (I)	MODE
HDC (HIGH)	HDC (HIGH)	I/O
LDC (LOW)	LDC (LOW)	I/O
INIT	INIT	I/O
DONE	DONE	DONE
PROGRAM (I)	PROGRAM (I)	PROGRAM
CCLK (I)	CCLK (O)	CCLK (I)
DIN (I)	DIN (I)	I/O
DOUT	DOUT	SGCK4-I/O
TDI	TDI	TDI-I/O
TCK	TCK	TCK-I/O
TMS	TMS	TMS-I/O
TDO	TDO	TDO-(O)
ALL OTHERS		

注: 1. 網点表示された部分は、コンフィギュレーションの前と最中に内部プルアップ抵抗を持つことを示します。

2. (I) は入力、(O) は出力をそれぞれ表します。

3. INIT は、コンフィギュレーション中にオープンドレイン出力になります。

ディジーチェーン構成内で使用される場合、マスタ シリアル FPGA はチェーン内の先頭デバイスとして配置され、先頭 FPGA と呼ばれます。先頭 FPGA はプリアンブル データおよび先頭デバイスからオーバーフローする全データをその DOUT ピンに出力します。CCLK で 1.5 周期分の内部パイプライン遅延が発生します。これは、DOUT が CCLK の立ち下がりエッジで変化し、ディジーチェーン内の次の FPGA はデータを次の CCLK 立ち上がりエッジで受け取ることを意味します (図 22 参照)。

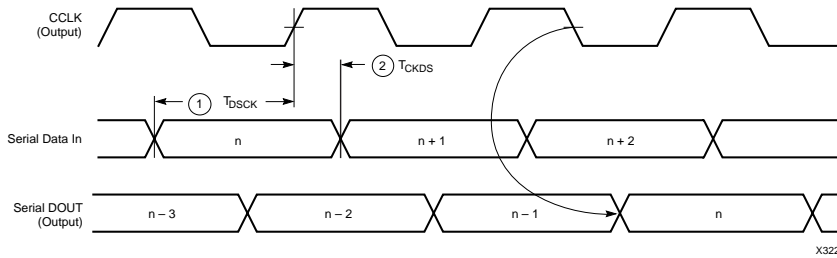
ビットストリーム生成ソフトウェアでは、ユーザが高速コンフィギュレーション レートを指定できます。これは、先頭フレーム内の数ビットで開始され、CCLK 周波数を 8 倍に増加します。実際のタイミング値については、仕様の節を参照してください。シリアル PROM とスレーブ デバイスは十分高速であり、このデータ レートをサポートしていることを確認してください。XC3000A と XC3100A のようなデバイスでは、この高速コンフィギュレーション オプションをサポートしていません。

SPROM の CE 入力を LDC または DONE により駆動することができます。LDC を使用すると、DIN ピンでの競合を回避できます。ただし、このピンがユーザ I/O としてコンフィギュレーションされ、コンフィギュレーション後に LDC が High 固定のユーザ出力として制限されている場合に限ります。DONE を使用した場合にも、DIN ピンでの競合を回避できます。ただし、アーリー DONE オプションが起動されていることが必要です。

図 23 に、マスタ / スレーブ システムを示します。最も左にあるデバイスがマスタ シリアル モードにあり、チェーン内にあるその他のすべてのデバイスはスレーブ シリアル モードにあります。

マスタ シリアル モードは、MODE ピンの Low で選択されます。





	Description	Symbol	Min	Max	Units
CCLK	DIN setup	1	$T_{DSCCK}$	20	ns
	DIN hold	2	$T_{CKDS}$	0	ns

注：1. パワーアップ時に、25ms 以内に  $V_{CC}$  が 2.0V から  $V_{CC \text{ min}}$  まで上昇する必要があります。そうでない場合は、 $V_{CC}$  が有効になるまで PROGRAM を Low にプルしてコンフィギュレーションを遅らせてください。

2. マスタシリアル タイミングは、スレーブモードでのテストに基づいています。図 22 マスタシリアルモードのプログラミングスイッチング特性

## スレーブ シリアル モード

スレーブシリアルモードでは、FPGA がシリアルコンフィギュレーションデータを CCLK の立ち上がりエッジで入力して、コンフィギュレーションをロードした後に、その他のデータ出力を次のデバイスに渡します。この際に、CCLK の次の立ち下がりエッジに再同期化されます。

このモードでは、外部信号（多くの場合マスタシリアルデバイス）が FPGA の CCLK 入力を駆動します。CCLK の各立ち上がりエッジの短いセットアップ時間だけ前に、シリアルコンフィギュレーションデータが先頭 FPGA の DIN 入力に入力される必要があります。

その後、先頭の FPGA はプリアンブルデータ（および先頭デバイスからオーバーフローするすべてのデータ）をその DOUT ピンに出力します。CCLK で 1.5 周期分の内部パイプライン遅延が発生します。これは、DOUT が CCLK の立ち下がりエッジで変化し、ディジーチェーン内の次の FPGA はデータを次の CCLK 立ち上がりエッジで受け取ることを意味します。

図 23 に、マスタ / スレーブシステムの全体を示します。スレーブシリアルモードにある Spartan シリーズデバイスは左から 3 番目のデバイスとして接続される必要があります。

スレーブシリアルモードは MODE ピンの High で選択されます。コンフィギュレーション中に MODE ピンは弱いプルアップ抵抗を持っているので、MODE ピンが未接続のままの場合は、スレーブシリアルがデフォルトモードになります。

同じコンフィギュレーションを持つ複数のスレーブデバイスの DIN 入力を並列に接続すると、複数のデバイスを同時にコンフィギュレーションすることができます。

## シリアル ディジー チェーン

異なるコンフィギュレーションデータを持つ複数のデバイスを "ディジーチェーン" 接続し、1 つの統合ビットストリームを使用してスレーブデバイスのチェーンをコンフィギュレーションすることができます。

デバイスのディジーチェーンを行うときは、全デバイスの CCLK ピンを平行に接続します（22 ページの図 23 参照）。各デバイスの DOUT を次のデバイスの DIN に接続します。先頭すなわちマスタの FPGA、およびそれ以降の各スレーブ FPGA には、同一ソースから得られた再同期化されたコンフィギュレーションデータが通過します。レンクスカウントを含むヘッダデータが渡され、各 FPGA がプリアンブル 0010 を検出したときに、各 FPGA によりヘッダデータがキャプチャされます。レンクスカウントデータ受信後に、各 FPGA が DOUT に High を出力し、所定データフレーム数の受信が完了するまでこの High 出力を維持します。

FPGA は自分のコンフィギュレーションデータを受け取った後、残りのフレームスタートビットとコンフィギュレーションデータを DOUT に出力して次のデバイスに渡します。メモリ初期化後に入力されたコンフィギュレーションクロックの合計数が、24 ビットのレンクスカウントの値と等しくなったとき、FPGA は起動シーケンスを開始し、一斉に動作可能になります。FPGA I/O は、通常、最後のコンフィギュレーションビットが受信されてから 2 CCLK サイクル後に解除されます。

ディジーチェーン接続されたビットストリームは、個々のビットストリームを単純に接続したものではありません。ビットストリームをディジーチェーン接続でのコンフィギュレーション用に結合するときは、PROM ファイルフォーマットを使用する必要があります。

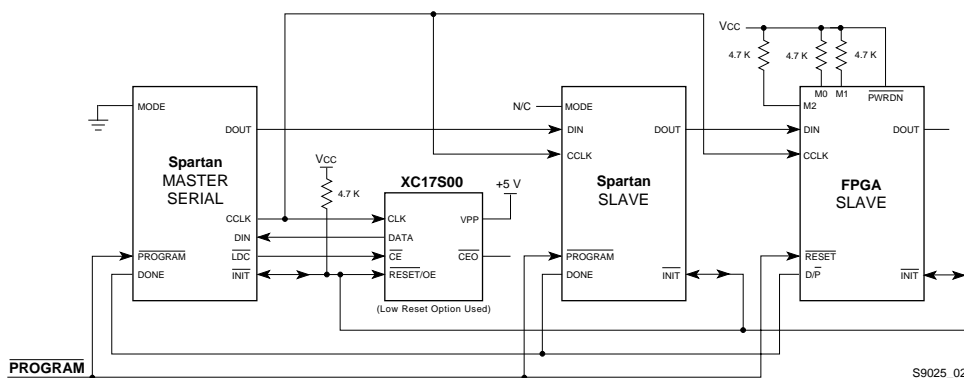
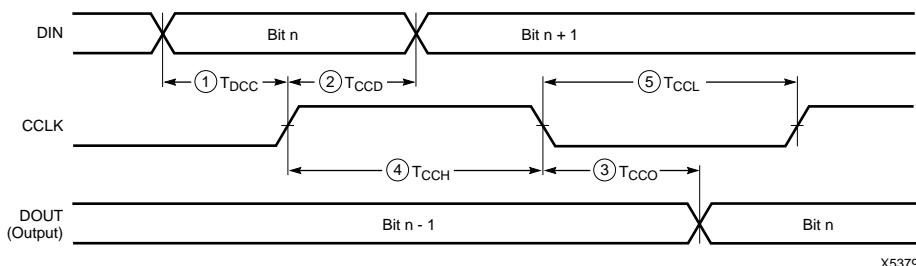


図 23 : マスタ / スレーブ シリアル モードの回路図



	Description	Symbol	Min	Max	Units
CCLK	DIN setup	1 $T_{DCC}$	20		ns
	DIN hold	2 $T_{CCD}$	0		ns
	DIN to DOUT	3 $T_{CCO}$		30	ns
	High time	4 $T_{CCH}$	45		ns
	Low time	5 $T_{CCL}$	45		ns
	Frequency	$F_{CC}$		10	MHz

注 : デジータチェーン接続された全 FPGA の INIT ピンが High になるまで、コンフィギュレーションを遅らせる必要があります。

図 24 : スレーブ シリアル モードのプログラミング スイッチング特性

### CCLK 周波数の設定

マスタモードでは、2種類のCCLK周波数を発生することができます。デフォルトの低速モードでは、Spartanシリーズデバイスに対して0.5MHz~1.25MHzの周波数が可能です。高速CCLKモードでは、Spartanシリーズデバイスに対して4MHz~10MHzの周波数が可能です。周波数は、ビットストリーム生成ソフトウェアを動作させるときのオプションにより選択されます。低速モードがデフォルトになっています。

### データストリームのフォーマット

データストリーム ("ビットストリーム") のフォーマットは両コンフィギュレーションモードで同じです。表13に、データストリームフォーマットを示します。ビットシリアルデータは左から右に読み込まれます。

コンフィギュレーションデータストリームは8個の1の連続(プリアンブルコード)で始まり、24ビットのレングスカウンタおよび1の連続による区切りフィールドがこの順に続きます。このヘッダの後に、フレーム形式で実際のコンフィギュレーションデータが続きます。長さおよびフレーム数はデバイスタイプに依存します(表14参照)。各フレームはスタートフィールドで始まり、エラーチェックで終了します。デバイスにデータの終了を知らせるために、ポストアンブルコードが必要です。

コンフィギュレーションの終りに起動シーケンスに対して 4 クロックを与えるために、すべてのケースでデータの起動バイトを追加することが必要です。長いデジター チェーンでは、チェーン内で最終データをシフトするために、起動バイトを追加することが必要です。すべての起動バイトは don't-care です。すなわち、これらのバイトはザイリンクスソフトウェアにより生成されたビットストリームには含まれていません。

表 13 : Spartan シリーズのデータストリーム フォーマット

Data Type	
Fill Byte	11111111b
Preamble Code	0010b
Length Count	COUNT(23:0)
Fill Bits	1111b
Start Field	0b
Data Frame	DATA(n-1:0)
CRC or Constant Field Check	xxxx (CRC) or 0110b
Extend Write Cycle	—
Postamble	01111111b
Start-Up Bytes	xxh

LEGEND:

Unshaded	Once per bitstream
Light	Once per data frame
Dark	Once per device

ビットストリーム生成ソフトウェアでは、オプションにより CRC エラー チェック有無の選択ができます。CRC エラー チェック無しでは、各フレームについて指定された End-of-Frame フィールドを調べます。CRC エラー チェック有りでは、このソフトウェアは CRC を計算してユニークな 4 ビットの部分チェックを各フレームの終りに挿入します。FPGA の最終フレーム内にある CRC チェックの 11 ビットには、最終データビットの 7 ビットが含まれます。

エラーを検出すると、データロードを停止して  $\overline{\text{INIT}}$  ピンをプルダウンします。マスタシリアルモードでは、外部で CCLK 信号とアドレス信号は動作を続けます。ユーザは  $\overline{\text{INIT}}$  をチェックして、PROGRAM ピンに Low レベルあるいは Vcc レベルを入力して新しいコンフィギュレーションを初期化する必要があります。

コンフィギュレーションとリードバックに対する CRC チェック

CRC チェックはデータ転送アプリケーションで使用されているエラー検出法です。一般に、送信側システムがシリアルビットストリームに対して計算を実行します。この計算の結果は、そのデータストリームに対するチェックビットとして追加されます。受信側システムは同じ計算をビットストリームに対して実行し、計算結果を受信したチェックサムと比較します。

コンフィギュレーション ビットストリームの各データフレームは最後に 4 ビットのエラー ビットを持っています (表 13)。FPGA のローディング中にフレームデータエラーが検出されると、異常ビットストリームを持つコンフィギュレーション プロセスは停止されます。FPGA は  $\overline{\text{INIT}}$  ピンに Low を出力して、ウェイト状態になります。

表 14 : Spartan のプログラム データ

Device	XCS05	XCS10	XCS20	XCS30	XCS40
Max System Gates	5,000	10,000	20,000	30,000	40,000
CLBs (Row x Col.)	100 (10 x 10)	196 (14 x 14)	400 (20 x 20)	576 (24 x 24)	784 (28 x 28)
IOBs	80	112	160	192	224
Flip-Flops	360	616	1,120	1,536	2,016
Horizontal Longlines	20	28	40	48	56
TBUFs per Longline	12	16	22	26	30
Bits per Frame	126	166	226	266	306
Frames	428	572	788	932	1,076
Program Data	53,936	94,960	178,096	247,920	329,264
PROM Size (bits)	53,984	95,008	178,144	247,968	329,312

注 : 1. 1 フレームのビット数 = (10 × 行数) + 上部に対して 7 + 下部に対して 13 + 1 + 1 スタート ビット + 4 エラー チェック ビット  
 フレーム数 = (36 × 列数) + 左縁に対して 26 + 右縁に対して 41 + 1  
 プログラム データ = (フレーム内のビット数 × フレーム数) + 8 ポストアンプル ビット  
 PROM サイズ = プログラム データ + 40(ヘッダ) + 8

2. ユーザはヘッダ内の先頭ダミー ビットとしてさらに "1" ビットを追加することができます。あるいは CRC = off の場合、フレームの終りの最後尾のダミー ビットとしてエラー チェックの 4 ビットの後ろにさらに "1" ビットを追加することができます。ただし、ヘッダの開始に余分な 1 の連続が存在している場合でも、これら余分な "1" ビットに対しては、レンジ カウント値を調整する必要があります。

リードバック中に、16 ビット チェックサム内の 11 ビットが、リードバック データ ストリームの終りに追加されます。チェックサムは CRC-16 CCITT 多項式 (図 25) を使用して計算します。チェックサムは、16 ビット コードの上位 11 ビットで構成されています。チェックサムの変化は、リードバック ビット ストリームの変化を意味します。リードバック データ がカレント デバイス 状態 と 無関係な場合にのみ、前のチェックサムとの比較が意味を持ちます。CLB 出力を含むことはできません (リードバック キャプチャ オプションは使用不可)、また RAM が存在する場合は、RAM 内容の変化は許容されません。

統計的には、エラー検出ミスは 1/2048 です。

### コンフィギュレーション シーケンス

Spartan シリーズ パワーアップ コンフィギュレーション シーケンスには、次の 4 つの主要なステップがあります。

- コンフィギュレーション メモリのクリア
- 初期化
- コンフィギュレーション
- スタートアップ

プロセス全体を図 26 に示します。

### コンフィギュレーション メモリのクリア

FPGA に対して最初に電源が投入されたとき、または電源が再投入されたとき、内部回路は強制的にコンフィギュレーション ロジックを初期化します。Vcc が動作レベルに達し、かつ回路がコンフィギュレーション ビットの サンプル 対 に対する書き込みと読み出しのテストをパスすると、遅延がスタートします。この時間遅延は公称 16ms で、Spartan-XL デバイスでは最大 10% 長くなります。全スレーブが安定な Vcc に達するための十分な時間を確保するため、マスタ モード (MODE が Low レベル) では遅延が 4 倍の長さになります。推奨に従い全 INIT ピンを一緒に接続したときには、遅延時間は長くなります。したがって、異なる遅延を持つデバイスが混在していても、容易にデジジー チェーン接続することができます。

この遅延はパワーアップ時のみ適用されます。PROGRAM ピンに Low パルスを入力して FPGA をリコンフィギュレーションするときには適用されません。

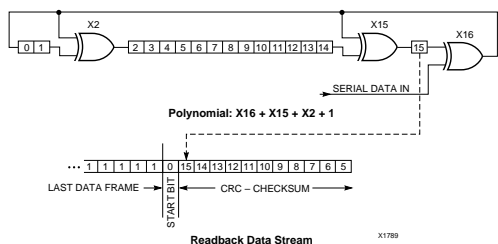


図 25 : CRC-16 生成回路

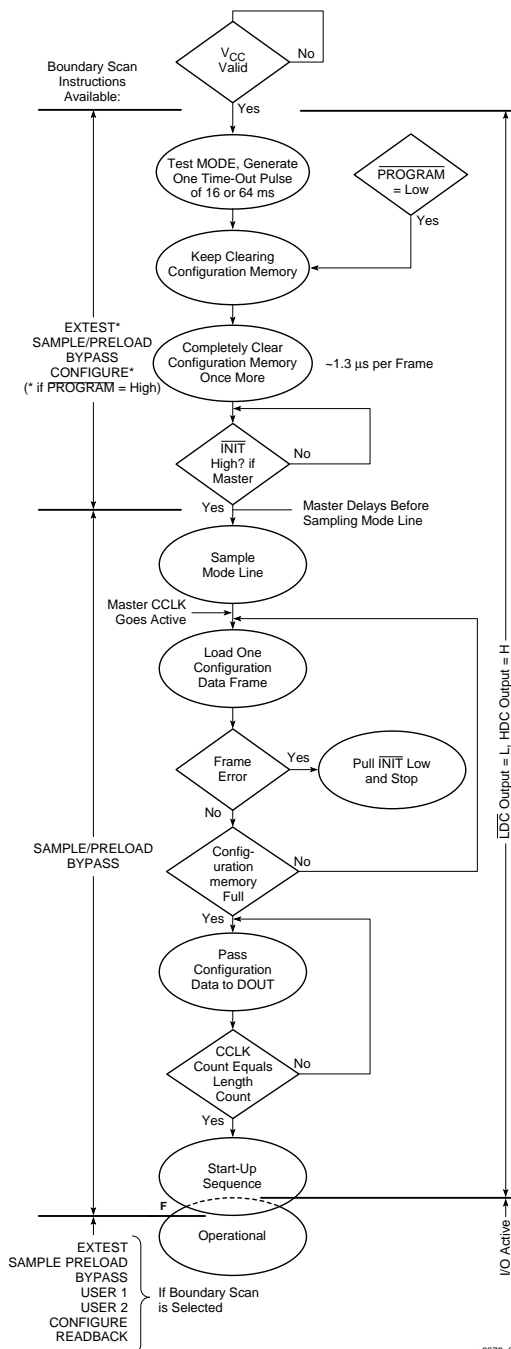


図 26 : パワーアップ コンフィギュレーションのシーケンス

この遅延時間中、またはPROGRAM 入力のアサートされている間、コンフィギュレーション ロジックは、コンフィギュレーション メモリクリア状態を維持します。引き続き、内部発振器を使用して、コンフィギュレーション メモリフレームが初期化されます。各フレーム アドレッシングの通過が終了する度に、パワーオンタイムアウト遅延回路とPROGRAM ピンのレベルがテストされます。どちらもアサートされていない場合には、ロジックはコンフィギュレーション フレームをもう一度クリアして、INIT 入力をテストします。

## 初期化

初期化とコンフィギュレーションの間、ユーザ ピンの HDC、LDC、INIT、DONE は、システム インターフェイスに対してステータス出力を提供します。最初に電源を投入した時点から、出力のLDC、INIT、DONE は Low に、HDC は High にそれぞれ維持されます。

オープンドレインのINIT ピンは、最後の初期化がフレーム アドレスを通過させたときに解除されます。INIT のインアクティブを検出する際には、確認用の遅延時間があります。マスタモードのデバイスはINIT ピンが High として検出されてから内部クロックで 2 サイクル後に、FPGA は MODE ピンをサンプルしてコンフィギュレーション モードを決定します。該当するインターフェイスラインはアクティブになり、コンフィギュレーション プリアンブルとデータのロードが可能になります。

## コンフィギュレーション

プリアンブルコード 0010 は、後続の 24 ビットはレングス カウントであることを識別します。レングス カウントはすべてのコンフィギュレーション データをロードするために必要なコンフィギュレーション クロックの合計サイクル数です (以下に述べるようなコンフィギュレーション プロセスを完了するためには、さらにコンフィギュレーション クロックを 4 サイクル追加する必要があります)。デジジチェーン内の全デバイスでプリアンブルとレングス カウントが通過すると、DOUT が High になり、フレーム スタートビットがデジジチェーン接続された各デバイスに到達するのを阻止します。

マスタデバイスの先頭フレームの始めにある特別なコンフィギュレーション ビットが、コンフィギュレーション クロック レートを制御し、8 倍単位でクロック レートを増加させることができます。したがって、ビットストリームにより高速コンフィギュレーション クロックが選択されている場合には、コンフィギュレーション ビットが検出される前は、低速クロック レートが使用されます。

各フレームにはスタートフィールドがあり、この後にフレーム コンフィギュレーション データ ビットとフレーム エラー フィールドが続きます。フレームのデータ エラーが検出されると、FPGA はローディングを停止して、オープンドレインのINIT ピンを Low にプルダウンしてエラーを通知します。全コンフィギュレーション フレームが FPGA にロードされると、DOUT は再び入力データを出力して、残りのデータを次のデバイスに渡します。

## パワーアップ後のコンフィギュレーションの遅延

パワーアップ後にコンフィギュレーションを遅延させる方法には、次の 2 つがあります。すなわち、PROGRAM 入力にロジック Low レベルを入力する方法、またはオープンコレクタ (オープンドレイン) ドライバを使用して、双方向INIT ピンを Low にプルダウンする方法です (24 ページの図 26 参照)。

PROGRAM 入力に Low を入力する方法は、より直接的なアプローチであり、電源の立ち上がり時間が長い場合または一定ではない場合に、このアプローチを推奨します。

PROGRAM が Low の間は、FPGA はコンフィギュレーション メモリのクリア動作を続けます。PROGRAM が High になると、コンフィギュレーション メモリが再度クリアされ、外部でINIT 入力が強制的に Low にされていないければ、コンフィギュレーションが開始されます。PROGRAM 入力に Low を入力すると、自動的に INIT 出力が Low になることに注意してください。Spartan シリーズのPROGRAM ピンは常に弱いプルアップを持っています。

オープンコレクタまたはオープンドレインのドライバを使用してINIT を Low に維持した後に、コンフィギュレーションを開始させると、FPGA はコンフィギュレーション メモリクリア動作を終了すると待ち状態になります。外部でINIT への Low 入力を解除すると、デバイスは MODE ピンのサンプルを行って、コンフィギュレーション モードを決定して、コンフィギュレーション プロセスの開始の準備を終了します。マスタデバイスは、オプションのデジジチェーン内にあるすべてのスレーブがINIT の High を確実に検出できるように、さらに最大 300  $\mu$ s 間待ちます。

## バウンダリ スキャン ピンを使用するコンフィギュレーション

Spartan シリーズ デバイスはバウンダリ スキャン ピンを使用してコンフィギュレーションすることができます。基本的な手順を次に示します。

- INIT を Low にして FPGA をパワーアップします (または INIT を Low に維持して、PROGRAM ピンを 300ns 以上 Low にした後に High にします)。INIT を Low に維持すると、FPGA に対する CONFIG コマンドの発行に必要な十分な時間を確保することができます。抵抗を使用して INIT を Low に保持した場合は、コンフィギュレーション終了後に、このピンは I/O として使用することができます。
- TMS 入力に対して CONFIG コマンドを発行します。
- INIT が High になるのを待ちます。
- バウンダリ スキャン テスト アクセスポートを SHIFT-DR 状態に進めます。
- TCK をトグルして、TDI ピンにデータを入力します。

これらの全サイクルはレングス カウントの比較に関与するため、ユーザは INIT が High になった後の全 TCK クロック サイクル数を考慮する必要があります。

詳細については、ザイリンクス アプリケーション ノート "Boundary Scan in FPGA Devices" を参照してください。このアプリケーション ノートは Spartan デバイスと Spartan-XL デバイスにも適用されます。



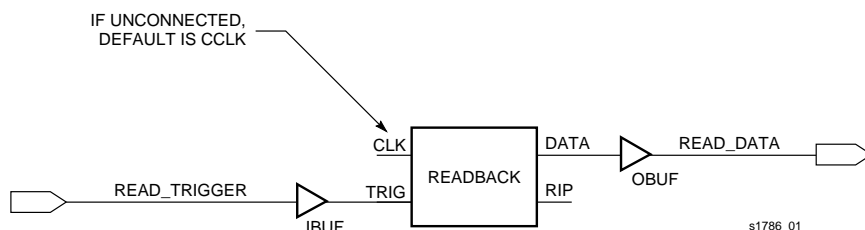


図 27: リードバック回路の例

## リードバック

ユーザは、デバイスの通常動作を阻害することなく、コンフィギュレーションメモリの内容と内部ノードの所定のレベルをリードバックすることができます。

リードバックはダウンロードされたコンフィギュレーションビットを報告するだけでなく、CLB と IOB 内の全フリップフロップとラッチの内容、および RAM として使用されたファンクションジェネレータの内容により提供されるデバイスの現在の状態も含んでいます。

Spartan シリーズのリードバックでは専用ピンを使用しませんが、任意の IOB に配線できる4個の内部ネット (RDBK.TRIG、RDBK.DATA、RDBK.RIP、RDBK.CLK) を使用しています。内部リードバック信号をアクセスするときは、READBACK ライブラリシンボルを配置して該当するパッドシンボルをアタッチします (図 27)。

RDBK.TRIG の Low から High への変化により、リードバックが開始された後は、RDBK.CLK の次の立ち上がりエッジで、RDBK.RIP 出力 (Read In の進行) が High になります。このクロックの後続立ち上がりエッジにより、リードバックデータが RDBK.DATA ネットにシフトアウトされます。

リードバックデータにはプリアンプルが含まれませんが、先頭に 5 ビット (全ビット High) のダミービットがあり、この後に先頭フレームのスタートビットが続きます。先頭フレームの最初の 2 データビットは常に High です。

各フレームの終りにはエラーチェックの 4 ビットが付きます。これらは High としてリードバックされます。最終フレームの最後の 7 ビットも High としてリードバックされます。追加スタートビット (Low) と 11 ビットの CRC が続いた後に RDBK.RIP が Low に戻ります。

## リードバックのオプション

リードバック オプションには、Read Capture、Readback Abort、Clock Select があります。これらはビットストリーム生成ソフトウェアにより設定されます。

### Read Capture

Read Capture オプションが選択されると、リードバックデータストリームに CLB 信号と IOB 信号のサンプル値が含まれます。RDBK.TRIG の立ち上がりエッジで、4 個の CLB 出力の反転された値、IOB 出力フリップフロップ、入力信号 I1 と I2 がラッチされます。コンフィギュレーション (内部接続、ファンクションジェネレータ、RAM の値) を記述するビットは非反転ですが、

CLB と IOB の出力信号は反転されていることに注意してください。

Read Capture オプションが選択されていないときは、キャプチャビットの値にはこれらのメモリロケーションに書き込まれている元のコンフィギュレーションデータが表示されます。

CLB の RAM 機能を使用している場合は、RAM データは CLB の F と G ファンクションテーブルコンフィギュレーションに直接上書きされるため、リードバック内容に RAM データが含まれます。

RDBK.TRIG はデバイスの左下に配置されています (図 28)。

### Readback Abort

Readback Abort オプションを選択すると、RDBK.TRIG の High から Low への変化で、リードバック動作が終了し、ロジックが次のトリガを受け付ける準備をします。

リードバックのアボート後、制御ロジックを再初期化するために、追加クロック (コンフィギュレーションフレーム当り最大 1 リードバッククロック) が必要となることがあります。リードバックのステータスは、出力コントロールネット RDBK.RIP により表示されます。リードバック動作中は、RDBK.RIP は High を出力します。

### Clock Select

CCLK がデフォルトクロックになっていますが、ユーザは別のクロックを RDBK.CLK に入力することができます。リードバックの制御とデータは、RDBK.CLK の立ち上がりエッジでクロックされます。リードバックをセキュリティのために禁止する必要がある場合は、単純にリードバックコントロールネットの接続を行いません。

RDBK.CLK はチップの右下に配置されています。

リードバッククロックの High 時間と Low 時間の最大値仕様に対する違反

リードバッククロックには、High 時間と Low 時間の最大値仕様があります。ケースによっては、この仕様を満たすことができない場合があります。例えば、プロセッサがリードバックを制御している場合に、割り込みにより強制的にリードバックの途中で停止させられることがあります。このためにクロックを停止する必要が生じて、この仕様を満たすことができなくなります。

この仕様は、フレームの終りでかつ次のスタートビットの前にあるクロックデータについてのみ意味があります。フレームの終りの 6 クロックサイクル中 (かつ次フレームのスタートビット前) に、データがシフトレジスタにロードされます。このロードプロセスは動的で、これが High 時間と Low 時間の最大条件が必要な原因になっています。

したがって、この仕様は任意のスタートビットを含む終りの6クロックサイクルにのみ適用されます。ただし、リードバックデータストリーム内の先頭スタートビットの前にあるクロックも含まれます。他の時間では、フレームデータは既にレジスタ内にあり、レジスタは動的ではありません。したがって、通常のシフトレジスタと同様にシフトアウトされます。

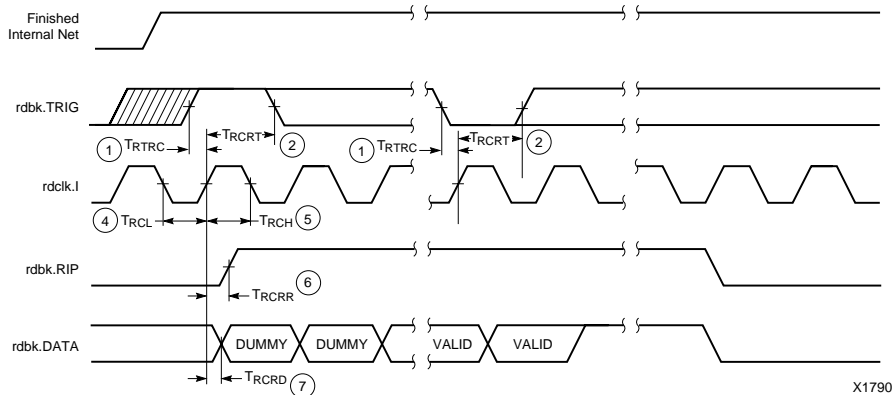
ユーザはリードバックデータのフレームに対する相対位置を正確に計算する必要があります。システムはデータフレーム内の位置を管理して、フレーム境界の前では割り込みをディスエーブルします。表13と表14に、フレーム長とデータフォーマットを示します。

### XChecker ケーブルを使用するリードバック

XChecker ユニバーサルダウンロード / リードバックケーブルとロジックプローブでは、ビットストリーム検証のためにリードバック機能を使用しています。また、選択した内部信号をPCまたはワークステーションのスクリーンに表示し、低価格インサーキットエミュレータとして機能します。

### Spartan プログラム リードバック スwitchング特性のガイドライン

Switching パラメータのテストは、MIL-M-38510/605に規定されているテスト方法に従いモデル化されています。全デバイスは100%機能テストされています。内部タイミングパラメータは直接測定されたものではなく、プロセス改善前のデバイスの導入時に測定されたベンチマークタイミングパラメータから導出されたものです。下記のガイドラインは推奨動作条件でのワーストケース値を反映しています。



### Spartan and Spartan-XL

	Description	Symbol	Min	Max	Units
rdbk.TRIG	rdbk.TRIG setup to initiate and abort Readback	1 $T_{RTRC}$	200	-	ns
	rdbk.TRIG hold to initiate and abort Readback	2 $T_{RCRT}$	50	-	ns
rdclk.1	rdbk.DATA delay	7 $T_{RCRD}$	-	250	ns
	rdbk.RIP delay	6 $T_{RCRR}$	-	250	ns
	High time	5 $T_{RCH}$	250	500	ns
	Low time	4 $T_{RCL}$	250	500	ns

Note 1: タイミングパラメータはすべてのグレードに適用されます。

Note 2: Finished の前に rdbk.TRIG が High となる場合は、Finished が先にリードバックを起動します。