

## 特長

- 低電力 3.3V で 512 個のマクロセル CPLD
- ピン間のロジック遅延 : 7.0ns
- 最大システム周波数 : 135MHz
- マクロセル数 : 512 個 (12,000 個の使用可能ゲート)
- 小規模なフットプリント パッケージ
  - 208 ピン PQFP (180 個のユーザー I/O)
  - 256 ボール FBGA (212 個のユーザー I/O)
  - 324 ボール FBGA (260 個のユーザー I/O)
- 3.3V システム用に最適化
  - 超低消費電力
  - 標準スタンバイ電流 = 25 で 18 $\mu$ A
  - 3.3V コア電源で 5V トレラント I/O ピン
  - 高度な 0.35 $\mu$  5 層メタル EEPROM プロセス
  - Fast Zero Power™ (FZP) CMOS デザイン テクノロジ
  - 3.3V PCI 電氣的仕様に準拠する出力 (すべての入力または I/O に内部クランプ ダイオードはない)
- 最新のシステム機能
  - インシステム プログラミング
  - 入力レジスタ
  - 予想可能なタイミング モデル
  - 各ファンクション ブロックに最大 23 クロック
  - デザイン変更時の優れたピン固定機能
  - IEEE 1149.1 バウンダリ スキャン (JTAG) を完全サポート
  - 4 つのグローバル クロック
  - 各ファンクション ブロックに 8 個の P-term 制御項
- 高速 ISP プログラミング タイム
- 追加 I/O のポート イネーブル ピン
- インダストリアル グレード温度範囲で 2.7V ~ 3.6V
- 各出力でスルー レートをプログラム可能
- セキュリティ ビットによる不正アクセス防止
- アーキテクチャの詳細は、『CoolRunner™ XPLA3 ファミリー データ シート』(DS012) を参照

## ファミリの概要

CoolRunner™ XPLA3 XCR3512XL デバイスは 3.3V で 512 個のマクロセルを持つ CPLD であり、最先端のプログラマブル ロジック ソリューションを必要とする低消費電力デザインをターゲットとするデバイスです。合計 32 個のファンクション ブロックでは 12,000 個のゲートが使用可能です。ピン間の伝播遅延は、最大システム周波数 135MHz で 7.0ns となります。

## Fast Zero Power を採用した TotalCMOS デザイン テクノロジ

CoolRunner XPLA3 CPLD は、プロセス テクノロジおよびデザイン テクニックの両方において、TotalCMOS™ ソリューションを提供します。このファミリは、従来のようにセンス アンプを使用するのではなく、CMOS ゲートをカスケード接続して積和をインプリメントします。CMOS ゲートをインプリメントすることにより、ザイリンクスの CPLD では、消費電力を低下させるとパフォーマンスも低下するという概念を覆し、高パフォーマンスと低消費電力が共に実現可能になりました。XCR3512XL の TotalCMOS CPLD の周波数と  $I_{CC}$  の関係 (3.3V で 25 の場合で、32 個のリセット可能な 16 ビット アップ/ダウン カウンタを使用した測定値) を示す図 1 および表 1 を参照してください。

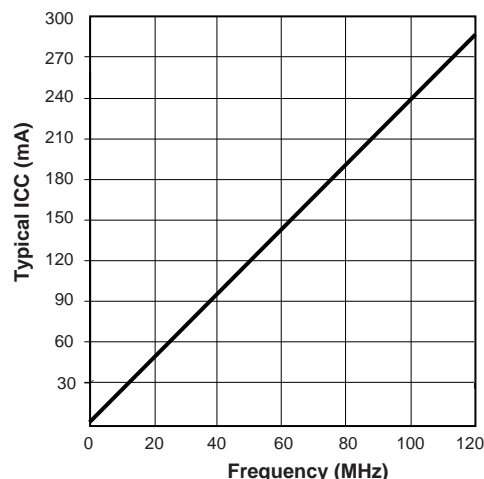


図 1 : 標準的な  $I_{CC}$  と周波数の関係 ( $V_{CC} = 3.3V$ , 25 )

表 1 : 標準的な  $I_{CC}$  と周波数の関係 ( $V_{CC} = 3.3V$ , 25 )

周波数 (MHz)	0	1	10	20	40	60	80	100	120
標準的な $I_{CC}$ (mA)	0.018	2.57	25.5	50.8	100.3	147.9	193.5	237.8	281.6

## 推奨動作条件での DC 電気特性(1)

シンボル	パラメータ	テスト条件	標準	最小	最大	単位
$V_{OH}^{(2)}$	最大出力電圧	$V_{CC} = 3.0V \sim 3.6V, I_{OH} = -8mA$	-	2.4	-	V
		$V_{CC} = 2.7V \sim 3.0V, I_{OH} = -8mA$	-	2.0	-	V
		$I_{OH} = -500\mu A$	-	$90\% V_{CC}^{(3)}$	-	V
$V_{OL}$	最小出力電圧	$I_{OL} = 8mA$	-	-	0.4	V
$I_{IL}$	入力漏洩電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$	-	-10	10	$\mu A$
$I_{IH}$	I/O が High-Z 時の漏洩電流	$V_{IN} = GND$ または $V_{CC} \sim 5.5V$	-	-10	10	$\mu A$
$I_{CCSB}^{(7)}$	スタンバイ電流	$V_{CC} = 3.6V$	32.5	-	100	$\mu A$
$I_{CC}$	ダイナミック電流(4, 5)	$f = 1MHz$	-	-	7	mA
		$f = 50MHz$	-	-	175	mA
$C_{IN}$	入力ピン キャパシタンス(6)	$f = 1MHz$	-	-	8	pF
$C_{CLK}$	クロック入力キャパシタンス(6)	$f = 1MHz$	-	-	12	pF
$C_{I/O}$	I/O ピン キャパシタンス(6)	$f = 1MHz$	-	-	10	pF

メモ：

1. 推奨動作条件の詳細は、『CoolRunner XPLA3 ファミリー データシート』(DS012) を参照してください。
2. CoolRunner XPLA3 ファミリーの出力ドライブ特性は、図 2 を参照してください。
3. このパラメータは、テストによるものではなく、デザインおよび特性評価によって保証されています。
4. 標準値は、表 1 および図 1 を参照してください。
5. このパラメータは、すべてのファンクション ブロックにロードされた 16 ビットのリセット可能なアップ/ダウン カウンタで、すべての出力はディスエーブルおよび負荷がない状態で測定されたものです。入力は、 $V_{CC}$  またはグランドに接続されています。このパラメータは、テストによるものではなくデザインおよび特性評価によって保証されています。
6. 標準値です (テストされていません)。
7. 70 の場合の標準値です。

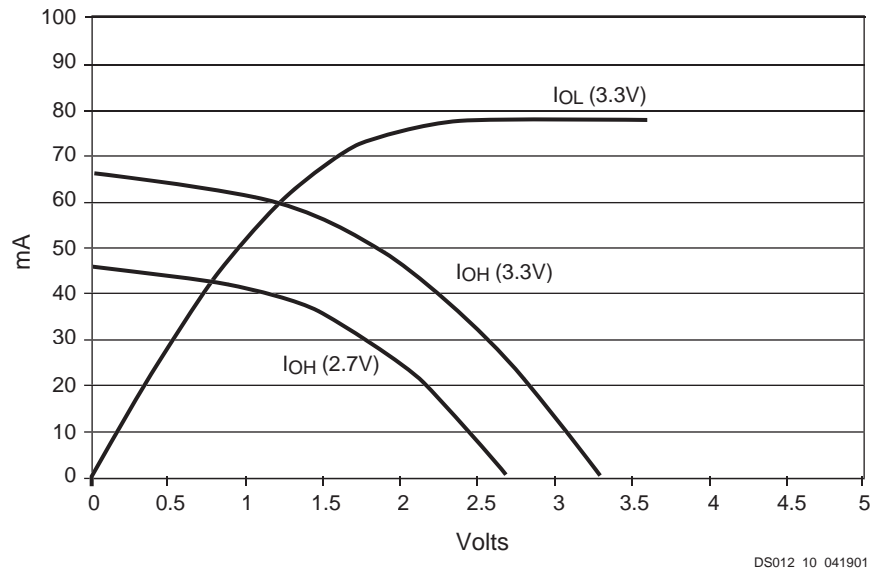


図 2 : CoolRunner XPLA3 ファミリーの標準 I/V 曲線 (25 )

推奨動作条件での AC 電気特性<sup>(1, 2)</sup>

シンボル	パラメータ	-7		-10		-12		単位
		最小	最大	最小	最大	最小	最大	
T <sub>PD1</sub>	伝播遅延時間 (シングル P-term)	-	7.0	-	9.0	-	10.8	ns
T <sub>PD2</sub>	伝播遅延時間 (OR アレイ) <sup>(3)</sup>	-	7.5	-	10.0	-	12.0	ns
T <sub>CO</sub>	Clock to Out (グローバル同期ピン クロック)	-	5.0	-	5.8	-	6.9	ns
T <sub>SUF</sub>	セットアップ タイム (高速入力レジスタ)	4.0	-	5.0	-	5.0	-	ns
T <sub>SU1</sub> <sup>(4)</sup>	セットアップ タイム (シングル P-term)	3.8	-	5.5	-	6.7	-	ns
T <sub>SU2</sub>	セットアップ タイム (OR アレイ)	4.3	-	6.5	-	7.9	-	ns
T <sub>H</sub> <sup>(4)</sup>	ホールド タイム	0	-	0	-	0	-	ns
T <sub>WLH</sub> <sup>(4)</sup>	グローバル クロック パルス幅 (High または Low)	3.0	-	4.0	-	5.0	-	ns
T <sub>PLH</sub> <sup>(4)</sup>	P-term クロック パルスの幅	4.5	-	6.0	-	7.5	-	ns
T <sub>APRPW</sub>	非同期プリセット/リセット パルス幅 (High または Low)	4.5	-	6.0	-	7.5	-	ns
T <sub>R</sub> <sup>(4)</sup>	入力立ち上がり時間	-	20	-	20	-	20	ns
T <sub>L</sub> <sup>(4)</sup>	入力立ち下がり時間	-	20	-	20	-	20	ns
f <sub>SYSTEM</sub> <sup>(4)</sup>	最大システム周波数	-	135	-	97	-	77	MHz
T <sub>CONFIG</sub> <sup>(4)</sup>	コンフィギュレーション時間 <sup>(5)</sup>	-	200	-	200	-	200	μs
T <sub>INIT</sub> <sup>(4)</sup>	ISP 初期化時間	-	200	-	200	-	200	μs
T <sub>POE</sub> <sup>(4)</sup>	P-term OE から出力が有効になるまでの時間	-	9.0	-	11.0	-	13.0	ns
T <sub>POD</sub> <sup>(4)</sup>	P-term OE から出力が無効になるまでの時間 <sup>(6)</sup>	-	9.0	-	11.0	-	13.0	ns
T <sub>PCO</sub> <sup>(4)</sup>	P-term の Clock to Out	-	8.5	-	10.3	-	12.4	ns
T <sub>PAO</sub> <sup>(4)</sup>	P-term のセット/リセットから有効な出力までの時間	-	9.0	-	11.0	-	13.0	ns

メモ :

- 出力スイッチング 1 回で測定した仕様です。
- 推奨動作条件の詳細は、『CoolRunner XPLA3 ファミリー データシート』(DS012) を参照してください。
- 詳細は、図 4 を参照してください。
- これらのパラメータは、テストによるものではなくデザインおよび特性評価によって保証されております。
- コンフィギュレーション中に流れる標準的な電流は、3.6V で 17mA です。
- 出力 C<sub>L</sub> = 5 pF です。

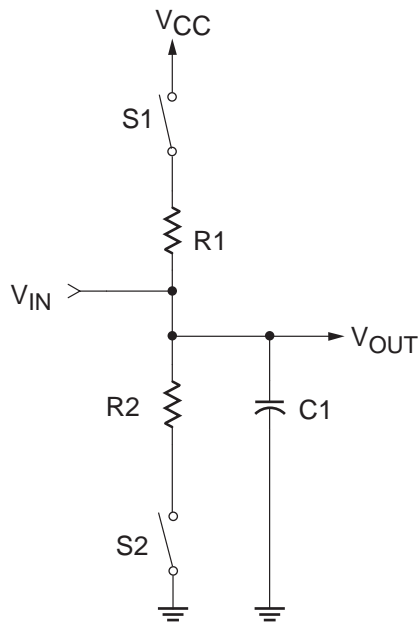
## 内部タイミングパラメータ(1、2)

シンボル	パラメータ	-7		-10		-12		単位
		最小	最大	最小	最大	最小	最大	
<b>バッファ遅延</b>								
T <sub>IN</sub>	入力バッファ遅延	-	2.5	-	3.3	-	4.0	ns
T <sub>FIN</sub>	高速入力バッファ遅延	-	4.7	-	4.3	-	4.3	ns
T <sub>GCK</sub>	グローバルクロックバッファ遅延	-	1.5	-	1.3	-	1.5	ns
T <sub>OUT</sub>	出力バッファ遅延	-	2.5	-	3.2	-	3.8	ns
T <sub>EN</sub>	出力バッファ イネーブル/ディスエーブル遅延	-	4.5	-	5.2	-	6.0	ns
<b>内部レジスタおよび組み合わせ遅延</b>								
T <sub>LDI</sub>	透過ラッチ遅延	-	1.3	-	1.6	-	2.0	ns
T <sub>SUI</sub>	レジスタセットアップタイム	0.8	-	1.0	-	1.2	-	ns
T <sub>HI</sub>	レジスタホールドタイム	0.3	-	0.5	-	0.7	-	ns
T <sub>ECSU</sub>	レジスタクロックイネーブルセットアップタイム	2.0	-	2.5	-	3.0	-	ns
T <sub>ECHO</sub>	レジスタクロックイネーブルホールドタイム	3.0	-	4.5	-	5.5	-	ns
T <sub>COI</sub>	レジスタ Clock to Out 遅延	-	1.0	-	1.3	-	1.6	ns
T <sub>AOI</sub>	レジスタの非同期 S/R to Out 遅延	-	2.0	-	2.0	-	2.2	ns
T <sub>RAI</sub>	レジスタの非同期リカバリ	-	5.0	-	7.0	-	8.0	ns
T <sub>PTCK</sub>	積項クロック遅延	-	2.5	-	2.5	-	3.0	ns
T <sub>LOGI1</sub>	内部ロジック遅延 (シングル P-term)	-	2.0	-	2.5	-	3.0	ns
T <sub>LOGI2</sub>	内部ロジック遅延 (PLA OR term)	-	2.5	-	3.5	-	4.2	ns
<b>フィードバック遅延</b>								
T <sub>F</sub>	ZIA 遅延	-	3.1	-	4.5	-	6.0	ns
<b>追加遅延</b>								
T <sub>LOGI3</sub>	NAND のフォールドバック遅延	-	2.0	-	2.5	-	3.0	ns
T <sub>UDA</sub>	ユニバーサル遅延	-	3.5	-	4.0	-	4.0	ns
T <sub>SLEW</sub>	スルー レート制限遅延	-	5.0	-	5.0	-	6.0	ns

メモ :

- これらのパラメータは、テストによるものではなくデザインおよび特性評価によって保証されております。
- タイミングモデルの詳細は、『CoolRunner XPLA3 ファミリー データシート』 ([DS012](#)) を参照してください。

スイッチ特性



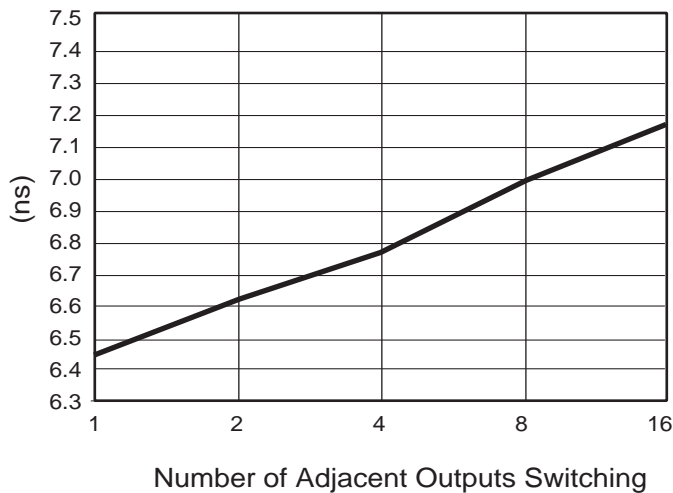
Component	Values
R1	390Ω
R2	390Ω
C1	35 pF

Measurement	S1	S2
T <sub>POE</sub> (High)	Open	Closed
T <sub>POE</sub> (Low)	Closed	Open
T <sub>P</sub>	Closed	Closed

**Note:** For T<sub>POD</sub>, C1 = 5 pF. Delay measured at output level of V<sub>OL</sub> + 300 mV, V<sub>OH</sub> - 300 mV.

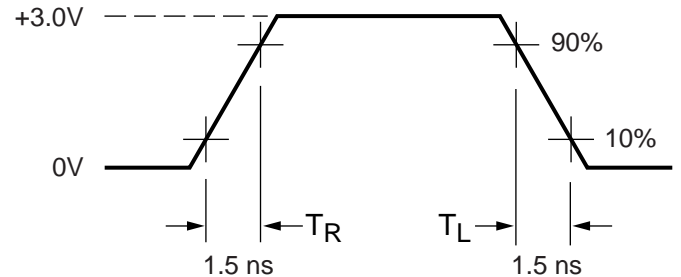
DS023\_03\_102401

図 3 : AC 負荷回路



DS081\_04\_120902

図 4 : T<sub>PD2</sub> の軽減曲線



**Measurements:**

All circuit delays are measured at the +1.5V level of inputs and outputs, unless otherwise specified.

DS017\_05\_042800

図 5 : 電圧波形

## ピンについて

表 2 : XCR3512XL ユーザー I/O ピン

	PQ208	FT256	FG324
ユーザー I/O ピンの総数	180	212	260

表 3 : XCR3512XL I/O ピン

ファンクションブロック	マクロセル	PQ208	FT256	FG324
1	1	208	C14	C21
1	2	-	D13	C20
1	3	207	-	B22
1	4	206	A15	B21
1	5	-	-	-
1	6	-	-	-
1	7	-	-	-
1	8	-	-	-
1	9	-	-	-
1	10	-	-	-
1	11	-	-	-
1	12	-	-	-
1	13	-	-	A22
1	14	205	B15	A21
1	15	-	B14	B20
1	16	204	C13	C19
2	1	1	E12	D20
2	2	-	-	C22
2	3	2	A16	D21
2	4	-	C15	D22
2	5	-	-	-
2	6	-	-	-
2	7	-	-	-
2	8	-	-	-
2	9	-	-	-
2	10	-	-	-
2	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
2	12	-	-	-
2	13	3	B16	E20
2	14	4	D14	F19
2	15	-	-	E21
2	16	6	D15	E22
3	1	203	A14	B19
3	2	-	E11	A20
3	3	202	-	C18
3	4	201	A13	B18
3	5	-	-	-
3	6	-	-	-
3	7	-	-	-
3	8	-	-	-
3	9	-	-	-
3	10	-	-	-
3	11	-	-	-
3	12	-	-	-
3	13	-	D12	A19
3	14	-	-	D17
3	15	199	B13	A18
3	16	198	C12	C17
4	1	7	E13	F20
4	2	-	-	F21
4	3	8	C16	F22
4	4	9	F12	G19
4	5	-	-	-
4	6	-	-	-
4	7	-	-	-
4	8	-	-	-
4	9	-	-	-
4	10	-	-	-
4	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
4	12	-	-	-
4	13	-	-	G20
4	14	10	D16	G21
4	15	-	E14	G22
4	16	11	E15	H20
5	1	197	A12	B17
5	2	-	-	A17
5	3	196	D11	D16
5	4	-	-	C16
5	5	-	-	-
5	6	-	-	-
5	7	-	-	-
5	8	-	-	-
5	9	-	-	-
5	10	-	-	-
5	11	-	-	-
5	12	-	-	-
5	13	195	A11	B16
5	14	-	E10	A16
5	15	194	B12	C15
5	16	193	C11	B15
6	1	12	F13	H21
6	2	-	-	H22
6	3	13	E16	J19
6	4	-	-	J20
6	5	-	-	-
6	6	-	-	-
6	7	-	-	-
6	8	-	-	-
6	9	-	-	-
6	10	-	-	-
6	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
6	12	-	-	-
6	13	15	F15	J21
6	14	16	G12	J22
6	15	-	F14	K19
6	16	17	G15	K20
7	1	192	B11	A15
7	2	-	D10	D14
7	3	190	A10	C14
7	4	189 <sup>(1)</sup>	C10 <sup>(1)</sup>	B14 <sup>(1)</sup>
7	5	-	-	-
7	6	-	-	-
7	7	-	-	-
7	8	-	-	-
7	9	-	-	-
7	10	-	-	-
7	11	-	-	-
7	12	-	-	-
7	13	188	-	A14
7	14	-	-	D13
7	15	-	A9	C13
7	16	187	D9	B13
8	1	18	G13	K21
8	2	-	-	K22
8	3	19	F16	L19
8	4	-	-	L20
8	5	-	-	-
8	6	-	-	-
8	7	-	-	-
8	8	-	-	-
8	9	-	-	-
8	10	-	-	-
8	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
8	12	-	-	-
8	13	20	G14	L21
8	14	21	G16	L22
8	15	22	H13	M21
8	16	24	H12	M20
9	1	51	P16	AA21
9	2	-	N14	AB22
9	3	49	R16	AA22
9	4	-	-	Y20
9	5	-	-	-
9	6	-	-	-
9	7	-	-	-
9	8	-	-	-
9	9	-	-	-
9	10	-	-	-
9	11	-	-	-
9	12	-	-	-
9	13	48	M13	Y21
9	14	47	P15	W20
9	15	46	L12	W21
9	16	45	N16	Y22
10	1	52	N13	AB21
10	2	53	R15	Y19
10	3	54	M12	AA20
10	4	-	-	AB20
10	5	-	-	-
10	6	-	-	-
10	7	-	-	-
10	8	-	-	-
10	9	-	-	-
10	10	-	-	-
10	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
10	12	-	-	-
10	13	55	T16	Y18
10	14	56	P14	AA19
10	15	-	T15	AB19
10	16	57	P13	W17
11	1	44	M14	W22
11	2	43	M16	V20
11	3	42	L13	V21
11	4	-	N15	U19
11	5	-	-	-
11	6	-	-	-
11	7	-	-	-
11	8	-	-	-
11	9	-	-	-
11	10	-	-	-
11	11	-	-	-
11	12	-	-	-
11	13	-	-	V22
11	14	40	M15	U20
11	15	39	L16	U21
11	16	38	K12	U22
12	1	58	R14	Y17
12	2	-	N12	AA18
12	3	59	T14	AB18
12	4	-	-	AA17
12	5	-	-	-
12	6	-	-	-
12	7	-	-	-
12	8	-	-	-
12	9	-	-	-
12	10	-	-	-
12	11	-	-	-



表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
12	12	-	-	-
12	13	60	M11	AB17
12	14	-	R13	W16
12	15	61	P12	Y16
12	16	62	T13	AA16
13	1	37	L15	T19
13	2	-	-	T20
13	3	36	K13	T21
13	4	35	K16	T22
13	5	-	-	-
13	6	-	-	-
13	7	-	-	-
13	8	-	-	-
13	9	-	-	-
13	10	-	-	-
13	11	-	-	-
13	12	-	-	-
13	13	-	K14	R20
13	14	34	K15	R21
13	15	33	L14	R22
13	16	31	J16	P19
14	1	64	N11	AB16
14	2	-	R12	Y15
14	3	65	T12	AA15
14	4	66	R11	AB15
14	5	-	-	-
14	6	-	-	-
14	7	-	-	-
14	8	-	-	-
14	9	-	-	-
14	10	-	-	-
14	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
14	12	-	-	-
14	13	67	M10	W14
14	14	68	P11	Y14
14	15	-	-	AA14
14	16	69	N10	AB14
15	1	30 <sup>(1)</sup>	J13 <sup>(1)</sup>	P20 <sup>(1)</sup>
15	2	29	J15	P21
15	3	28	J14	P22
15	4	-	-	N19
15	5	-	-	-
15	6	-	-	-
15	7	-	-	-
15	8	-	-	-
15	9	-	-	-
15	10	-	-	-
15	11	-	-	-
15	12	-	-	-
15	13	27	H16	N21
15	14	-	-	N22
15	15	26	H14	M22
15	16	25	H15	M19
16	1	70	T11	W13
16	2	71	R10	Y13
16	3	73	P10	AA13
16	4	-	T10	AB13
16	5	-	-	-
16	6	-	-	-
16	7	-	-	-
16	8	-	-	-
16	9	-	-	-
16	10	-	-	-
16	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
16	12	-	-	-
16	13	-	-	W12
16	14	76	N9	AA12
16	15	77	R9	AB12
16	16	78	P9	Y11
17	1	157	B1	C3
17	2	-	B2	A2
17	3	158	C3	B3
17	4	-	-	C4
17	5	-	-	-
17	6	-	-	-
17	7	-	-	-
17	8	-	-	-
17	9	-	-	-
17	10	-	-	-
17	11	-	-	-
17	12	-	-	-
17	13	159	D4	B4
17	14	-	A2	C5
17	15	160	A1	B5
17	16	161	B3	A3
18	1	156	C1	D3
18	2	155	D3	B2
18	3	154	C2	B1
18	4	153	F5	C2
18	5	-	-	-
18	6	-	-	-
18	7	-	-	-
18	8	-	-	-
18	9	-	-	-
18	10	-	-	-
18	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
18	12	-	-	-
18	13	-	-	C1
18	14	151	D1	E3
18	15	-	-	D2
18	16	150	E4	D1
19	1	162	C4	A4
19	2	-	-	D6
19	3	163	A3	A5
19	4	-	D5	C6
19	5	-	-	-
19	6	-	-	-
19	7	-	-	-
19	8	-	-	-
19	9	-	-	-
19	10	-	-	-
19	11	-	-	-
19	12	-	-	-
19	13	164	B4	B6
19	14	-	E6	A6
19	15	166	A4	D7
19	16	167	C5	C7
20	1	149	D2	F4
20	2	148	E3	F3
20	3	-	-	E2
20	4	147	E1	E1
20	5	-	-	-
20	6	-	-	-
20	7	-	-	-
20	8	-	-	-
20	9	-	-	-
20	10	-	-	-
20	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
20	12	-	-	-
20	13	-	-	F2
20	14	146	F4	F1
20	15	145	F1	G4
20	16	144	G5	G3
21	1	168	B5	B7
21	2	-	D6	A7
21	3	169	A5	C8
21	4	-	-	B8
21	5	-	-	-
21	6	-	-	-
21	7	-	-	-
21	8	-	-	-
21	9	-	-	-
21	10	-	-	-
21	11	-	-	-
21	12	-	-	-
21	13	170	C6	A8
21	14	171	B6	D9
21	15	-	E7	C9
21	16	172	A6	B9
22	1	142	E2	G2
22	2	141	F3	G1
22	3	-	-	H3
22	4	140	F2	H2
22	5	-	-	-
22	6	-	-	-
22	7	-	-	-
22	8	-	-	-
22	9	-	-	-
22	10	-	-	-
22	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
22	12	-	-	-
22	13	-	-	H1
22	14	139	G4	J4
22	15	-	G1	J3
22	16	138	G3	J2
23	1	173	D7	A9
23	2	-	B7	D10
23	3	175	C7	C10
23	4	-	C8	B10
23	5	-	-	-
23	6	-	-	-
23	7	-	-	-
23	8	-	-	-
23	9	-	-	-
23	10	-	-	-
23	11	-	-	-
23	12	-	-	-
23	13	-	-	A10
23	14	176 <sup>(1)</sup>	A7 <sup>(1)</sup>	D11 <sup>(1)</sup>
23	15	177	D8	C11
23	16	178	B8	B11
24	1	137	H1	J1
24	2	136	H4	K4
24	3	135	G2	K3
24	4	-	H3	K2
24	5	-	-	-
24	6	-	-	-
24	7	-	-	-
24	8	-	-	-
24	9	-	-	-
24	10	-	-	-
24	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
24	12	-	-	-
24	13	133	J1	K1
24	14	-	-	L1
24	15	-	-	L4
24	16	132	J3	L3
25	1	105	P2	AA1
25	2	106	P3	Y3
25	3	-	-	Y2
25	4	108	T1	W3
25	5	-	-	-
25	6	-	-	-
25	7	-	-	-
25	8	-	-	-
25	9	-	-	-
25	10	-	-	-
25	11	-	-	-
25	12	-	-	-
25	13	-	-	Y1
25	14	109	N3	W2
25	15	110	R1	W1
25	16	111	M4	V3
26	1	104	M5	AB1
26	2	-	N4	AA2
26	3	103	R2	AB2
26	4	-	T2	AA3
26	5	-	-	-
26	6	-	-	-
26	7	-	-	-
26	8	-	-	-
26	9	-	-	-
26	10	-	-	-
26	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
26	12	-	-	-
26	13	102	P4	Y4
26	14	-	-	AB3
26	15	101	R3	AA4
26	16	100	N5	Y5
27	1	112	P1	U4
27	2	-	-	V2
27	3	113	L5	V1
27	4	114	N2	U3
27	5	-	-	-
27	6	-	-	-
27	7	-	-	-
27	8	-	-	-
27	9	-	-	-
27	10	-	-	-
27	11	-	-	-
27	12	-	-	-
27	13	-	-	U2
27	14	115	M3	U1
27	15	117	L4	T3
27	16	118	M2	T2
28	1	99	T3	AA5
28	2	98	M6	AB4
28	3	-	R4	W6
28	4	97	P5	AB5
28	5	-	-	-
28	6	-	-	-
28	7	-	-	-
28	8	-	-	-
28	9	-	-	-
28	10	-	-	-
28	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
28	12	-	-	-
28	13	-	-	Y6
28	14	96	T4	AA6
28	15	95	N6	AB6
28	16	93	R5	W7
29	1	119	L2	T1
29	2	-	-	R3
29	3	120	M1	R2
29	4	121	K5	R1
29	5	-	-	-
29	6	-	-	-
29	7	-	-	-
29	8	-	-	-
29	9	-	-	-
29	10	-	-	-
29	11	-	-	-
29	12	-	-	-
29	13	122	L3	P4
29	14	123	K4	P3
29	15	-	-	P2
29	16	124	L1	P1
30	1	92	T6	Y7
30	2	-	T5	AA7
30	3	91	M7	AB7
30	4	-	-	Y8
30	5	-	-	-
30	6	-	-	-
30	7	-	-	-
30	8	-	-	-
30	9	-	-	-
30	10	-	-	-
30	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
30	12	-	-	-
30	13	90	R6	AA8
30	14	89	N7	AB8
30	15	88	T7	W9
30	16	87	P6	Y9
31	1	126	K2	N4
31	2	-	K3	N3
31	3	127 <sup>(1)</sup>	K1 <sup>(1)</sup>	N2 <sup>(1)</sup>
31	4	128	J4	N1
31	5	-	-	-
31	6	-	-	-
31	7	-	-	-
31	8	-	-	-
31	9	-	-	-
31	10	-	-	-
31	11	-	-	-
31	12	-	-	-
31	13	-	-	M4
31	14	129	J2	M3
31	15	130	J5	M2
31	16	131	H2	L2
32	1	86	R7	AA9
32	2	-	P7	AB9
32	3	84	T8	W10
32	4	-	N8	Y10
32	5	-	-	-
32	6	-	-	-
32	7	-	-	-
32	8	-	-	-
32	9	-	-	-
32	10	-	-	-
32	11	-	-	-

表 3 : XCR3512XL I/O ピン (続き)

ファンクションブロック	マクロセル	PQ208	FT256	FG324
32	12	-	-	-
32	13	-	-	AA10
32	14	81	R8	AB11
32	15	80	P8	W11
32	16	79	T9	AA11

メモ :

1. JTAG ピンです。

表 4 : XCR3512XL グローバル、JTAG、ポート イネーブル、電源、未接続ピン

ピン タイプ	PQ208	FT256	FG324
IN0 / CLK0	181	B9	C12
IN1 / CLK1	182	A8	B12
IN2 / CLK2	183	C9	D12
IN3 / CLK3	184	B10	A12
TCK	30	J13	P20
TDI	176	A7	D11
TDO	189	C10	B14
TMS	127	K1	N2
PORT_EN	116 <sup>(1)</sup>	N1 <sup>(1)</sup>	T4 <sup>(1)</sup>
Vcc	5, 23, 41, 63, 74, 83, 85, 107, 125, 143, 165, 179, 186, 191	E8, E9, F7, F8, F9, F10, G6, G11, H5, H6, H11, J6, J11, J12, K6, K11, L7, L8, L9, L10, M8, M9	A11, A13, D8, D15, H4, H19, J10, J11, J12, J13, K9, K14, L9, L14, M1, M9, M14, N9, N14, N20, P10, P11, P12, P13, R4, R19, W8, W15, Y12, AB10

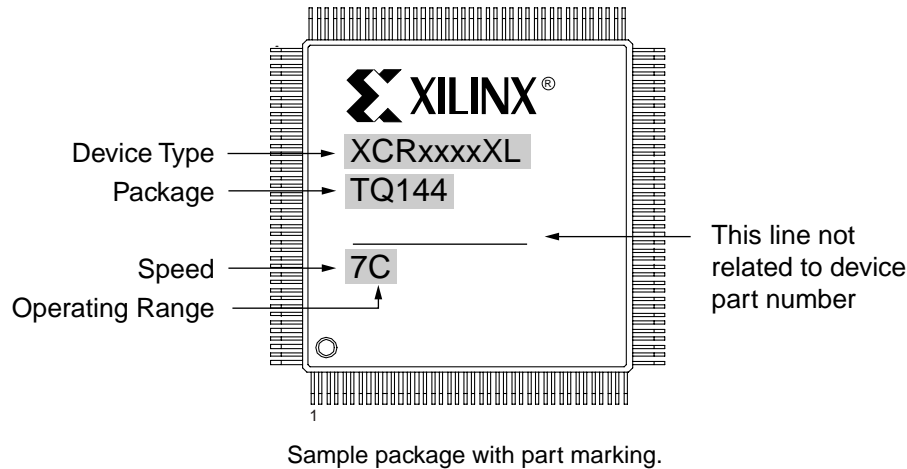
表 4 : XCR3512XL グローバル、JTAG、ポート イネーブル、電源、未接続ピン (続き)

ピン タイプ	PQ208	FT256	FG324
GND	14, 32, 50, 72, 75, 82, 94, 134, 152, 174, 180, 185, 200	E5, F6, F11, G7, G8, G9, G10, H7, H8, H9, H10, J7, J8, J9, J10, K7, K8, K9, K10, L6, L11	D4, D5, D18, D19, E4, E19, J9, J14, K10, K11, K12, K13, L10, L11, L12, L13, M10, M11, M12, M13, N10, N11, N12, N13, P9, P14, V4, V19, W4, W5, W18, W19
未接続	-	-	A1

メモ :

1. JTAG ピンを I/O として使用する場合、ポート イネーブルを High にして、JTAG ピンを有効にします。詳細は、デバイス ファミリのデータシート ([DS012](#)) を参照してください。

デバイス マークおよび注文情報



デバイス番号および パッケージ番号	スピード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 <sup>(1)</sup>
XCR3512XL-7PQ208C	7.5ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	C
XCR3512XL-7PQG208C	7.5ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	C
XCR3512XL-7FT256C	7.5ns	FT256	256 ボール	Fine-Pitch BGA (FT)	C
XCR3512XL-7FTG256C	7.5ns	FTG256	256 ボール	Fine-Pitch BGA (FT)、鉛フリー	C
XCR3512XL-7FG324C	7.5ns	FG324	324 ボール	Fineline BGA Package (FG)	C
XCR3512XL-10PQ208C	10ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	C
XCR3512XL-10PQG208C	10ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	C
XCR3512XL-10FT256C	10ns	FT256	256 ボール	Fine-Pitch BGA (FT)	C
XCR3512XL-10FTG256C	10ns	FTG256	256 ボール	Fine-Pitch BGA (FT)、鉛フリー	C
XCR3512XL-10FG324C	10ns	FG324	324 ボール	Fineline BGA Package (FG)	C
XCR3512XL-10PQ208I	10ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	I
XCR3512XL-10PQG208I	10ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	I
XCR3512XL-10FT256I	10ns	FT256	256 ボール	Fine-Pitch BGA (FT)	I
XCR3512XL-10FTG256I	10ns	FTG256	256 ボール	Fine-Pitch BGA (FT)、鉛フリー	I
XCR3512XL-10FG324I	10ns	FG324	324 ボール	Fineline BGA Package (FG)	I
XCR3512XL-12PQ208C	12ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	C
XCR3512XL-12PQG208C	12ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	C
XCR3512XL-12FT256C	12ns	FT256	256 ボール	Fine-Pitch BGA (FT)	C
XCR3512XL-12FTG256C	12ns	FTG256	256 ボール	Fine-Pitch BGA (FT)、鉛フリー	C
XCR3512XL-12FG324C	12ns	FG324	324 ボール	Fineline BGA Package (FG)	C
XCR3512XL-12PQ208I	12ns	PQ208	208 ピン	Plastic Quad Flat Pack (PQFP)	I
XCR3512XL-12PQG208I	12ns	PQG208	208 ピン	Plastic Quad Flat Pack (PQFP)、鉛フリー	I
XCR3512XL-12FT256I	12ns	FT256	256 ボール	Fine-Pitch BGA (FT)	I

デバイス番号および パッケージ番号	スピード (ピン間遅延)	パッケージ シンボル	ピン数	パッケージ タイプ	動作範囲 <sup>(1)</sup>
XCR3512XL-12FTG256I	12ns	FTG256	256 ボール	Fine-Pitch BGA (FT)、鉛フリー	I
XCR3512XL-12FG324I	12ns	FG324	324 ボール	Fineline BGA Package (FG)	I

メモ :

1. C = コマーシャル:  $T_A = 0 \sim +70$ 、I = インダストリアル:  $T_A = -40 \sim +85$

## 保証免責条項

これらの製品は、<http://www.xilinx.co.jp/warranty.htm> に記載する XILINX (以下「ザイリンクス」とする) 限定保証に従うものとします。当限定保証では、該時点での該当製品ザイリンクスデータシートに記載されている以外のアプリケーションまたは環境での使用については保証いたしません。更に製品はフェイルセーフ設計されたものではなく、身体的危害または人命損失などの危険性のあるアプリケーションでの使用に対して、ザイリンクスは一切の保証責任を負いません。かかるアプリケーションでの使用は、適応される法律および規制に従い、使用する側が一切の責任を負うものとします。

## 参考文献

[CoolRunner XPLA3 デバイス関連資料](#)

[『デバイスパッケージユーザーガイド』](#)

[『パッケージ仕様』](#)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2001/04/11	1.0	初版リリース
2001/04/19	1.1	標準的な I/V 曲線の変更 (図 2)。電圧レベルの追加
2001/09/04	1.2	AC 電気特性の変更: $T_{INIT}$ 仕様の追加、内部タイミングパラメータ、-12 インダストリアル温度の追加
2002/01/08	1.3	$T_{INIT}$ 仕様および $T_{CONFIG}$ 仕様の変更。AC テーブルにシングル P-term セットアップタイム ( $T_{SU1}$ ) を追加し、OR アレイを通過するセットアップタイムのシンボルを $T_{SU}$ から $T_{SU2}$ に変更。 $T_{HI}$ 仕様の訂正。AC 負荷回路図を実際のテスト条件により近くなるように変更し、 $T_{POD}$ 遅延値のメモを追加
2003/01/06	1.4	製品特性に基づいて AC および DC パラメータを変更。Preliminary としてリリース。 $T_{PCO}$ ( $T_{PTCK}$ 追加) の変更。注文情報フォーマットの変更
2003/07/15	1.5	$I_{IL}$ および $I_{IH}$ のテスト条件を変更
2003/09/23	1.6	パッケージ デバイスのピン 1 を示すマーキングを変更。Preliminary の削除
2004/02/13	1.7	はんだ付け温度仕様の追加。データシート、アプリケーション ノートおよびパッケージへのリンクを追加
2005/01/05	1.8	リンク修正
2005/04/08	1.9	標準 $I_{CCSB}$ および $T_{APRPW}$ 仕様の追加。 $T_{SOL}$ 仕様の削除
2006/03/31	2.0	保証免責条項の追加。鉛フリー パッケージの注文情報の追加