

特徴

- 1.8V システム向けに最適化
 - 業界最速の低消費電力 CPLD
 - 32 ~ 512 個のマクロセルを含む集積度
- 業界一の 0.18 ミクロン CMOS CPLD
 - 効率よくロジックを合成するために最適化されたアーキテクチャ
 - 1.5V ~ 3.3V のさまざまな電圧の I/O での動作
- 高度なシステム機能
 - 高速なインシステム プログラム
 - IEEE 1532 規格 (JTAG) インターフェイスを使用した 1.8V ISP (インシステム プログラム)
 - オンザフライ リコンフィギュレーション (OTF)
 - IEEE1149.1 規格 JTAG バウンダリ スキャン テスト
 - オプションでピンごとにシュミット トリガ入力を設定可能
 - 全デバイスにて複数の I/O バンク搭載
 - 優れた低消費電力管理
 - DataGATE による外部信号制御
 - 柔軟性の高いクロッキング モード
 - オプションの DualEDGE トリガ レジスタ
 - クロック分周器 (÷ 2, 4, 6, 8, 10, 12, 14, 16)
 - CoolCLOCK
 - マクロセルを制御するグローバル信号オプション
 - マクロセルごとに位相を選択可能な複数のグローバル クロック
 - 複数のグローバル出力イネーブル
 - グローバル セット/リセット
 - 多数の積項クロック、出力イネーブル、およびセット/リセット
 - マクロセルごとに積項クロック、出力イネーブル、およびセット/リセットを効率よく制御し、論理ブロック間で共有
 - 高度なデザイン セキュリティ
 - ワイヤード OR および LED の駆動向けオープンドレイン出力オプション
 - 特定の I/O ピンにオプションでパス ホールド、トライ ステート、またはウィーク プルアップといった終端処理を設定可能

- 未使用 I/O をオプションでグラウンドに接続可能
- 全デバイスで 1.5V、1.8V、2.5V および 3.3V ロジック レベルに対応する多様な I/O 電圧をサポート
- 128 個以上のマクロセルを含むデバイスにて SSTL2_1、SSTL3_1、および HSTL_1 I/O 標準規格をサポート
- ホットプラグ対応
- PLA アーキテクチャ
 - 優れたピン配置保持
 - ファンクション ブロック間で積項を完全に配線
- ファイン ピッチを含む多様なパッケージを提供
 - チップスケール パッケージ (CSP) BGA、ファインライン BGA、TQFP、PQFP、PLCC、および QFN パッケージ
 - 全パッケージにて鉛フリーを提供
- ザイリンクスおよび業界標準の CAE ツールを使用したデザイン入力および検証
- ザイリンクス WebPACK™ による全デバイス集積度の無償ソフトウェア サポート
- 業界をリードする不揮発性 0.18 ミクロン CMOS 処理
 - プログラム/消去を 1000 サイクル保証
 - データ保持を 20 年間保証

ファミリの概要

ザイリンクス CoolRunner™-II CPLD では、XC9500/XL/XV CPLD ファミリで提供される高速性および使いやすさと XPLA3™ ファミリの低消費電力機能が 1 つの CPLD として提供されています。これにより、高速データ通信/処理システムおよび最先端の携帯用製品にインシステム プログラムが追加された同じパーツを使用できます。低消費電力と高速動作が組み合わされて 1 つのファミリに含まれたことで、使いやすくなり、コストも削減できます。また、クロッキング手法およびその他の省電力機能により、電力バジェットを抑えることができます。バージョン 4.1i 以降のザイリンクス ISE WebPACK でこれらのデザイン機能がサポートされています。詳細情報は、14 ページの「その他のリファレンス」を参照してください。

表 1 に、CoolRunner-II CPLD ファミリのマクロセル数および主要なタイミングパラメータを示します。

表 1: CoolRunner-II CPLD ファミリのパラメータ

	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
マクロセル数	32	64	128	256	384	512
最大 I/O 数	33	64	100	184	240	270
T _{PD} (ns)	3.8	4.6	5.7	5.7	7.1	7.1

表 1 : CoolRunner-II CPLD ファミリのパラメータ (続き)

	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
T _{SU} (ns)	1.9	2.0	2.4	2.4	2.9	2.6
T _{CO} (ns)	3.7	3.9	4.2	4.5	5.8	5.8
F _{SYSTEM1} (MHz)	323	263	244	256	217	179

表 2 : CoolRunner-II CPLD の DC 特性

	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
I _{CC} (μA), 0MHz, 25 (通常)	16	17	19	21	23	25
I _{CC} (mA), 50 MHz, 70 (最大)	2.5	5	10	27	45	55

I_{CC} は動的電流です。

表 2 に、CoolRunner-II ファミリの主要な DC 特性を示します。

表 3 に、CoolRunner-II CPLD パッケージおよびその I/O 数を示します。すべてのパッケージは表面実装タイプで、そのうちの半分以上がボールグリッドアレイパッケージになっています。この超小型パッケージには、最小エリアに最大容量のファンクションを含めることができます。CoolRunner-II CPLD で採用されて

いる CMOS 技術では、熱が最小限に抑えられるため、高速動作中にわずかなパッケージしか使用されません。

新型の鉛フリーの QF パッケージを除き、各パッケージには 2 個以上の集積度があります。VQ100 (100 ピン 1.0mm QFP)、TQ144 (144 ピン 1.4mm QFP)、および FT256 (256 ボール 1.0mm FLBGA) には 3 個の集積度があります。特に FT256 は、中集積度から高集積度のロジックを要する小型の携帯製品で重要です。

表 3 : CoolRunner-II CPLD ファミリ パッケージおよび I/O 数

	XC2C32 ⁽²⁾	XC2C32A	XC2C64 ⁽²⁾	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
QFG32 ⁽¹⁾		21	-	-	-	-	-	-
PC44	33	33	33	33	-	-	-	-
PCG44 ⁽¹⁾		33		33	-	-	-	-
VQ44	33	33	33	33	-	-	-	-
VQG44 ⁽¹⁾		33		33	-	-	-	-
QFG48 ⁽¹⁾	-	-	-	37	-	-	-	-
CP56	33	33	45	45	-	-	-	-
CPG56 ⁽¹⁾		33		45	-	-	-	-
VQ100	-	-	64	64	80	80	-	-
VQG100 ⁽¹⁾	-	-		64	80	80	-	-
CP132	-	-	-	-	100	106	-	-
CPG132 ⁽¹⁾	-	-	-	-	100	106	-	-
TQ144	-	-	-	-	100	118	118	-
TQG144 ⁽¹⁾	-	-	-	-	100	118	118	-
PQ208	-	-	-	-	-	173	173	173
PQG208 ⁽¹⁾	-	-	-	-	-	173	173	173
FT256	-	-	-	-	-	184	212	212
FTG256 ⁽¹⁾	-	-	-	-	-	184	212	212
FG324	-	-	-	-	-	-	240	270
FGG324 ⁽¹⁾	-	-	-	-	-	-	240	270

メモ :

- 3 番目の文字 G は、鉛フリーパッケージを示します。
- XC2C32 および XC2C64 は新しいデザインには不向きです。XC2C32A および XC2C64A を使用してください。

表 4 に、CoolRunner-II CPLD ファミリの各デバイスで使用可能な高度な機能を示します。このファミリには同一の基本機能が含まれており、集積度が高まるほど高度な機能が追加されています。たとえば、32 個と 64 個のマクロセルを含むデバイスでは、4 個の I/O が必要になることは稀ですが、384 個と 512 個のマクロセ

ル デバイスでは必要になる場合が多々あります。I/O バンクは、同じ V_{CCIO} レベルを共有する互換電圧規格のいずれかを使用し、まとめた I/O ピンのグループです。CoolRunner-II の I/O 規格の詳細は、表 5 を参照してください。

表 4 : CoolRunner-II CPLD ファミリの機能

	XC2C32 ⁽²⁾	XC2C32A	XC2C64 ⁽²⁾	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
IEEE 1532								
I/O バンク数	1	2	1	2	2	2	4	4
クロック分周器	-	-	-	-				
DualEDGE レジスタ								
DataGATE	-	-	-	-				
LVTTTL								
LVC MOS33、25、18、15 ⁽¹⁾								
SSTL2_1	-	-	-	-				
SSTL3_1	-	-	-	-				
HSTL_1	-	-	-	-				
コンフィギュレーション可能グランド								
4 レベルのデータセキュリティ								
オープンドレイン出力								
ホットプラグ対応								
シュミット入力								

1. LVC MOS15 では、シュミットトリガ入力を使用する必要があります。
2. XC2C32 および XC2C64 は新しいデザインには不向きです。XC2C32A および XC2C64A を使用してください。

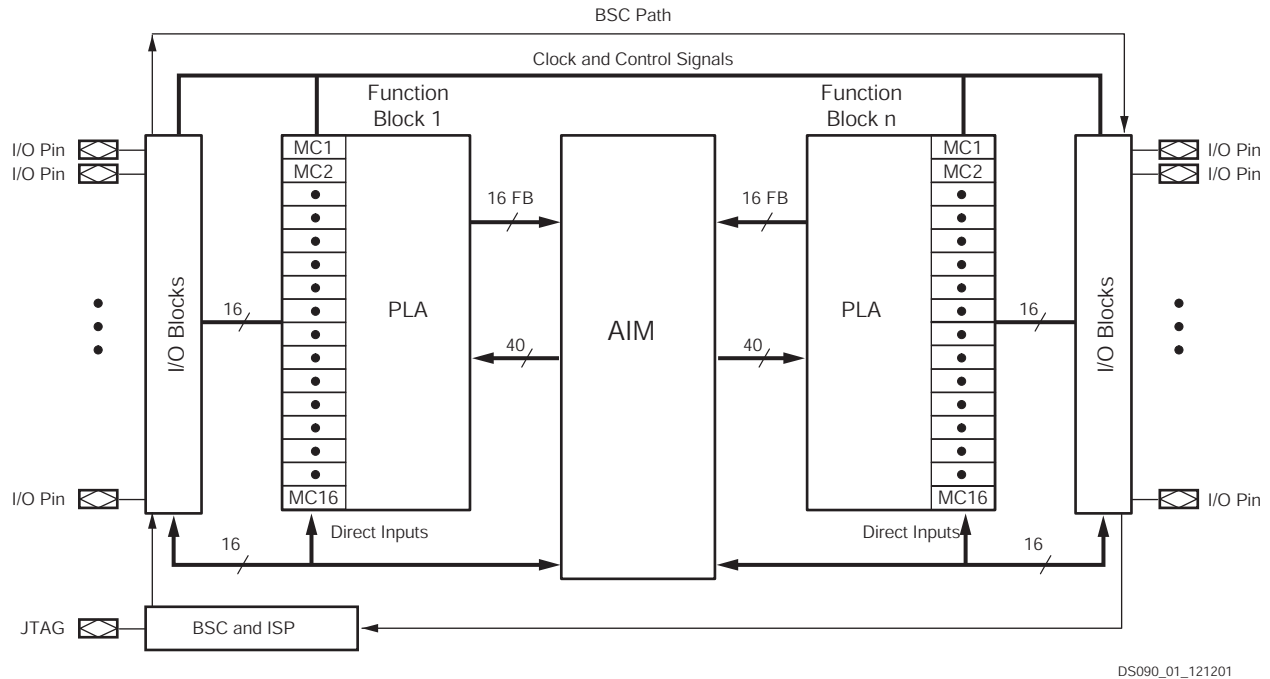
アーキテクチャの説明

CoolRunner-II CPLD は、高速で低消費電力を実現する CPLD ファミリです。このアーキテクチャでは、従来の CPLD アーキテクチャを基盤としてファンクションブロック (FB) にマクロセルが組み込まれており、このファンクションブロック間はグローバル配線マトリックスであるザイリンクス AIM (Advanced Interconnect Matrix) を介して接続されています。このファンクションブロックでは、プログラマブルロジックアレイ (PLA) コンフィギュレーションが使用されることにより、すべての積項が配線されてファンクションブロックのマクロセル間で共有されます。デザインソフトウェアを使用すると、ロジックを合成、最適化して、ファンクションブロックにフィットさせ、デバイスのリソースを高い割合で使用できます。デザインの変更はソフトウェアにより簡単かつ自動的に管理され、各ファンクションブロックに含まれる PLA を完全に配線できます。このような強力な構築ブロックにより、多様なボード設計状況においても業界最

高のピン配置保持が実現されます。アーキテクチャの詳細は、以降のファンクションブロック、ロジック、およびインターコネクットのセクションで説明します。

デザインソフトウェアは、アーキテクチャに精通していなくてもジェネリック文を使用してデザインを表現できるよう、これらのデバイスリソースを自動的に管理します。アドバンスユーザーは、詳細知識を活かしてソフトウェアのオプション使用し、結果を向上させることができます。

図 1 に、アーキテクチャの高位図を示します。この図に示すように、ファンクションブロックはピンに接続されており、内部インターコネクットマトリックス内で互いに接続されています。各ファンクションブロックには、16 個のマクロセルが含まれています。BSC パスは、JTAG バウンダリ スキャン制御バスです。BSC および ISP ブロックには JTAG コントローラおよびインシステムプログラム回路が含まれています。

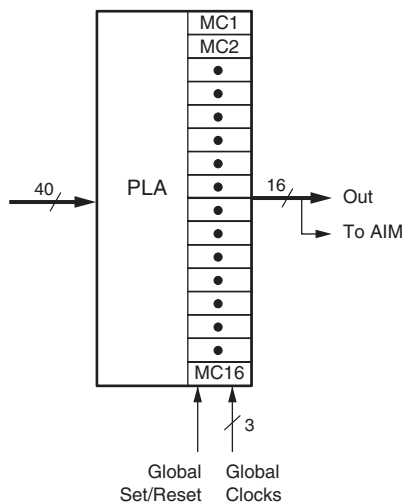


DS090_01_121201

図 1 : CoolRunner-II CPLD アーキテクチャ

ファンクション ブロック

CoolRunner-II CPLD のファンクション ブロックには、16 個のマクロセルが含まれており、ロジックを作成して接続するために信号が到達できるエントリ サイトが 40 個あります。内部ロジックエンジンは、56 個の積項を含む PLA です。すべてのファンクション ロジックは、デバイス内に含まれる数にかかわらず、同一です。ファンクション ブロックの高位図を、図 2 に示します。



DS090_02_101001

図 2 : CoolRunner-II CPLD ファンクション ブロック

高位レベルでは、積項はプログラマブル ロジック アレイ (PLA) に含まれています。この構造は、固定またはカスケード接続された積項を持つファンクション ブロックに比べて柔軟性が高く優れています。

通常、典型的な CPLD には、マクロセルへの高速パスに使用可能な積項が数個含まれています。これらの CPLD では、必要に応じて隣接するマクロセルの未使用の積項を使用して積項数を拡張します。この結果アーキテクチャは、可変タイミング モデルとなり、ファンクション ブロック内に使用できないロジックが含まれてしまう可能性があります。

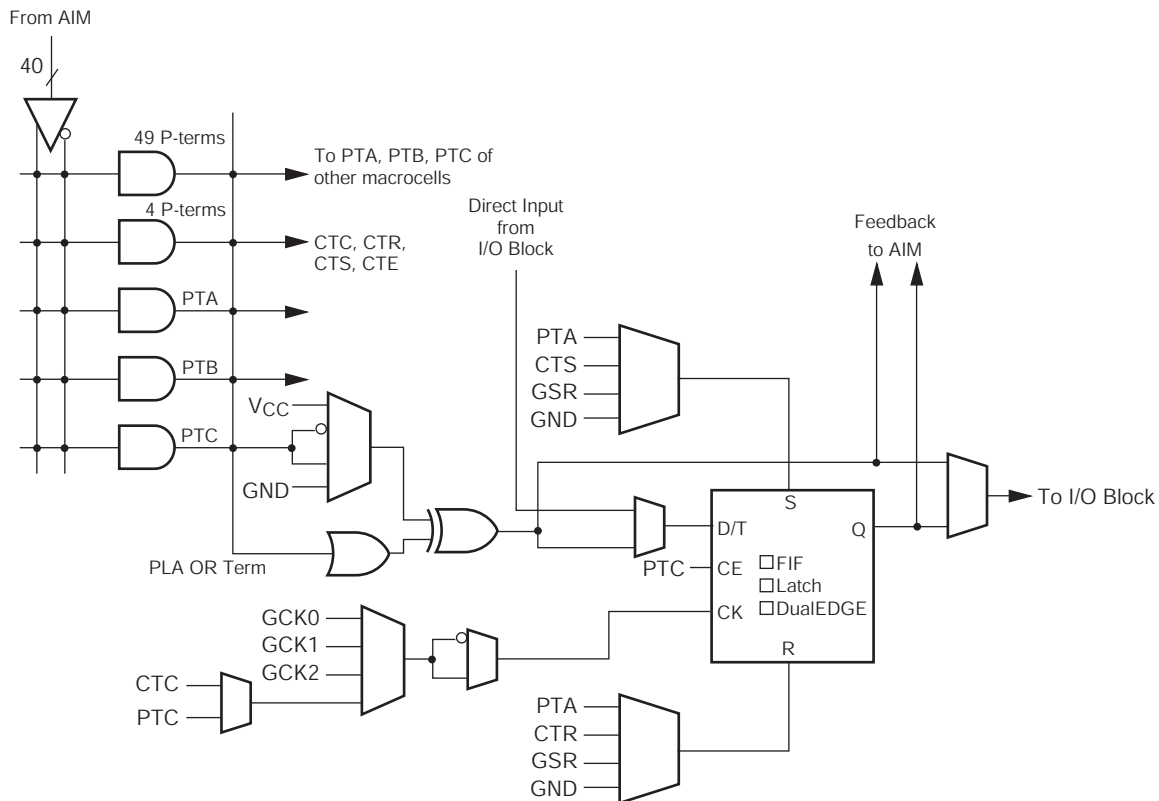
これと異なり、PLA は優れています。まず、どの積項もファンクション ブロックのマクロセル内のいずれの OR ゲートにも接続できます。次に、どのロジック ファンクションにも必要な数の積項を最大 56 個までファンクション ロジック内で接続できます。さらに、積項は複数のマクロセルの OR ファンクションで再利用できるため、ファンクション ブロック内で特定の論理積項を 1 つのみ作成すれば、最大 16 回までそのファンクション ブロック内で再利用できます。通常、共有可能な積項を識別するフィッティングソフトウェアでこれは有利です。

ソフトウェアにより、このようなファンクションが可能な限り多くファンクション ブロックに自動的に配置されます。マクロセルのファンクションを強制的に隣接させたり、同じファンクション ブロックに含める必要はなく、ソフトウェアによってこれらが処理されます。ファンクションでは、PLA を最大限に活用するために、クロック、セット/リセット、または出力イネーブルを共有する必要はありません。また、積項はすべて同じ遅延分送れて到着します。ファンクション ブロックに積項を追加するためのカスケード加算器はありません。ファンクション ブロックの積項パジェットに達したときは、信号を別のファンクション ブロックに配線してロジックの作成を継続するためにインターコネクト タイミング違反が多少発生します。ザイリンクス デザイン ソフトウェアでは、自動的にこれが処理されます。

マクロセル

CoolRunner-II CPLD のマクロセルを使用すると、ロジックを効率的に作成できます。ユーザーは、最大 40 個の入力を含む積和 (SOP) 論理表現を作成して、56 個の積項を 1 つのファンクションブロックに配置できます。マクロセルでは、この SOP 表現と別の単純な積項表現 1 つを組み合わせることで XOR ゲートを作成できます。この結果、論理式の極性は常に選択可能になります。また、ロジック ファンクションは D/T フリップフロップまたは透過ラッチのいずれかとして動作可能なストレージ要素と組み合わせるか、またはレジスタを介して接続できます。各マクロセルでは、グローバルなファンクションブロックレベルとローカル積項から派生したクロック、セット、リセット、および出力イネー

ブルをそれぞれ指定できます。各マクロセルのフリップフロップは、シングルエッジまたは DualEDGE クロッキングのいずれかにコンフィギュレーションできるので、ダブルデータレート機能または電力を節約する低速クロックの分配が可能になります。シングルエッジのクロッキングまたはラッチでは、いずれのクロック極性もマクロセルごとに選択できます。図 3 に CoolRunner-II のマクロセルの詳細を示します。図 4 では、静的にプログラムされたコンフィギュレーションセレクト信号 (非表示) を入力選択に持つ台形のマルチプレクサを除き標準のロジックシンボルが使用されています。CoolRunner-II CPLD ファミリでのロジック作成方法の詳細は、[アプリケーションノート XAPP376](#) を参照してください。



DS090_03_121201

図 3 : CoolRunner-II CPLD のマクロセル

マクロセルを D フリップフロップとしてコンフィギュレーションした場合、クロック動作が自在である間状態を保持させるオプションのクロックイネーブル信号が含まれます。制御項 (CT) は、ファンクションブロック内の主要なファンクション間で共有することができ、複数のマクロセルで同じロジックファンクションが繰り返して作成されるようなときに使用します。CT は、ファンクションブロッククロッキング (CTC)、ファンクションブロック非同期セット (CTS)、ファンクションブロック非同期リセット (CTR)、およびファンクションブロック出力イネーブル (CTE) で使用できます。

いずれのマクロセルのフリップフロップも入力レジスタまたはラッチとしてコンフィギュレーションできるので、マクロセルの

I/O ピンから信号を取り込んで AIM を直接駆動できます。マクロセルの組み合わせ機能は、埋め込みロジックノードとして使用するときには使用します。F_{Toggle} は、T フリップフロップが確実にトグルできる最大クロック周波数を指します。

AIM (Advanced Interconnect Matrix)

AIM は、高度に接続された低電力高速スイッチです。AIM はソフトウェアの指示により、最大 40 個の信号セットをロジック作成のために各ファンクションブロックに供給します。ファンクションブロックのマクロセルの結果とピン入力はすべて、デザインソフトウェアで指示されるように、その他のファンクションブロックと接続されるために AIM に戻されます。AIM は、さまざま

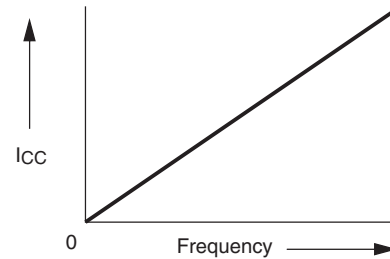
出力バンク

CPLD は、電圧変換器として広く使用されています。このため、出力ピンは大きなバンクにグループ化されています。XC2C32 および XC2C64 デバイスにはバンクがありませんが、新しい XC2C32A および XC2C64A デバイスにはバンクが 2 個あります。中規模デバイス (128 個および 256 個のマクロセル) では、出力バンクが 2 個サポートされており、これらのバンクに同じ電圧が設定されていない限り、選択されている 2 つの出力電圧レベル間で出力が切り替わります。大規模デバイス (384 個および 512 個のマクロセル) では、出力バンクが 4 個サポートされており、1 ~ 4 個までの出力電圧レベルのグループをサポートできます。このような柔軟性により、1 つのデバイスで 3.3V、2.5V、1.8V、および 1.5V に簡単に接続できます。

DataGATE

低電力は、CMOS 技術の特徴です。その他の CPLD ファミリーでは、積項の作成にセンス増幅器を使用するため、常に残留電流が流れるコンポーネントが 1 個含まれます。この残留電流は、数百ミリアンペアにもなる可能性があり、携帯用システムでは使用できなくなります。CoolRunner-II CPLD では、標準の CMOS 技術を使用して CPLD アーキテクチャを作成することで、消費電流を抑えます。また、未使用の回路をディスエーブルにすることで、さらにシステム電流を削減することもできます。

特許を取得した DataGATE テクノロジーは、さらに消費電力を削減するために開発されました。各 I/O ピンでは、不要なフリーランニング信号をブロックする直列スイッチがあります。使用しない信号は、消費電力を増加させる可能性があるため、ディスエーブルにすることができます。ユーザーは、自在にデザインしてから DataGATE 機能を使用する箇所を選択できます。DataGATE は、中規模から大規模の CoolRunner-II CPLD デバイスに含まれるアサート レールを駆動するロジック ファンクションです。DataGATE ファンクションを使用してブロックする入力を選択できるので、切り替えが制御された信号でチップ内のキャパシタンスが駆動されないように効率よくブロックできます。切り替えが発生しない出力信号は、パス ホールド機能により保持されます。入力ピンのセットはいずれも DataGATE 機能で使用するか選択できます。図 5 に、CMOS I_{CC} と切り替え周波数の関係を表すグラフを示します。DataGATE 機能を使用すると、デザインでゼロ出力に近づかせることも可能です。



DS090_05_101001

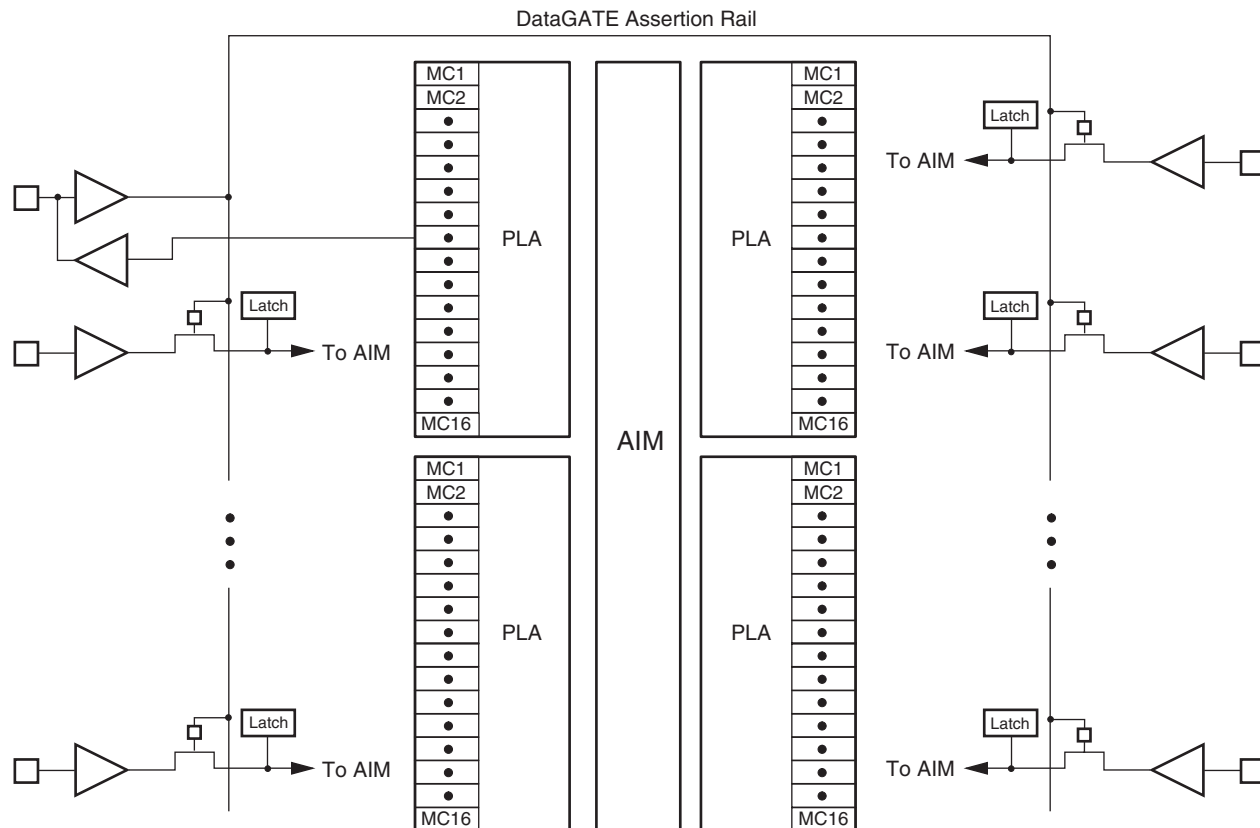
図 5 : CMOS I_{CC} と切り替え周波数のグラフ

図 6 に、DataGATE の基本構造を示します。1 個の I/O ピンにより、DataGATE アサート レールが駆動されます。このレールには、任意のロジック ファンクションを含めることができ、DataGATE ファンクションに 1 個の入力ピンをマップするような単純なものから、マクロセルを介して DataGATE の I/O ピンを駆動するカウンタまたはステート マシン出力のような複雑なものまで含めることができます。DataGATE のレールが High にアサートされると、レールに接続されているいずれのパス トランジスタ スイッチもブロックされます。どのピンも、DataGATE のパス トランジスタを介して AIM に接続できるため、ブロックが可能であるということに注意してください。ラッチでは、ピンがブロックされると、自動的にピンのステートがキャプチャされます。DataGATE アサート レールは、すべての I/O を通っているため、必要であればどの I/O も使用することができます。1 個のマクロセルがレールを駆動するために選ばれ、このマクロセルはピンを介して外部から検査されます。DataGATE 機能が不要な場合は、このピンは通常の I/O ピンになります。

CoolRunner-II では、DataGATE 機能に関連する属性が 2 つあります。最初の属性では、入力が DataGATE によって影響を受けるかを指定し、二番目の属性では DataGATE の制御信号を指定します。

DataGATE 機能はピンごとに選択でき、この機能を使用する各入力ピンには、DATE_GATE 属性を付ける必要があります。

DataGATE アサート レールは、I/O ピンまたは内部ロジックのいずれかで駆動できます。DataGATE のイネーブル信号は、CoolRunner-II の各パッケージ向けの専用 DGE/I/O ピンです。ソフトウェアでは、インプリメンテーション時に、DataGATE 機能を使用しているデザインが識別され、自動的にこの I/O ピンが DataGATE のイネーブル制御ファンクションである DGE に割り当てられます。内部で生成された DataGATE 制御ロジックは、BUFG=DATA_GATE 属性を使用してこの I/O ピンに割り当てることができます。

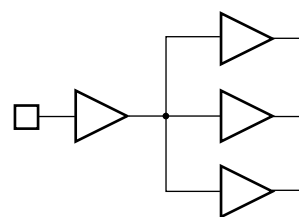


DS090_06_111201

図 6 : DataGATE アーキテクチャ (出力ドライバは非表示)

グローバル信号

グローバル信号、クロック (GCK)、セット/リセット (GSR)、および出力イネーブル (GTS) は、互いに類似するように設計します。このような手法を取ると、デザインソフトウェアでこれらの機能を最大限に利用できます。グローバル機能は、それぞれ対応する積項によって補足されます。図 7 に、グローバル信号ツリーの基本構造を示します。ピン入力にはバッファが付けられており、スキューを低減し読み込み遅延を削減するように、複数の入力グローバル信号のトレースが駆動されます。GCK、GSR、および GTS 信号がグローバル信号として必要ではない場合は、汎用 I/O として使用することもできます。DataGATE のアサートレールは、グローバル信号でもあります。



DS090_07_101001

図 7 : グローバル クロック (GCK)、セット/リセット (GSR)、および出力イネーブル (GTS)

その他のクロック オプション：分周、DualEDGE、および CoolCLOCK

クロック分周器

CoolRunner-II CPLD アーキテクチャには、外部から供給されるグローバルクロックを基本的な値で分周するためのクロック分周回路が含まれています。分周で使用できる値は、2、4、6、8、10、12、14、および16です(図8を参照)。この機能は、GCK2ピンで使用できます。生成されるどの分周クロックでも、デューティサイクルは50%になります。クロック分周器の出力は、グローバル配線されます。クロック分周器が使用される場合は、分周されていないクロックは内部で使用できます。内部でこのようなクロックが必要な場合は、別のクロックピンから入力されます。

クロック分周回路では、グローバルクロック ネットに不正なクロックが伝搬されないように同期リセット (CDRST) が含まれています。CDRST 信号がアサートされると、クロック分周器の出力は現在のサイクルの後にディスエーブルにされます。この信号がディアサートされると、クロック分周器の出力はGCK2の最初のエッジでアクティブになります。CDRST ピンは、どのCLK_DIV プリミティブを使用してリセットピンとして動作します。クロック分周器がデザインで使用される場合は、CDRST ピンが保持され、このピンが High に駆動される場合はクロック分周器がリセットされます。クロック分周器のリセットポートを使用しない場合は、ボードで Low にします。クロック分周回路には、CDRST というアクティブ High の同期リセットが含まれています。

CoolRunner-II のクロック分周器には、ビルトインの遅延回路が含まれています。遅延機能をイネーブルにすると、クロック分周器の出力に1クロックサイクル分の遅延が追加されます。この場合、クロック分周器では遅延値に達するまで立ち上がりクロックエッジが出力されません。この遅延機能は、コンフィギュレーションでイネーブルまたはディスエーブルされます。

ザイリンクス合成ツール (XST) では、クロック分周器コンポーネントを直接 HDL ソース コードにインスタンス化できます。VHDL、Verilog、および ABEL のインスタンス化例は、[アプリケーション ノート XAPP378](#) を参照してください。

DualEDGE

各マクロセルには、入力クロック切り替え周波数を2倍にする機能があります。図9に、DualEDGE オプション (ダブルクロック) を使用したマクロセルのフリップフロップを示します。2倍にするソースは、制御項クロック、積項クロック、または使用可能なグローバルクロックのいずれかを使用できます。両クロックエッジ切り替え機能 (DET) は、多数の同期メモリアンターフェイスアプリケーションおよび特殊なダブルデータレートの I/O アプリケーションで不可欠です。

CoolRunner-II の DET レジスタは、シフトレジスタ、カウンタ、コンパレータ、およびステートマシンを含むロジックファンクションで使用できます。CPLD ロジックで要求されるパフォーマンスを評価して、DET レジスタを使用するかを決定する必要があります。

DET レジスタは、ABEL、HDL、または回路図デザインで推論できます。HDL デザインでは、シングルエッジトリガ (SET) レジスタを推論できます。DET レジスタは、CoolRunner-II ファミリーのすべてのデバイスのマクロセルで使用できます。

CoolCLOCK

DualEDGE 回路とクロック分周回路を組み合わせることにより、さらに消費電力を節約できます。この機能は CoolCLOCK と呼ばれ、CPLD 内のクロック消費電力を削減するように設計されています。クロック ネットでは、かなりの電力量が消費されるため、半分の周波数でネットを駆動し、マクロセルで DualEDGE トリガを使用してクロックレートを2倍にすることで、クロックの消費電力を削減できます。図10に、内部クロックを分周器および DualEDGE フリップフロップとカスケード接続することで作成した CoolCLOCK を示します。

GCK2 は、分周可能な唯一のクロック ネットワークで、CoolCLOCK 機能はこのピンでのみ使用できます。CoolCLOCK 機能は、入力クロックに属性を割り当てることでインプリメントできます。CoolCLOCK 属性を使用すると、クロック分周器をインスタンス化して DET レジスタを推論する必要がなくなります。CoolCLOCK 機能は、128 個以上のマクロセルを含む CoolRunner-II デバイスで使用できます。詳細については、[アプリケーション ノート XAPP378](#) を参照してください。

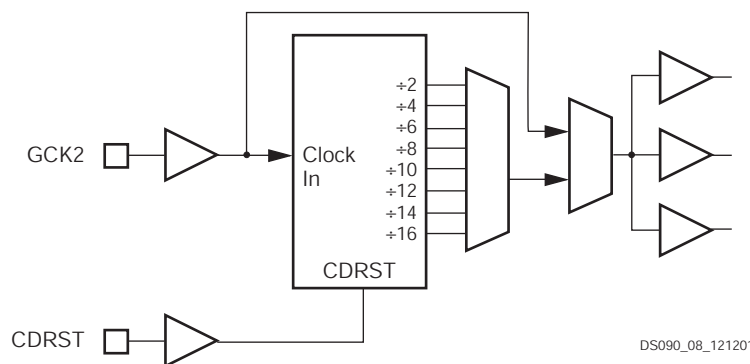


図8: GCK2 のクロック分周回路

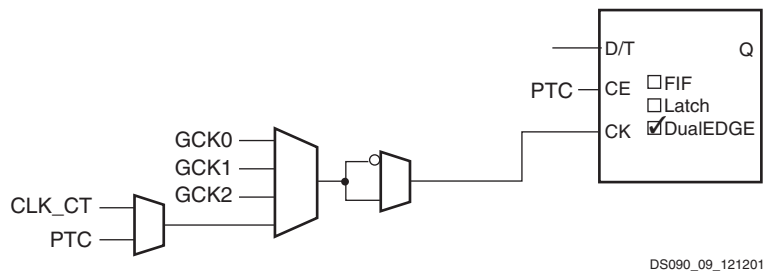


図 9 : DualEDGE 機能を使用したマクロセルのクロック チェーン

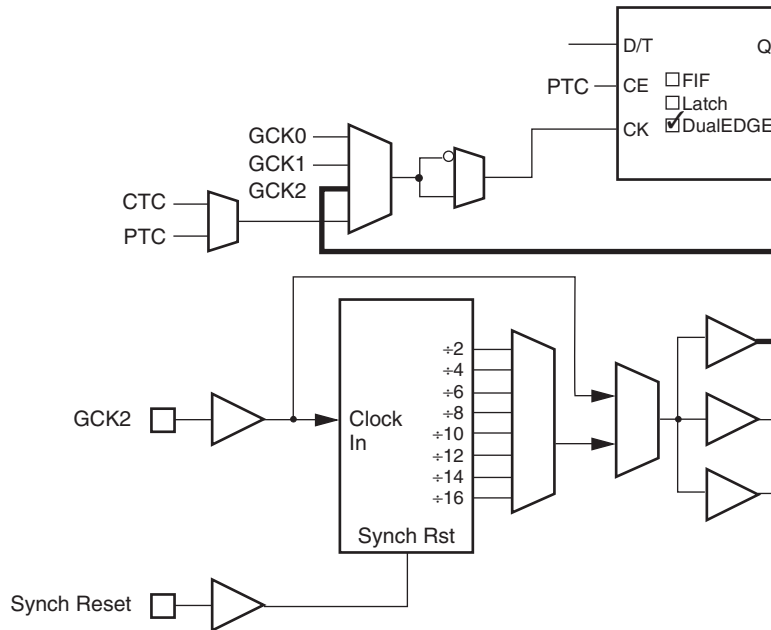


図 10 : クロック分周器と DualEDGE 機能をカスケードして作成された CoolCLOCK

デザインのセキュリティ

デザインに誤って上書きしてしまったり、リードバックによりパターンが盗まれたりしないように、プログラム中にデザインを保護できます。4段階のセキュリティがオンチップで提供されてい

るため、コンフィギュレーションパターンの電子的または視覚的な検出を回避できます。これらのセキュリティビットは、デバイス全体を消去しない限りリセットできません。詳細については、[ホワイトペーパー WP170](#) を参照してください。

タイミング モデル

図 11 に、CoolRunner-II CPLD のタイミング モデルを示します。この図には、タイミングの観点から表現したアーキテクチャ全体が示されています。各ボックス (小) は、信号が通過したときに発生するタイミング遅延を示します。タイミング レポートは、CPLD 内を通過するに伴って増加する信号の遅延を計算することで作成されます。このレポートは、デザインが特定のデバイス

にマップされた後に作成されます。これは、指定のスピードグレードにおける遅延値を識別するためです。T_{PD} および F_{SYSTEM} などの高度なタイミング値に対する論理式も含まれています。表 6 に、タイミング パラメータとその説明を示します。CoolRunner-II CPLD ファミリのタイミング モデル例は、[アプリケーション ノート XAPP375](#) を参照してください。

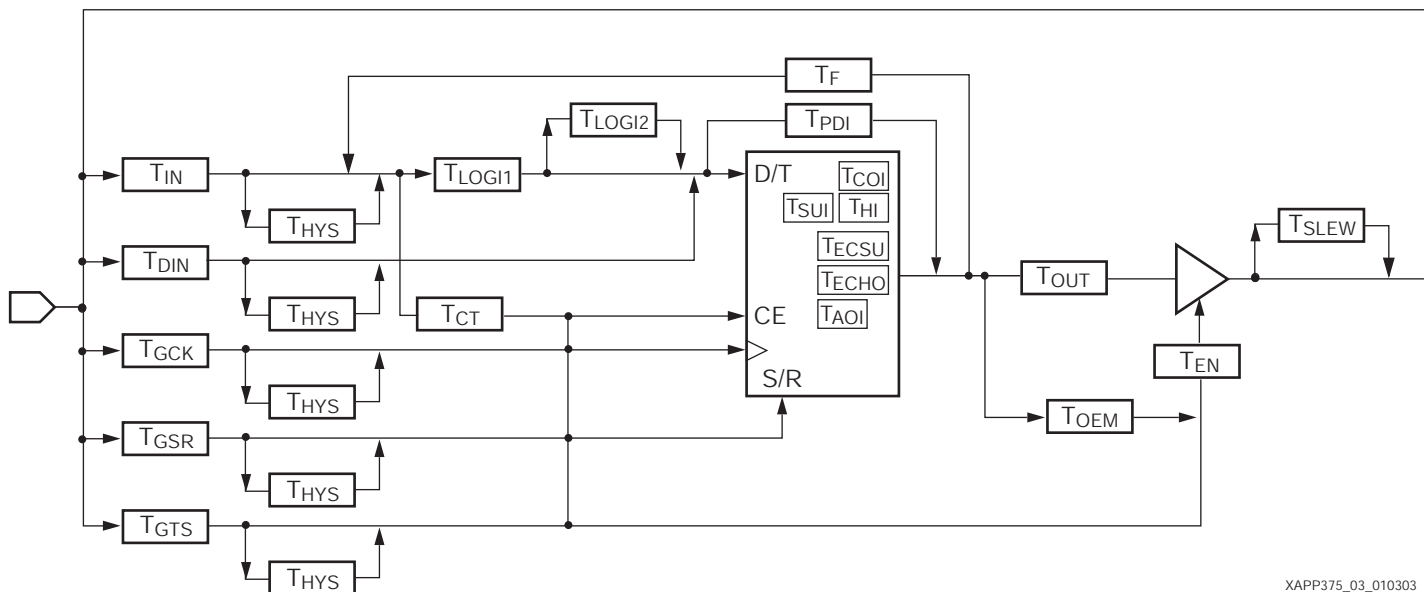


図 11 : CoolRunner-II CPLD のタイミング モデル

メモ : パスの正確なタイミング値は、ISE ソフトウェアで生成されるタイミング レポートを参照してください。

表 6 : タイミング パラメータの定義

表記	パラメータ
バッファ遅延	
T _{IN}	入力バッファ遅延
T _{DIN}	ダイレクト データ レジスタ入力遅延
T _{GCK}	グローバル クロック (GCK) バッファ遅延
T _{GSR}	グローバル セット/リセット (GSR) バッファ遅延
T _{GTS}	グローバル 出力イネーブル (GTS) バッファ遅延
T _{OUT}	出力バッファ遅延
T _{EN}	出力バッファ イネーブル/ディスエーブル遅延
T _{SLEW}	出力バッファ スルー レート制御遅延
積項遅延	
T _{CT}	制御項遅延 (PT または FB-CT 1 個)
T _{LOGI1}	1 個の積項ロジックの遅延
T _{LOGI2}	複数の積項ロジックの遅延

表 6 : タイミング パラメータの定義 (続き)

表記	パラメータ
マクロセル遅延	
T _{PD}	マクロセルの入力から有効な出力までの遅延
T _{SUI}	クロック前のマクロセル レジスタのセットアップ
T _{HI}	クロック後のマクロセル レジスタのホールド
T _{ECSU}	マクロセル レジスタのイネーブル クロック セットアップ タイム
T _{ECHO}	マクロセル レジスタのイネーブル クロック ホールド タイム
T _{COI}	マクロセル レジスタのクロックから有効な出力までの遅延
T _{AOI}	マクロセル レジスタのセット/リセットから有効な出力までの遅延
T _{HYS}	ヒステリシス選択遅延加算器
フィードバック遅延	
T _F	フィードバック遅延
T _{OEM}	マクロセルからグローバル OE への遅延

プログラム

プログラム データ シーケンスの転送には、ザイリンクス iMPACT ソフトウェアとザイリンクス ダウンロード ケーブル、サードパーティ JTAG 開発システム、JTAG を使用可能なボード テスタ、または JTAG 命令シーケンスをエミュレートするマイクロプロセッサ インターフェイスを使用できます。iMPACT では、自動テスト装置などで使用可能なシリアル ベクタ フォーマット (SVF) ファイルも作成できます。プログラム方法の詳細は、[CoolRunner-II のアプリケーション ノート](#) を参照してください。

インシステム プログラム

すべての CoolRunner-II CPLD デバイスは、1.8V のインシステム プログラムが可能です。つまり、これらのデバイスでは、デバイス上の 1.8V の V_{CC} (内部供給電圧) ピンからプログラム用の電圧および電流を供給します。 V_{CCIO} ピンは、1.5V ~ 3.3V の電圧範囲で動作する場合があるため、インシステム プログラムには使用されません (ただし、 V_{CCIO} 、 V_{CCINT} 、 V_{CCAUX} および GND はデバイスがプログラムされて正しく動作するために接続しておく必要があります)。1.8V の V_{CC} は、不揮発性のプログラム操作を実行するために CPLD 内に含まれる内部ステート マシンおよびチャージ ポンプを正しく動作させるために必要です。I/O ピンは、JTAG プログラム中はユーザー モードにはならず、ウィークブルアップ抵抗によりトライステートに保持されます。JTAG インターフェイス バッファには、専用電源ピン V_{CCAUX} によって電源が供給されます。このピンは、その他のすべての電源供給ピンから独立しており、必ず接続する必要があります。ザイリンクス ソフトウェアは、ビットストリームを CPLD にダウンロードして適切な IEEE 1532 規格のプロトコルを駆動するために提供されているため、CoolRunner-II CPLD デバイスでサポートされる IEEE 1532 規格のコマンド セットがあります。プログラム時間は、32 個 ~ 256 個のマクロセルを含むデバイスでは 1 秒以下、384 個 ~ 512 個のマクロセルを含むデバイスでは 4 秒以下です。CoolRunner-II CPLD のプログラムは、デバイスのデータシートに記述されている商業温度と電圧範囲で動作しているときのみ保証されます。

オンザフライ リコンフィギュレーション (OTF)

ザイリンクス WebPACK ISE 5.2i では、CoolRunner-II CPLD に対してオンザフライ リコンフィギュレーション (OTF) がサポートされています。これにより、現在のパターンを使用しながら、新しい不揮発性のパターンをデバイスにプログラムできます。OTF の電圧および温度仕様は、システム プログラムの仕様と同じです。パターンの移行中は、I/O ピンは V_{CCIO} にウィークブルアップ抵抗が付けられてハイ インピーダンスになります。移行時間は、通常 50 ~ 300 μ s で、集積度によって異なります。詳細については、[アプリケーション ノート XAPP388](#) を参照してください。

JTAG 命令

表 7 に、使用可能なコマンドを示します。これらと同じコマンドをサードパーティの ATE 製品でも使用できる場合があります。内部コントローラは、最大 66MHz で動作できます。

表 7: JTAG 命令

コード	命令	説明
00000000	EXTEST	バウンダリ スキャン データを出力に送ります。
00000011	PRELOAD	マクロセルのデータをバウンダリ スキャン セルに保持します。
11111111	BYPASS	TDI と TDO の間にバイパス レジスタを挿入します。
00000010	INTEST	バウンダリ スキャン データを入力およびフィードバックに送ります。
00000001	IDCODE	IDCODE を読み出します。
11111101	USERCODE	USERCODE を読み出します。
11111100	HIGHZ	出力をハイ インピーダンス ステートにします。
11111010	CLAMP	現在の出力ステートを保持します。

電源投入時の特徴

CoolRunner-II CPLD デバイスは、高速および携帯市場のニーズを満たす必要があるため、高速向けのホット プラグをサポートして多種の電圧ピンへの電力シーケンスを許容する必要があります。これらのデバイスでは、電源投入での初期化時に使用される電流を最小限に抑える必要もあります。次に、一般的な動作のサマリを示します。

1. I/O ピンは、電源投入が完了するまでディスエーブルにされます。
2. 電源供給が上昇すると、コンフィギュレーション ビットが不揮発性メモリから SRAM セルに移行されます。
3. 電源投入が完了すると、出力のコンフィギュレーションが完了します (入力、出力、または I/O)。
4. 特定のコンフィギュレーション時間および電源投入要件は、[アプリケーション ノート XAPP389](#) を参照してください。

CoolRunner-II CPLD の I/O ピンは、すべての動作状況で正しく動作します。電源投入中は、CoolRunner-II デバイスでは、 V_{CCINT} 電源電圧が安全なレベル (約 1.3V) になるまでデバイスを静止状態を保つ内部回路が使用されます。表 8 に示すように、静止状態では JTAG ピンはディスエーブルにされ、またデバイスのすべての出力はウィークブルアップを High にすることでディスエーブルにされます。図 12 に示すように、供給電圧が安全なレベルに達すると、すべてのユーザー レジスタが初期化されて、デバイスはすぐに動作可能になります。4ms 以内に V_{CC} の値が滑らかに

上昇すると、最適な結果になります。最終的な V_{CC} の値は、1 秒以内に発生する必要があります。

ユーザー パターンがプログラムされる前にデバイスが消去状態にある場合、デバイスの出力はウィーク プルアップ抵抗によりディスエーブルのままになります。JTAG ピンは、いつでもデバイスをプログラムできるようにイネーブルにされます。すべてのデバイスは、消去状態で工場から出荷されています。

空のデバイスに電源を入れると、デバイスの初期化時に流れる電流が大きくなる可能性があります。この動作は正常で、電源供給ランプによっては 2 秒ほど継続する場合があります。

デバイスがプログラムされる場合は、デバイスの入力および出力がそれぞれ通常動作で設定されている状態になります。JTAG ピンは、デバイスの消去やバウンダリ スキャン テストがいつでも実行できるようにイネーブルにされます。

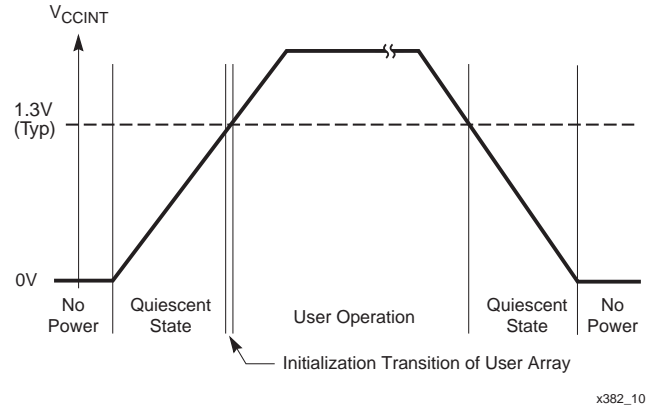


図 12：電源投入時のデバイスの動作

表 8：I/O の電源投入時の特徴

デバイスの回路	静止状態	消去デバイス操作	有効なユーザー操作
IOB バス ホールド/ウィーク プルアップ	ウィーク プルアップ	ウィーク プルアップ	バス ホールド/ウィーク プルアップ
デバイスの出力	ディスエーブル	ディスエーブル	コンフィギュレーションに従う
デバイスの入力およびクロック	ディスエーブル	ディスエーブル	コンフィギュレーションに従う
ファンクション ブロック	ディスエーブル	ディスエーブル	コンフィギュレーションに従う
JTAG コントローラ	ディスエーブル	イネーブル	イネーブル

I/O バンク

CoolRunner-II CPLD XC2C32 および XC2C64 のマクロセル デバイスでは、1.5V ~ 3.3V の操作に対応可能な V_{CCIO} レールが 1 個サポートされています。XC2C32A、XC2C64A、128 個および 256 個のマクロセルを持つデバイスでは、2 個の V_{CCIO} がサポートされており、各レールの出力はそれぞれ 1.5V ~ 3.3V までの操作に対応できます。384 個と 512 個のマクロセルを含むデバイスでは、4 個の V_{CCIO} レールがサポートされています。どのレールでも、1.5V、1.8V、2.5V、または 3.3V のいずれかに対応できます。入力および出力の電圧の範囲に設定されている V_{CCIO} を使用してバンクに入力および出力の電圧を割り当てる必要があります。CoolRunner-II CPLD の V_{CC} (内部供給電圧) は、正しい速度で動作し、インシステム プログラムを正しく実行できるように、 $1.8V \pm 5\%$ を維持する必要があります。

混合電圧、電源シーケンサ、およびホットプラグイン

I/O バンクで説明したように、CoolRunner-II CPLD デバイスでは異なる電圧の I/O 信号の使用がサポートされています。適切な I/O 電圧を使用して I/O バンクに信号を割り当てることは重要で、低電圧バンクを高電圧で駆動すると、電源供給ピンから負の電流が流出する可能性があります。 V_{CCIO} および V_{CC} には、い

ずれの順序で電力を投入しても、CoolRunner-II CPLD は破損しません。ただし、最良の結果を得るために V_{CCINT} に先に電力を投入することを推奨します。これにより、I/O がアクティブになる前に内部ロジックが正常であることが保証されます。CoolRunner-II CPLD は、ホットプラグでコネクタに挿入可能なボードに含めることが可能で、デバイスは通常の電力投入時と同様に正しく動作します。

開発システムのサポート

ザイリンクス CoolRunner-II CPLD は、ザイリンクスの標準リリースの開発ソフトウェアのすべてのコンフィギュレーションおよび japan.xilinx.com から入手可能な ISE WebPACK ソフトウェアでサポートされています。サードパーティの開発ツールには、Cadence、Exemplar、Mentor Graphics、Synplicity、および Synopsys の合成ツールが含まれています。

ATE サポート

サードパーティの ATE 開発は、プログラムおよびボード/チップレベルのテストの両方でサポートされています。このサポートは、Agilent、GenRad、および Teradyne で提供されています。その他のサードパーティのプロバイダでは、将来サポートが提供される予定です。

絶対最大定格⁽¹⁾

表記	パラメータ	最小	最大	単位
$V_{CC}^{(2)}$	GND に対する電源電圧	-0.5	2.0	V
$V_I^{(3)}$	GND に対する入力電圧	-0.5	4.0	V
T_A	周囲温度 (コマーシャル)	0	70	
	周囲温度 (インダストリアル)	-40	85	
$T_J^{(4)}$	最大ジャンクション温度	-40	150	
T_{STR}	ストレージ温度	-65	150	

メモ:

- 上記の項目にストレスがかかると、デバイスで不具合が発生したり永久的な破損が生じる可能性があります。ここに定める値はストレスの度合いのみを示すものであり、操作およびプログラム仕様において、これらの条件またはそれ以外の条件で機能が正しく動作するかどうかは示されていません。
- デバイスの電源電圧は、単調に上昇する必要があります。
- GND に対する DC アンダーシュートは、0.5V または 10mA 以下 (達成しやすい方) に抑える必要があります。遷移時には、強制電流が 200mA 以下、アンダーシュートまたはオーバーシュートの時間が 10ns 未満であれば、デバイス ピンのアンダーシュートが -2.0、オーバーシュートが +4.5V になる可能性があります。I/O 電圧は、4.0V を越えないようにします。
- はんだ付けのガイドラインおよび温度に関する考慮事項については、ザイリンクス Web サイトにある [デバイスのパッケージ情報](#) を参照してください。鉛フリー パッケージの詳細は、[アプリケーション ノート XAPP427](#) を参照してください。

品質と信頼性のパラメータ

表記	パラメータ	最小	最大	単位
T_{DR}	データ保持期間	20	-	年
N_{PE}	プログラム/消去の繰り返し回数	1000	-	サイクル
V_{ESD}	静電放電 (ESD) ⁽¹⁾	2000	-	V

メモ:

- ESD は、人体モデル (HBM) を使用して 2000V まで計測されています。この制限を越えるピンでは、3.9V で駆動される場合に最大 10 μ A の漏れ電流が発生する可能性があります。

保証/免責

これらの製品は、<http://japan.xilinx.com/warranty.htm> に示すザイリンクスの限定保証に従います。この限定保証は、当時のザイリンクス製品データシートに記載されている仕様以外のアプリケーションまたは環境にて製品を使用した場合には適用されません。製品はフェイルセーフとして設計されておらず、人身障害または死亡をもたらす可能性のあるアプリケーションでの使用は保証されていません。このようなアプリケーションで製品を使用する場合は、ユーザーが該当する法律および規制に従うものとします。

その他のリファレンス

アプリケーション ノート

<http://japan.xilinx.com/bvdocs/appnotes/xapp784.pdf>

(安定したデザイン設計)

<http://japan.xilinx.com/bvdocs/appnotes/xapp375.pdf>

(タイミング モデル)

<http://japan.xilinx.com/bvdocs/appnotes/xapp376.pdf>

(ロジック エンジン)

<http://japan.xilinx.com/bvdocs/appnotes/xapp377.pdf>

(低電力デザイン)

<http://japan.xilinx.com/bvdocs/appnotes/xapp378.pdf>

(アドバンス機能)

<http://japan.xilinx.com/bvdocs/appnotes/xapp379.pdf>

(高速デザイン)

<http://japan.xilinx.com/bvdocs/appnotes/xapp380.pdf>

(クロスポイント スイッチ)

<http://japan.xilinx.com/bvdocs/appnotes/xapp381.pdf>

(デモ ボード)

<http://japan.xilinx.com/bvdocs/appnotes/xapp382.pdf>

(I/O 特性)

<http://japan.xilinx.com/bvdocs/appnotes/xapp383.pdf>

(シングル エラー訂正およびダブル エラー訂正)

<http://japan.xilinx.com/bvdocs/appnotes/xapp384.pdf>

(DDR SDRAM インターフェイス)

<http://japan.xilinx.com/bvdocs/appnotes/xapp387.pdf>

(PicoBlaze マイクロコントローラ)

<http://japan.xilinx.com/bvdocs/appnotes/xapp388.pdf>

(オンザフライ リコンフィギュレーション)

<http://japan.xilinx.com/bvdocs/appnotes/xapp389.pdf>

(CoolRunner-II の電源)

<http://japan.xilinx.com/bvdocs/appnotes/xapp393.pdf>

(8051 マイクロコントローラ インターフェイス)

<http://japan.xilinx.com/bvdocs/appnotes/xapp394.pdf>

(携帯 SDRAM との接続)

<http://japan.xilinx.com/bvdocs/appnotes/xapp399.pdf>

(CoolRunner-II での VREF ピンの割り当て)

CoolRunner-II データシート

<http://japan.xilinx.com/bvdocs/publications/ds090.pdf>

(CoolRunner-II ファミリ データシート)

<http://japan.xilinx.com/bvdocs/publications/ds310.pdf>

(XC2C32A データシート)

<http://japan.xilinx.com/bvdocs/publications/ds311.pdf>

(XC2C64A データシート)

<http://japan.xilinx.com/bvdocs/publications/ds093.pdf>

(XC2C128 データシート)

<http://japan.xilinx.com/bvdocs/publications/ds094.pdf>

(XC2C256 データシート)

<http://japan.xilinx.com/bvdocs/publications/ds095.pdf>

(XC2C384 データシート)

<http://japan.xilinx.com/bvdocs/publications/ds096.pdf>

(XC2C512 データシート)

CoolRunner-II ホワイト ペーパー

<http://japan.xilinx.com/bvdocs/whitepapers/wp170.pdf>

(セキュリティ)

パッケージ

[パッケージ仕様](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂
2002 年 1 月 3 日	1.0	初期リリース
2002 年 7 月 4 日	1.1	改訂およびアップデート
2002 年 7 月 24 日	1.2	改訂およびアップデート
2002 年 9 月 24 日	1.3	「I/O の電力投入時の特徴」への追加
2003 年 1 月 28 日	1.4	「その他のリファレンス」への追加
2003 年 2 月 26 日	1.5	マイナーな改訂
2003 年 3 月 12 日	1.6	「品質と信頼性のパラメータ」でのマイナーな改訂
2003 年 10 月 9 日	1.7	ヒューレット パッケージから Agilent、OFR から OTF に改訂。その他改訂。
2004 年 1 月 26 日	1.8	データシート、アプリケーション ノート、およびデバイス パッケージへのハイパーリンクの追加
2004 年 2 月 26 日	1.9	「I/O の電力投入時の特徴」への変更 (11 ページ)。T _{FIN} から T _{DIN} への変更。シュミットトリガ I/O 互換情報の追加。T _{SOL} 仕様の追加。
2004 年 5 月 21 日	2.0	XC2C32A および XC2C64A デバイスの追加
2004 年 7 月 30 日	2.1	鉛フリーの記述。各データシートと一致させるため T _{SU} および F _{system} への変更。

日付	バージョン	改訂
2005年1月10日	2.2	プログラム オプション情報の追加 (11 ページ)
2005年3月7日	2.3	表 1 の T_{PD} 、 T_{SU} 、 T_{CO} 、および $F_{SYSTEM1}$ を変更。廃盤のホワイト ペーパーへのハイパーリンクの削除。表 5 の IOSTANDARD の変更。表 2 の DC 特性の追加。
2005年4月15日	2.4	XC2C128 デバイス向けに $F_{SYSTEM1}$ に変更
2005年6月28日	2.5	製品仕様に移動
2006年3月20日	2.6	免責事項の追加。「グローバル信号」セクションに GCK、GSR、および GTS が汎用の I/O として使用可能であることを追加。
2006年7月24日	2.7	ホットプラグインの推奨事項への変更 (V_{CCINT} を V_{CCIO} の前に電源を投入する件) (13 ページ)。
2006年12月7日	2.8	JTAG プログラム中の I/O ピンのステータスの説明の追加 (12 ページ)。プログラム中の電源ピンに関するメモの追加。アプリケーション ノート XAPP389 へのハイパーリンクの追加 (12 ページ)。クロック分周器の説明を追加 (9 ページ)。
2007年2月15日	2.9	アドバンス機能の説明の追加。周囲温度仕様の追加。