

特徴

- 最大 5Mb/s のダウンロード速度
- iMPACT ソフトウェアと共に使用することによりザイリンクス ケーブル III の 8 倍以上の速度を達成
- エンベデッド開発キット (EDK) との互換性
- ChipScope™ Pro Analyzer との互換性
- 次のザイリンクス デバイスをインシステム コンフィギュレーション可能
 - Virtex™ シリーズ FPGA
 - Spartan™ シリーズ FPGA
 - XC9500/XC9500XL/XC9500XV CPLD
 - CoolRunner™ (XPLA3)/CoolRunner-II CPLD
 - XC18V00 ISP PROM
 - XC4000 シリーズ FPGA
 - プラットフォーム フラッシュ PROM
- LED ステータス インジケータ
- 正確な I/O 電圧を自動的に感知して対応
- 5V (TTL)、3.3V (LVTTL)、2.5V、1.8V、および 1.5V で動作するデバイスに接続可能
- シリアル ペリフェラル インターフェイス (SPI) を使用してシリアル アクセスのフラッシュ PROM をインシステム プログラム可能
- IEEE 1149.1 規格 (JTAG)、ザイリンクス スレーブ シリアルモード、およびシリアル ペリフェラル インターフェイス (SPI) のサポート
- J Drive IEEE 1532 規格プログラム エンジンとの互換性
- 高速リボン ケーブル
- IEEE 1284 規格レベル 2 電気仕様との互換性
- キーボード/マウス スプリッタ ケーブルまたは AC 電源装置による外部電源供給
- 高速、双方向通信向けの ECP 準拠 I/O コントローラとの互換性
- 開発向け (製品のプログラムでの使用は推奨しません)

パラレル ケーブル IV の概要

ザイリンクス パラレル ケーブル IV (PC4) (図 1) は、ザイリンクス FPGA および ISP PROM デバイスをコンフィギュレーションまたはプログラムする高速ダウンロード ケーブルです。このケーブルは、IEEE 1284 規格の ECP プロトコルとザイリンクス iMPACT ソフトウェアを使用することにより、既存ソリューションの 8 倍以上のダウンロード速度を達成できます。このケーブルでは、ターゲットの I/O 電圧を自動的に感知して、1.5V ~ 5V の幅広い I/O 規格に対応できます。PC4 は、デスクトップ環境で使用できるように設計されています。

PC4 では、広く普及している業界規格 IEEE 1149.1 バウンダリ スキャン (JTAG)、ザイリンクス スレーブ シリアルモード (ザイリンクス FPGA デバイス用)、およびシリアル ペリフェラル インターフェイス (SPI) (シリアル アクセスのフラッシュ PROM プログラム用) がサポートされています。このケーブルは、リボン ケーブルを使用してターゲット システムに接続します。このリボン ケーブルには、GND ラインがあるのでクロストークを削減してシグナル インテグリティを向上できます。

PC4 の電源は、電源装置または標準の PC マウスまたはキーボード接続に接続することで外部から供給されます。2 色のステータ

ス LED では、動作の有無およびターゲットの参照電圧が表示されます。



DS097_01_112801

図 1: ザイリンクス パラレル ケーブル IV

ホスト コンピュータへの接続

PC4 は、ビルト インの IEEE 1284 規格 DB25 パラレル (プリンタ) ポート コネクタを介して Windows 2000、Windows XP、または Linux (1) オペレーティング システムに接続します。

ECP モード がイネーブルにされていない場合は、PC4 はデフォルトで互換性のあるモードになるため、記載されているような最適な速度では動作しません。

メモ :

1. オペレーティング システム要件の詳細は、ISE オンライン ヘルプの「OS サポート」を参照してください。
2. サードパーティの IEEE 1284 アドオン アダプタとの互換性については記載予定はありません。また、このようなアダプタをサポートする予定もありません。
3. ECP モードがイネーブルかどうかは、ホスト PC の BIOS を参照してください。

高速リボン ケーブル

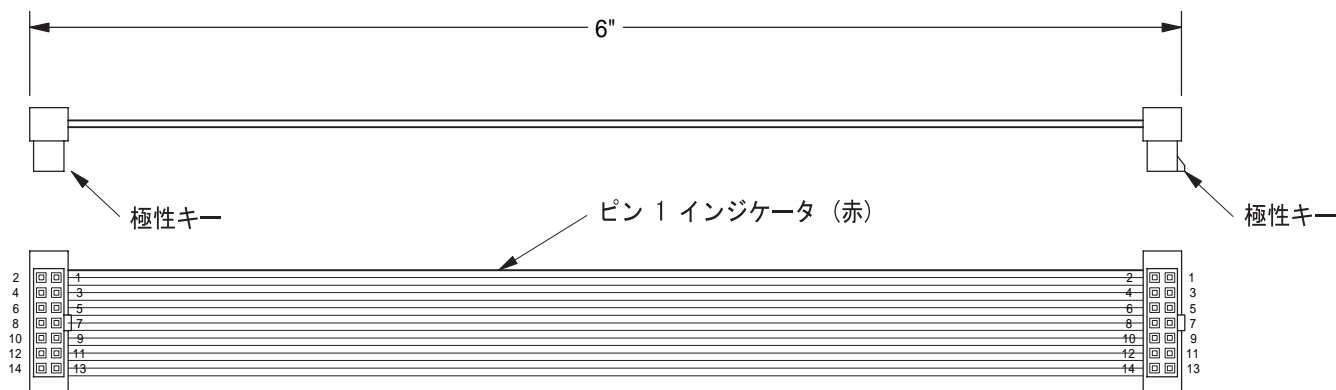
IDC (Insulation Displacement Connector) リボン ケーブルを使用してターゲット システムに接続することを推奨します。詳細は、[図 2](#) および [図 3](#) を参照してください。このケーブルには、信号/グランド ペアが多数含まれるため、接続でエラーが発生しませ

ん。ターゲット システムで必要となるのは、小さな対応コネクタのみです。[図 4](#) にコネクタのピン割り当ておよびサンプルのベンダー パーツ番号、[図 5](#) に POD およびその寸法を示します。

PC4 は、フライング リード ワイヤを使用してもターゲット システムに接続できますが、PC4 には付属していません。フライング リード ワイヤおよび追加のリボン ケーブルは、米国の場合は[ザイリンクス オンライン ストア](#)、日本の場合は[最寄りの販売代理店](#)から入手してください。



図 2：高速リボン ケーブル

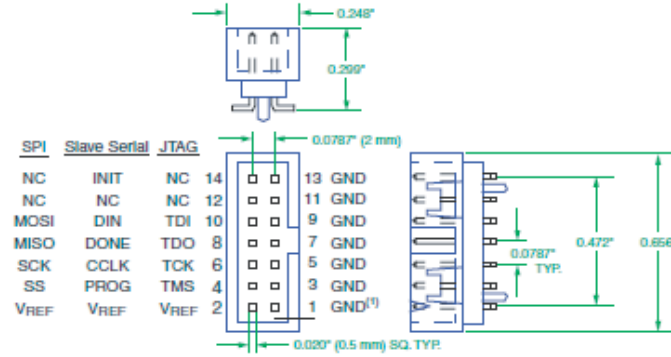


メモ :

1. リボン ケーブル 14 芯線、1mm ピッチ フラット ケーブル、28 AWG (7X36) 銅撚線導体、グレー PVC (ピン 1 エッジ赤)
2. 2mm リボン コネクタ メス型 IDC 接続、ベリリウム銅めっき (接触部)、50μ インチ ニッケル下地付き 30μ インチ金めっき、2mm ピッチ、0.5mm 平方オス型コネクタ対応

図 3：リボン ケーブルの図

ds097 03 081506

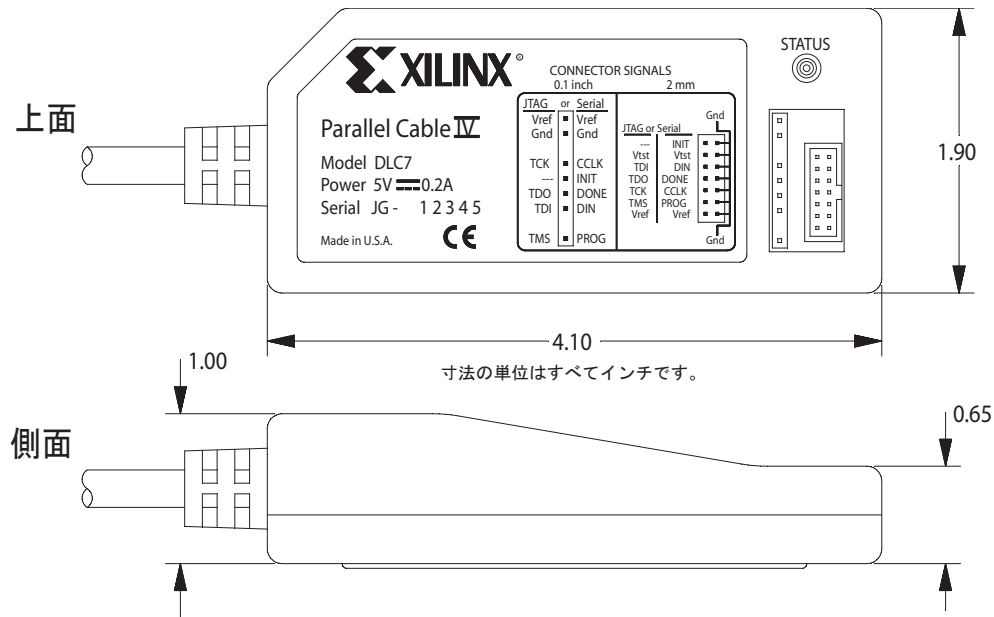


メモ :

1. ピン 1 は真のデジタル グランドではありません。ターゲット システムのデジタル グランドに接続する必要はありません。詳細は、ピン割り当て (表 2) を参照してください。
2. コネクタはリボンケーブル用 2 X 7 (14 ポジション) 2mm 表面実装タイプです。Molex 社製パーツ番号は 87832-1420 です。スルーホール タイプもあります。

DS097_04_102106

図 4 : ターゲット インターフェイス コネクタの信号割り当て



ds097_06.eps

図 5 : POD の図 (寸法含む)

表 1 に、PC4 のリボン ケーブルと互換性があるサードパーティのコネクタを示します。

表 1 : 2mm ピッチ、14 導体リボン ケーブル対応コネクタ

製造業者(1)	SMT、垂直	SMT、ライトアングル	スルーホール、垂直	スルーホール、ライトアングル	Web サイト
Molex 社	87832-1420	なし	87831-1420	87833-1420	www.molex.com
FCI 社	98424-G52-14	なし	98414-G06-14	98464-G61-14	www.fciconnect.com
Comm Con Connectors 社	2475-14G2	なし	2422-14G2	なし	www.commcon.com

メモ :

1. 一部の製造業者のピン割り当ては、ザイリンクスのピン割り当てに準拠しない場合があります。詳細は、製造会社のデータシートを参照してください。
2. 追加のリボン ケーブルは、[ザイリンクス オンライン ストア](http://www.xilinx.com) (米国) または [最寄の販売代理店](http://www.xilinx.com) (日本) より入手可能です。

ピン配置割り当て

表 2: PC4 ターゲット インターフェイス コネクタの信号割り当て

ピン名 ⁽¹⁾			タイプ	フライング リード ワイヤ	リボン ケーブル	説明
JTAG	スレーブ シリアル	SPI				
TDI			出力	2	10	テスト データ入力。JTAG 操作のターゲット シリアル入力 データストリーム ピンで、JTAG チェーン最初の ISP デバイスの TDI ピンに接続する必要があります。
TDO			入力	3	8	テスト データ出力。JTAG 動作のターゲット シリアル出力 データストリーム ピンで、JTAG チェーン最後の ISP デバイスの TDO ピンに接続する必要があります。
TCK			出力	5	6	テスト クロック。JTAG 動作のクロック信号で、同じデータ ストリームを共有するすべてのターゲット ISP デバイスの TCK ピンに接続する必要があります。
TMS			出力	1	4	テスト モード セレクト。ターゲット ISP デバイスに対し適切な TAP ステート遷移を確立する JTAG モード信号で、同じデータストリームを共有するすべてのターゲット ISP デバイスの TMS ピンに接続する必要があります。
	INIT		入力/ 出力	4	14	コンフィギュレーションの初期化。コンフィギュレーション メモリが消去されたことを示すピンで、1つのデバイスから構成されるシステムではターゲット FPGA の INIT_B ピンに、デイジーチェーン コンフィギュレーションではすべての FPGA の INIT_B ピンに接続する必要があります。
	DIN		出力	2	10	コンフィギュレーション データ入力。ターゲット FPGA の シリアル入力データストリーム ピンで、1つのデバイスから構成されるシステムではターゲット FPGA の DIN ピンに、デイジーチェーン コンフィギュレーションではすべての FPGA の DIN ピンに接続する必要があります。
	DONE		入力	3	8	コンフィギュレーション完了。ターゲット FPGA でコンフィギュレーション ビットストリームの受信が完了したことを示すピンで、デイジーチェーン コンフィギュレーションではすべての FPGA の DONE ピンに接続する必要があります。コンフィギュレーション プロセスの完了を保証するために、DONE ピンは CCLK の数サイクル分 High のままになります。
	CCLK		出力	5	6	コンフィギュレーション クロック出力。スレーブ シリアル コンフィギュレーション モードでは、CCLK サイクルごとに 1 ビットずつ FPGA に読み込まれてコンフィギュレーションされます。1つのデバイスから構成されるシステムではターゲット FPGA の CCLK ピンに、デイジーチェーン コンフィギュレーションではすべての FPGA の CCLK ピンに接続する必要があります。
	PROG		出力	1	4	コンフィギュレーション リセット。ターゲット FPGA を強制的にリコンフィギュレーションするピンで、1つのデバイスから構成されるシステムではターゲット FPGA の PROG_B ピンに、デイジーチェーン コンフィギュレーションではすべての FPGA の PROG_B ピンに接続する必要があります。

表 2: PC4 ターゲット インターフェイス コネクタの信号割り当て (続き)

ピン名 ⁽¹⁾			タイプ	フライング リード ワイヤ	リボン ケーブル	説明
JTAG	スレーブ シリアル	SPI				
		MOSI	出力	2	10	SPI マスタ出力スレーブ入力。SPI 動作に対するターゲット シリアル入力データストリーム ピンで、SPI フラッシュ PROM の D ⁽²⁾ ピンに接続する必要があります。
		MISO	入力	3	8	SPI マスタ入力スレーブ出力。SPI 動作に対するターゲット シリアル出力データストリーム ピンで、SPI フラッシュ PROM の D ⁽²⁾ ピンに接続する必要があります。
		SCK	出力	5	6	SPI クロック。SPI 動作に対するクロック信号ピンで、SPI フラッシュ PROM の C ⁽²⁾ ピンに接続する必要があります。
		SS	出力	1	4	SPI セレクト信号。アクティブ Low の SPI チップ セレクト 信号で、SPI フラッシュ PROM の S ⁽²⁾ ピンに接続する必要があります。
V _{TST}	V _{TST}	V _{TST}	出力		12	テスト ドライバ。ザイリンクスによる診断目的に確保されているため、ターゲット回路に接続しないでください。
V _{REF}	V _{REF}	V _{REF}	入力	7	2	ターゲット参照電圧。SPI、JTAG、またはスレーブ シリアル インターフェイスに電源を供給するターゲット システムの電圧バスに接続する必要があります。たとえば、JTAG インターフェイスを使用して CoolRunner II デバイスと通信する場合は、V _{REF} をターゲットの VAUX バスに接続する必要があります。V _{REF} は、調整電圧に接続する必要があります。電流を制限する抵抗を含めることはできません。
GND	GND	GND	-	6	1 ⁽³⁾ 、3、5、7、9、11、13	デジタル グランド。リボン ケーブル コネクタの奇数番のピン (1 ⁽¹⁾ 、3、5、7、9、11、13) すべてをデジタル グランドに接続する必要があります。グランドをすべて使用すると、クロストークを最小限に抑えることができます。

メモ:

- 表示されていないピンには、接続がありません。
- 表示されている SPI ピンの名前は、STMicroelectronics 社の SPI フラッシュ メモリのピン名と一致しています。ほかのベンダーの互換 SPI デバイスのピン名は、異なる可能性があります。各デバイスのデータシートで、ピン名を確認してください。
注意: ターゲット SPI デバイスに接続されている FPGA の PROG_B ピンは、競合が発生しないように SPI のプログラム中は Low にアサートする必要があります。
- ピン 1 は、ケーブルの接続識別子として使用できるように、ターゲット システムのデジタル グランドから分離しないでください。ピン 1 は、診断目的に使用される仮想グランドで、抵抗ネットワークを介してバイアスされます。通常の操作では、ピン 1 はターゲット システムのデジタル グランドに接続する必要があります。
注意: ターゲット システムのデジタル グランド プレーンには、ピン 1 以外も接続されている必要があります。

TDO/MISO タイミング仕様

JTAG または SPI コンフィギュレーション モードでは、TDO/MISO 信号をアサートするときに TCK/SCK 信号の立ち上がりエッジに相対した最小限のセットアップ タイムを満たす必要があります。ターゲット ハードウェアに含まれるバッファまたはマルチプレクサでは、後続のセットアップ仕様を違反しない限り位相遅延を追加できます。図 6 に、PC4 のデフォルトのコンフィギュレーション速度である 5MHz の場合の TCK/SCK 信号と TDO/MISO_{internal} 信号の関係を示します。

TDO/MISO_{internal} 信号は、ターゲット デバイスで生成される TDO/MISO 信号を遅延した信号です。この遅延は、ターゲット

システムのバッファ、マルチプレクサ、および分散キャパシタンスなどで発生します。

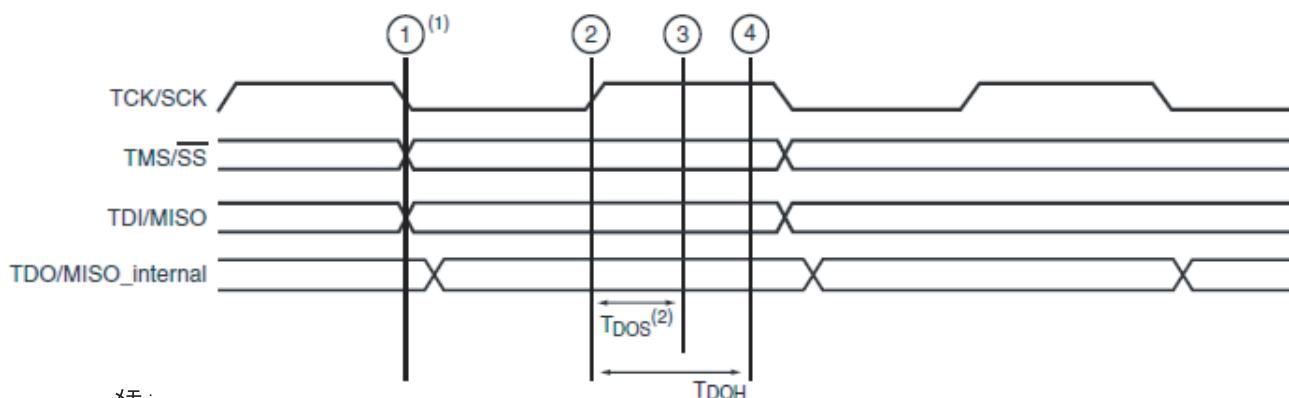
PC4 の出力信号の遷移および入力信号のラッチ イベントは、すべて 40MHz 内部システム クロックに同期しています。JTAG モードでは、TCK 信号の立ち下がりエッジでターゲット JTAG チェーンの最後のデバイスによって TDO 信号がアサートされます (図 6 の 1)。SPI モードでは、SCK 信号の立ち下がりエッジで SPI デバイスによって MISO がアサートされます (図 6 の 1)。TDO/MISO_{internal} 信号のセットアップ タイムおよびホールド

タイムは、TCK/SCK 信号の次の立ち上がりエッジに参照されま
す(図 6 の 2)。

PC4 が最大クロック周波数 5MHz で動作している場合、
TDO/MISO_internal 信号は TCK/SCK 信号の各立ち下がりエ
ッジの 12.5ns 前にサンプリングされます(図 6 の 4)。セットアップ

タイム (T_{DOS} 、図 6 の 3) は、TCK/SCK 信号の立ち上がりエ
ッジ(図 6 の 2)に相対して指定されます。

PC4 のコンフィギュレーション クロック レートを低い周波数に
変更する場合は、バッファを介して伝播遅延のマーヅンを追加す
る必要があります。5MHz 動作で指定されているマーヅンに従っ
ているどのデザインも、低い周波数での動作が保証されます。



- メモ :
1. TDO/MISO 信号は TCK/SCK 信号の立ち下がりエッジの後にアサートされます。
 2. TDO/MISO_internal 信号が安定している必要がある期間です。

DS097_09_111606

図 6 : TDO/MISO タイミング図

表 3 : TDO/MISO タイミング仕様

周波数	表記	パラメータ	最小	最大	単位
5MHz	T_{DOS}	TDO/MISO セットアップ タイム	-42	-	ns
	T_{DOH}	TDO/MISO ホールド タイム	88	-	ns
200kHz	T_{DOS}	TDO/MISO セットアップ タイム	-2442	-	ns
	T_{DOH}	TDO/MISO ホールド タイム	2488	-	ns

ケーブル電源

ホストのインターフェイス ケーブル(図 8)には、短い電源 ジャ
ックが含まれており、+5V の DC 電源ソース 2 つのうちのい
ずれか(ホスト PC のキーボード/マウスまたは外部 AC アダプ
タ)に接続します。キーボードまたはマウスに接続する場
合は、供給電源スプリッタ ケーブルが必要です。スプリッタ
ケーブルは、ホスト PC のマウス ケーブルと標準の 6
ピン ミニ DIN コネクタの間に接続します。

PC4 の動作電流は 100mA 以下で、ターゲットの参照電圧バ
スから SPI/JTAG/スレーブ シリアル バッファには約 15mA が
供給されます。

図 7 に、PC4 ケーブルとノート パソコンの接続を示し
ます。



図 7 : ノート パソコンと PC4 ケーブルの接続

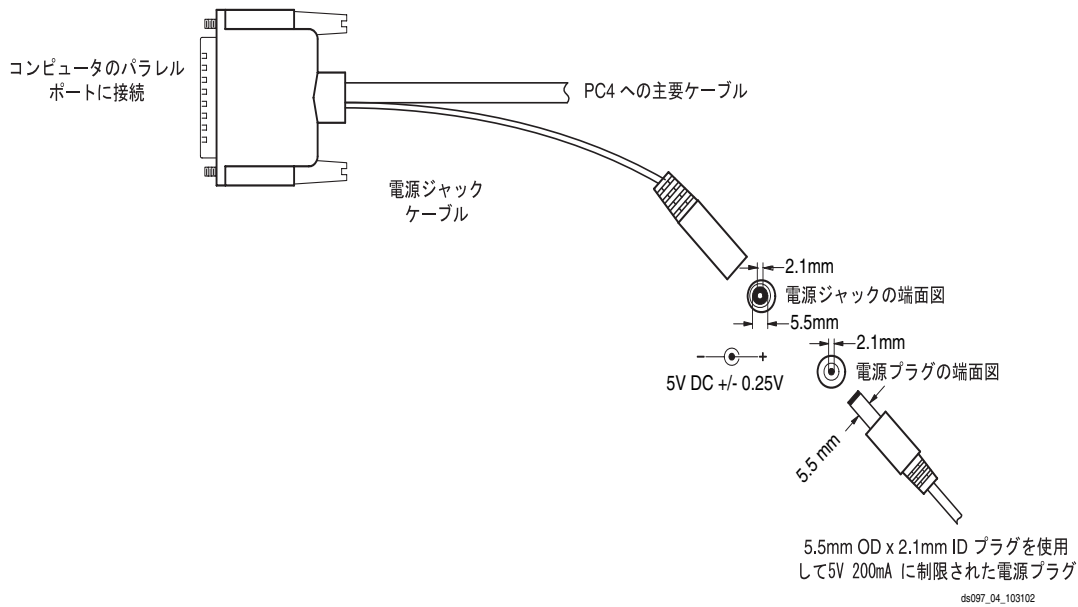


図 8 : PC4 ケーブルとオプションの電源装置の接続

電源ソース

表 4 に、パラレル ケーブル IV と互換性がある電源を提供するサードパーティ情報を示します。

表 4 : 電源ソース (1, 2)

パーツ番号	説明	製造業者	URL	販売代理店	URL
DTS050400UC-P5P-KH ⁽³⁾	5V、12W、三又	CUI Stack	www.cuistack.com	DigiKey	www.digikey.com
DTS050250SUDC-P5P	5V、12W、二又	CUI Stack	www.cuistack.com	DigiKey	www.digikey.com
FW1805-S760 ⁽³⁾	5V、15W、三又	Elpac	www.elpac.com	-	-

メモ :

1. 外部電源からは、最小 DC +5.0V、200mA を供給する必要があります。
2. PC4 のピグテール コネクタは、DC 出力ケーブルに 2.1mm プラグを使用する電源とのみ接続できます。
3. 国際的に利用する場合は、1 つの電源でさまざまな AC プラグに対応できるように 3 又電源を使用してください。

ステータス LED

ステータス LED では、次の表に示すステータスのいずれかを示します。

LED ステータス	動作状況
緑色	検出された POD および V_{REF} に電源供給可能
黄色	検出された POD には電源を供給できますが、 V_{REF} には供給できません。

メモ :

1. LED が点灯しない場合は、電源がマウス/キーボード ポートまたは外部電源コネクタを介して PC4 に接続されているか確認してください。

I/O 電圧の自動センサ

通常 JTAG コンフィギュレーション ピンは 3.3V または 5.0V で動作しますが、新しいデバイスでは最小 1.5V までがサポートされます。スレーブ シリアル コンフィギュレーション ピンの電圧レベルは、1.5V ~ 5.0V までの I/O バンクの電圧に対応します。SPI ピンの電圧レベルは、SPI デバイスの電源 (通常 3.3V または 2.5V) と同じです。このため、PC4 の出力バッファは、受信デバイスで必要な電圧レベルで駆動可能である必要があります。ターゲット デバイスの V_{REF} ピンは、PC4 出力バッファをバイアスするために使用されます。

検出回路では、 V_{REF} ピンが継続して監視されます。 V_{REF} が 1.3V DC 未満になる場合は、電源が投入されていないターゲット システムに接続したときに破損しないように、出力バッファすべてがトライステートになります。

すべてのピンは、グラウンドへのショートおよび最大 5.5V DC までの電圧から保護されています。

IEEE 1284 規格ケーブル仕様

レベル 1 準拠のホスト ポートは最長 10 フィート (3.048m) のケーブル、レベル 2 準拠のホスト ポートは最長 33 フィート (10.06m) のケーブルで動作するように設計されています。PC4 では、レベル 2 準拠のケーブル インターフェイス バッファが使用されます。

詳細は、次の Web サイトを参照してください。

japan.xilinx.com/products/design_resources/config_sol/

PC4 動作特性

絶対最大定格

表記	説明	値	単位
V _{CC}	電源電圧	5.5	V
T _A	動作電圧範囲	0× ~ +70×	C
T _{STG}	ストレージ温度範囲	-40× ~ +85×	C
P _D	消費電力	750	mW
I _{OUT}	DC 出力電流 (TDI、TCK、TMS、INIT)	±32	mA

推奨される動作条件

表記	パラメータ	状況	最小	最大	単位
V _{CC}	DC 電源電圧	外部 P/S	4.75	5.25	V
V _{REF}	ターゲット参照電圧		1.5	5.5	V
I _{CC}	動作電流		60	100	mA
I _{REF}	参照電流		6.0	15.0	mA
V _{OH}	最大出力電圧	V _{REF} = 3.3V DC、I _{OH} = -4mA	2.7	-	V
V _{OL}	最小出力電圧	V _{REF} = 3.3V DC、I _{OL} = +4mA	-	0.36	V
V _{IH}	最大入力電圧	V _{REF} > 1.5V	1.2	-	V
V _{IL}	最小入力電圧	V _{REF} > 1.5V	-	0.4	V

注文情報

デバイス番号は HW-PC4 です。

シグナル インテグリティの問題

PC4 では、TCK、TMS、および TDI を駆動するのにスルーレートの高いバッファが使用されるため、伝送ラインへの悪影響を避けるため、正しい PCB レイアウトおよび信号終端に細心の注意を払う必要があります。ザイリンクス Web サイトにある [シグナル インテグリティ](#) ページおよび [アプリケーション ノート XAPP361 『Planning for High Speed XC9500XV Designs』](#) を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂
2001年11月26日	1.0	初期リリース
2001年11月30日	1.1	アドバンスド製品仕様に変更
2002年1月21日	1.2	表 4 のリンクの修正
2002年2月6日	1.3	8 ページの「シグナル インテグリティの問題」を追加。
2002年3月8日	1.4	注文情報の追加
2002年3月12日	1.5	1 ページの「特徴」を改訂
2003年3月3日	1.6	TDO タイミング仕様、ピン配置の説明、デスクトップ環境の明示、図 7 の追加およびリンク切れの修正
2003年4月14日	1.7	サポートされるデバイスのリストに Spartan-3 を追加。その他改訂。
2003年4月29日	1.8	1 ページの「特徴」へのプラットフォーム フラッシュ ファミリの追加
2003年5月21日	1.9	7 ページ目に含まれたリンク切れの修正
2004年1月15日	2.0	<ul style="list-style-type: none"> データシートステータスを Preliminary (暫定) から Advance (アドバンス) に変更 準拠 PC オペレーティング システムのアップデート (Windows 2000 および Windows XP) 図 5 (POD 図) の追加 FCI コネクタのパート番号の更新 (表 1) 「PCIV」から「PC4」にケーブルの名称を変更。
2004年8月25日	2.1	<ul style="list-style-type: none"> 図 4: ピン 1 を仮想グランド ピンと示すメモおよびその使用方法を追加。Molex コネクタのパーツ番号の修正。Digi-Key パーツ番号の削除。 表 1: ピン割り当てに関する脚注 (1) を追加。Molex コネクタのパーツ番号の修正。 表 2: 仮想グランドであるピン 1 についての説明を GND ピンの定義に追加。 表 4: 表の 1 行目に含まれるの電源ソースのパーツ番号を DTS050400UC-P5P-KH に修正。
2005年11月30日	2.2	<ul style="list-style-type: none"> 1 ページの「特徴」のサポートされるデバイスにすべての Spartan シリーズおよび Virtex シリーズの FPGA を含め、無効になった System ACE MPM を削除。 2 ページの「ホスト コンピュータへの接続」のサポートされるオペレーティング システムの更新。 リンク切れの更新
2006年11月27日	2.3	<ul style="list-style-type: none"> マイナーな更新。 シリアル アクセス フラッシュ PROM のプログラムのサポートの追加
2006年11月28日	2.3.1	<ul style="list-style-type: none"> 図 4: 誤った内容の削除