



Virtex-5 ファミリ概要

DS100 (v5.0) 2009 年 2 月 6 日

Production 製品仕様

概要

Virtex®-5 ファミリは、FPGA 市場において最新かつ最高性能を誇る FPGA デバイスです。2 世代目となるコラムベースの ASMBL™ (アドバンスドシリコン モジュラー ブロック) アーキテクチャを採用した Virtex-5 ファミリは、FPGA ファミリ最多の 5 つのプラットフォーム (サブファミリ) で構成されています。各プラットフォームは、それぞれの機能を異なる比率で備えており、広範に及ぶ高度なロジック デザインに対応します。Virtex-5 FPGA は、最先端かつ最高性能のロジック ファブリックであるだけでなく、ハード IP として多くのシステム レベル ブロックを搭載しています。これらのブロックには、36Kb ブロック RAM/FIFO、2 世代目 25 x 18 DSP スライス、デジタル制御インピーダンスを備えた SelectIO™ テクノロジ、ChipSync™ ソース同期インターフェイス ブロック、DCM (デジタルクロック マネージャ) および PLL (位相ロック ループ) クロック ジェネレータ付きクロック マネージメント タイル、およびアドバンス コンフィギュレーション オプションがあります。さらに、プラットフォーム別の機能として、機能改善されたシリアル コネクティビティ用に消費電力を低減した高速シリアル トランシーバ ブロック、PCI Express® 標準に準拠したインテグレイテッド エンドポイント ブロック、トライモード イーサネット MAC (メディア アクセス コントローラ)、そして高性能な PowerPC® 440 マイクロプロセッサ内蔵ブロックが搭載されています。このような機能により、性能と機能性に優れた高度なロジック デザインを FPGA ベースのシステムに構築できます。65nm の銅配線プロセス技術を採用した Virtex-5 FPGA は、ASIC テクノロジーに代わるプログラマブルデバイスであり、最先端のシステム デザインには、FPGA の持つプログラマビリティが不可欠となります。Virtex-5 FPGA は、その画期的なロジック、DSP、ハード/ソフト マイクロプロセッサ、およびコネクティビティの性能により、高性能ロジック設計、DSP 設計、エンベデッドシステム設計の要件に対応する最適なソリューションを提供します。Virtex-5 の LXT、SXT、TXT、FXT プラットフォームには、高度な高速シリアル コネクティビティおよびリンク/トランザクション層が含まれています。

Virtex-5 FPGA の特長

- LX、LXT、SXT、TXT、FXT の 5 つのプラットフォーム
 - Virtex-5 LX: 高性能汎用ロジック アプリケーション
 - Virtex-5 LXT: 高速シリアル コネクティビティを備えた高性能ロジック
 - Virtex-5 SXT: 高速シリアル コネクティビティを備えた高性能信号処理アプリケーション
 - Virtex-5 TXT: 集積度が 2 倍の高速シリアル コネクティビティを備えた高性能システム
 - Virtex-5 FXT: 高速シリアル コネクティビティを備えた高性能エンベデッドシステム
- プラットフォーム間の互換性
 - 調整可能な電圧レギュレータを使用することにより、同一パッケージの LXT、SXT、FXT デバイスは、フットプリントに互換性がある
- 最先端、最高性能、最適なりソース使用率を実現した FPGA ファブリック
 - 6 入力のルックアップ テーブル (LUT) テクノロジ
 - デュアル 5 入力 LUT オプション
 - 配線を改善し、ホップ数を削減
 - 64 ビット分散 RAM オプション
 - SRL32/デュアル SRL16 オプション
- クロック マネージメント タイル (CMT) クロッキング
 - DCM (デジタル クロック マネージャ) ブロックによる遅延のないバッファリング、周波数合成、クロック位相シフト
 - PLL による入力ジッタのフィルタリング、遅延のないバッファリング、周波数合成、位相を一致させたクロック分周
- 36Kb ブロック RAM/FIFO
 - 完全なデュアルポート RAM ブロック
 - プログラム可能な FIFO ロジック オプションを拡張
 - 次を構成可能
 - 最大 x36 ポート幅の完全デュアルポート
 - 最大 x72 ポート幅の単純デュアルポート
 - 内蔵型エラー訂正回路 (オプション)
 - 2 つの独立 18Kb ブロックとしてプログラム可能
- 高性能パラレル SelectIO テクノロジ
 - 1.2V ~ 3.3V の I/O をサポート
 - ChipSync™ テクノロジを使用したソース同期インターフェイス
 - デジタル制御インピーダンス (DCI) アクティブ終端
 - 柔軟かつ精密な I/O バンキング
 - 高速メモリ インターフェイスをサポート
- 機能拡張した DSP48E スライス
 - 25 x 18 の 2 の補数乗算
 - 加算器、減算器、アキュムレータ オプション
 - パイプライン化オプション
 - ビット単位の演算オプション
 - 専用カスケード接続
- 柔軟性のあるコンフィギュレーション オプション
 - SPI および Parallel Flash インターフェイス
 - フォールバック リコンフィギュレーション専用ロジックで、複数のビットストリームをサポート
 - バス幅の自動検出機能
- すべてのデバイスにシステム モニタ機能が搭載
 - オンチップ/オフチップでの温度モニタリング
 - オンチップ/オフチップでの電源モニタリング
 - モニタ全体に JTAG でアクセス

- PCI Express デザイン用エンドポイント ブロックを内蔵
 - LXT、SXT、TXT、FXT プラットフォーム
 - PCI Express Base Specification 1.1 に準拠
 - 各ブロックで x1、x4、x8 レーンをサポート
 - RocketIO™ トランシーバと共に機能
- トライモード 10/100/1000Mb/s イーサネット MAC
 - LXT、SXT、TXT、FXT プラットフォーム
 - RocketIO トランシーバは PHY として使用、あるいは、多数のソフト MII (Media Independent Interface) オプションを使用して外部 PHY に接続可能
- RocketIO GTP トランシーバは 100Mb/s ~ 3.75Gb/s で動作
 - LXT および SXT プラットフォーム
- RocketIO GTX トランシーバは 150Mb/s ~ 6.5Gb/s で動作
 - TXT および FXT プラットフォーム
- PowerPC 440 マイクロプロセッサ
 - FXT プラットフォーム
 - RISC アーキテクチャ
 - 7 段のパイプライン
 - 32Kbyte の命令およびデータ キャッシュを含む
 - 最適化されたプロセッサインターフェイス ストラクチャ (クロスバースイッチ)
- 65nm、銅配線、CMOS プロセス技術
- 1.0V コア電圧
- シグナル インテグリティに優れたフリップチップ パッケージを標準および鉛フリー パッケージの両方で提供

表 1 : Virtex-5 FPGA ファミリ

デバイス	CLB (コンフィギャブル ロジック ブロック)			DSP48E スライス (2)	ブロック RAM ブロック			CMT(4)	PowerPC プロセッサ ブロック	PCI Express エンド ポイント ブロック	イーサ ネット MAC ブロック(5)	RocketIO GTP トランシーバ 最大数(6)		総 I/O バンク 数(8)	最大 ユー ザー I/O 数(7)
	アレイ (行 x 列)	Virtex-5 スライス (1)	最大分散 RAM (Kb)		18Kb(3)	36Kb	最大 (Kb)					GTP	GTX		
XC5VLX30	80 x 30	4,800	320	32	64	32	1,152	2	N/A	N/A	N/A	N/A	N/A	13	400
XC5VLX50	120 x 30	7,200	480	48	96	48	1,728	6	N/A	N/A	N/A	N/A	N/A	17	560
XC5VLX85	120 x 54	12,960	840	48	192	96	3,456	6	N/A	N/A	N/A	N/A	N/A	17	560
XC5VLX110	160 x 54	17,280	1,120	64	256	128	4,608	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX155	160 x 76	24,320	1,640	128	384	192	6,912	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX220	160 x 108	34,560	2,280	128	384	192	6,912	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX330	240 x 108	51,840	3,420	192	576	288	10,368	6	N/A	N/A	N/A	N/A	N/A	33	1,200
XC5VLX20T	60 x 26	3,120	210	24	52	26	936	1	N/A	1	2	4	N/A	7	172
XC5VLX30T	80 x 30	4,800	320	32	72	36	1,296	2	N/A	1	4	8	N/A	12	360
XC5VLX50T	120 x 30	7,200	480	48	120	60	2,160	6	N/A	1	4	12	N/A	15	480
XC5VLX85T	120 x 54	12,960	840	48	216	108	3,888	6	N/A	1	4	12	N/A	15	480
XC5VLX110T	160 x 54	17,280	1,120	64	296	148	5,328	6	N/A	1	4	16	N/A	20	680
XC5VLX155T	160 x 76	24,320	1,640	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX220T	160 x 108	34,560	2,280	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX330T	240 x 108	51,840	3,420	192	648	324	11,664	6	N/A	1	4	24	N/A	27	960
XC5VSX35T	80 x 34	5,440	520	192	168	84	3,024	2	N/A	1	4	8	N/A	12	360
XC5VSX50T	120 x 34	8,160	780	288	264	132	4,752	6	N/A	1	4	12	N/A	15	480
XC5VSX95T	160 x 46	14,720	1,520	640	488	244	8,784	6	N/A	1	4	16	N/A	19	640
XC5VSX240T	240 x 78	37,440	4,200	1,056	1,032	516	18,576	6	N/A	1	4	24	N/A	27	960
XC5VTX150T	200 x 58	23,200	1,500	80	456	228	8,208	6	N/A	1	4	N/A	40	20	680
XC5VTX240T	240 x 78	37,440	2,400	96	648	324	11,664	6	N/A	1	4	N/A	48	20	680
XC5VFX30T	80 x 38	5,120	380	64	136	68	2,448	2	1	1	4	N/A	8	12	360
XC5VFX70T	160 x 38	11,200	820	128	296	148	5,328	6	1	3	4	N/A	16	19	640
XC5VFX100T	160 x 56	16,000	1,240	256	456	228	8,208	6	2	3	4	N/A	16	20	680

表 1 : Virtex-5 FPGA ファミリー (続き)

デバイス	CLB (コンフィギャブル ロジック ブロック)			DSP48E スライス (2)	ブロック RAM ブロック			CMT ⁽⁴⁾	PowerPC プロセッサ ブロック	PCI Express エンド ポイント ブロック	イーサ ネット MAC ブロック ⁽⁵⁾	RocketIO GTP トランシーバ 最大数 ⁽⁶⁾		総 I/O バンク 数 ⁽⁸⁾	最大 ユー ザー I/O 数 ⁽⁷⁾
	アレイ (行 x 列)	Virtex-5 スライス (1)	最大分散 RAM (Kb)		18Kb ⁽³⁾	36Kb	最大 (Kb)					GTP	GTX		
XC5VFX130T	200 x 56	20,480	1,580	320	596	298	10,728	6	2	3	6	N/A	20	24	840
XC5VFX200T	240 x 68	30,720	2,280	384	912	456	16,416	6	2	4	8	N/A	24	27	960

- メモ :
1. Virtex-5 FPGA のスライス構造はこれまでの FPGA ファミリーと異なり、各 Virtex-5 FPGA スライスに LUT およびフリップフロップが 4 個ずつ含まれています (従来は、各 2 個)。
 2. 各 DSP48E スライスは、25 x 18 乗算器、加算器、アキュムレータを 1 つずつ含みます。
 3. ブロック RAM は、基本的に 36Kb ですが、2 つの独立した 18Kb ブロックとしても使用できます。
 4. 各クロック マネージメント タイル (CMT) は、2 つの DCM と 1 つの PLL を含みます。
 5. この表では、イーサネット MAC 数をデバイスごとに記載しています。
 6. RocketIO GTP トランシーバは 100Mb/s ~ 3.75Gb/s で動作し、RocketIO GTX トランシーバは 150Mb/s ~ 6.5Gb/s で動作します。
 7. ここに記載の数値には RocketIO トランシーバは含まれません。
 8. コンフィギュレーション バンク 0 を含みます。

Virtex-5 のロジック

- Virtex-4 デバイスに比べ、平均 1 ~ 2 スピード グレード 分の向上
- カスケード可能な 32 ビット シフト レジスタ または 64 ビット 分散メモリ機能
- 斜め方向の配線パターンを持つアーキテクチャにより、最少ホップ数でブロック間接続
- 最大 330,000 個のロジックセル
 - 内部ファブリックに最大 207,360 個のクロック イネーブル付きフリップフロップ (XC5VLX330)
 - 最大 207,360 個の 6 入力ルックアップ テーブル (LUT)、総 LUT ビット数は 1,300 万以上
 - 2 出力のデュアル 5 入力モード LUT によるリソース使用率の向上
 - ロジックを拡張するマルチプレクサおよび I/O レジスタ

550MHz クロック テクノロジ

- 最大 6 個のクロック マネージメント タイル (CMT)
 - 各 CMT に 2 つの DCM と 1 つの PLL - 最大 18 個のクロック ジェネレータ
 - DCM から PLL または PLL から DCM は柔軟に接続可能
 - 精密なクロック スキュー調整および位相シフト
 - 柔軟性の高い周波数合成
 - パフォーマンスにおけるトレードオフを解決する複数の動作モード
 - 入力/出力の最大周波数の改善
 - 高精度のファイン グレイン位相シフト
 - 入力ジッタのフィルタリング
 - 低消費電力
 - 広範囲の位相シフト
- 最適な低ジッタ クロックおよび正確なデューティ サイクルを実現するための差動クロック ツリー構造
- 32 のグローバル クロック ネットワーク
- グローバル クロックに加え、リージョナル クロック、I/O クロック、およびローカル クロック

SelectIO テクノロジ

- 最大 1,200 本のユーザー I/O
- 1.2V ~ 3.3V で動作する多様な I/O 規格をサポート
- 優れた性能を実現
 - 最大 800Mb/s HSTL および SSTL (すべてのシングルエンド I/O)
 - 最大 1.25Gb/s LVDS (すべての差動 I/O ペア)
- オンチップで完全な差動終端
- 入力および出力 I/O で同一エッジをキャプチャ
- 広範なメモリ インターフェイスをサポート

550MHz で動作する統合ブロック メモリ

- 最大 16.4Mb のブロック メモリを搭載
- デュアル 18Kb モード オプションを持つ 36Kb ブロック
- 完全なデュアル ポート RAM セル
- ポート幅を個別に選択 (x1 ~ x72)
 - 完全なデュアル ポートとして使用する場合、各ポート幅は最大 x36
 - 単純なデュアル ポート (一方は読み出しポート、もう一方は書き込みポート)として使用する場合、各ポート幅は最大 x72
 - メモリ ビット およびパリティ / サイドバンド メモリは x9、x18、x36、x72 幅をサポート
 - 32K x 1 ~ 512 x 72 の範囲でコンフィギュレーション (FIFO として構成する場合は、8K x 4 ~ 512 x 72)
- マルチレート FIFO のサポート ロジック
 - 完全にプログラム可能な Almost Full および Almost Empty フラグと Full および Empty フラグ
- フラグが安定して動作する同期 FIFO をサポート
- パフォーマンスを向上させるパイプライン化オプション
- バイト単位の書き込み機能
- 専用カスケード配線により、FPGA の配線リソースを使用せずに 64K x 1 メモリを構成
- 信頼性の高いメモリ要件を満たすため、オプションの ECC 機能を統合
- 18Kb 以下で動作するメモリ対応の低消費電力設計

550MHz DSP48E スライス

- 25 x 18 の 2 の補数乗算
- パフォーマンスを向上させるパイプライン化オプション
- 累積乗算 (MACC) 演算用のオプションとして 48 ビットのアキュムレータがあり、カスケード接続することによって 96 ビットまでの MACC 演算を処理
- 複雑な乗算用または乗算加算用の加算器を統合
- ビット単位での論理演算モード オプション
- C レジスタは各スライスで独立
- DSP コラム内でのカスケード接続に外部配線リソースは不要

ChipSync ソース同期インターフェイスロジック

- SelectIO テクノロジを活用することにより、ソース同期インターフェイスを簡潔化
- すべての I/O ブロックにビットごとのスキュー調整機能 (すべての入力および出力に可変遅延ライン)
- 専用 I/O およびリージョナル クロック リソース (ピン および ツリー)
- すべての I/O に、クロック分周器と共に動作するデータ シリアライザ/デシリアライザ ロジックを内蔵
- 各 I/O で最高 1.25Gb/s のネットワークング/通信インターフェイス

デジタル制御インピーダンス (DCI) アクティブ I/O 終端

- シリーズまたはパラレル終端オプション
- 温度および電圧補正
- ボードレイアウトの簡易化
 - 抵抗数を削減
 - 信号のソースまたはデスティネーションの最適な位置に終端抵抗を配置

コンフィギュレーション

- Platform Flash、標準的な SPI Flash またはパラレル NOR Flash を使用したコンフィギュレーションをサポート
- フォールバック リコンフィギュレーション ロジックを含むビットストリームをサポート
- 256 ビットの AES ビットストリーム暗号化による知的財産 (IP) の保護およびデザインの盗用防止
- ビットストリーム エラーの検出/訂正機能の改善
- バス幅の自動検出機能
- ICAP ポートを使用したパーシャルリコンフィギュレーション

アドバンスド フリップチップ パッケージ

- 検証済みのパッケージ技術によるシグナルインテグリティの向上
 - 信号からリターンまでの誘導性ループの最小化
 - 信号対 PWR/GND の最適な比率
- SSO に起因するノイズを最大 7 分の 1 まで削減
- 標準パッケージおよび鉛フリー パッケージ

システム モニタ

- オンチップでの温度計測 (± 4)
- オンチップでの電源測定 ($\pm 1\%$)
- 使いやすい機能内蔵タイプ
 - 基本動作に設計は不要
 - すべてのオンチップ センサは自動モニタ
 - オンチップ センサの警告しきい値はプログラム可能
- 10 ビット 200kSPS ADC
 - オフセット およびゲイン エラーの自動キャリブレーション
 - $DNL = \pm 0.9$ LSB (最大)
- 最大 17 個の外部アナログ入力チャンネルをサポート
 - 入力範囲は 0V ~ 1V
 - 電圧、温度などの外部要素をモニタ
 - 汎用アナログ入力
- ファブリックまたは JTAG TAP からシステム モニタ全体にアクセス
- FPGA のコンフィギュレーションおよびデバイス電源切断中も動作可能 (JTAG TAP の使用が必要)

65nm 銅配線 CMOS プロセス

- 1.0V のコア電圧
- 12 層メタルによる配線機能の拡大およびハード IP の埋め込みを実現
- トリプル酸化膜テクノロジーの採用による静止消費電力の削減

LXT、SXT、TXT および FXT デバイスに内蔵されたシステム ブロック

PCI Express 準拠のエンドポイント ブロック

- RocketIO GTP トランシーバ (LXT/SXT) および GTX トランシーバ (TXT/FXT) と併用することで、FPGA ロジックの使用率を最小に抑えながら、PCI Express エンドポイント 機能を提供
- PCI Express Base Specification 1.1 に準拠
- PCI Express エンドポイント ブロックまたはレガシ PCI Express エンドポイント ブロック
- レーン幅 : x8、x4、x1
- 電力管理をサポート
- バッファリングにブロック RAM を使用
- 完全にバッファされた送受信
- PCI Express コンフィギュレーション スペースおよび内部コンフィギュレーションにアクセスするためのインターフェイス
- ペイロードの最大サイズまでを完全にサポート
- 最大 6 x 32 ビットまたは 3 x 64 ビットの BAR (あるいは、32 ビットと 64 ビットの組み合わせ)

トライモード イーサネット MAC (メディア アクセス コントローラ)

- IEEE 802.3-2002 仕様に準拠
- 10、100、および 1,000Mb/s で動作
- トライモードのオート ネゴシエーション機能をサポート
- 受信アドレス フィルタ (5 つのアドレス エントリ)
- RocketIO GTP トランシーバと共に動作する、完全にモノリシックな 1000Base-X ソリューション
- ソフト ロジックおよび SelectIO リソースを使用することにより、複数の外部 PHY との接続インターフェイス (RGMI、GMII など) をサポート
- ソフト ロジックおよび RocketIO GTP トランシーバを使用し、SGMII を介して外部 PHY デバイスへ接続可能
- 受信および送信の統計値は、別々のインターフェイスから入手可能
- ホストおよびクライアントに個別のインターフェイス
- ジャンボ フレームをサポート
- VLAN をサポート
- 柔軟性があり、ユーザー設定可能なホスト インターフェイス
- IEEE 802.3ah-2004 単一方向モードをサポート

RocketIO GTP トランシーバ (LXT/SXT のみ)

- 100Mb/s ~ 3.75Gb/s のポーレートで伝送可能な全二重シリアルトランシーバ
- オプションとして、8B/10B、ユーザー定義の FPGA ロジック、エンコーディングなし
- チャンネルボンディングをサポート
- CRC 生成およびチェック
- トランスミッタ用のプリエンファシスまたはプリイコライゼーションがプログラム可能
- 終端および電圧幅がプログラム可能
- レシーバ用のイコライゼーションがプログラム可能
- 受信側での信号検出および LOS (Loss of Signal) の表示機能
- セカンダリ コンフィギュレーションバスを使用して、動作中にリコンフィギュレーション可能
- シリアル ATA (SATA) の Out of Band (OOB) をサポート
- 電氣的アイドル、ビーコン、レシーバ検出、および PCI Express と SATA のスペクトラム拡散クローキングをサポート
- 標準的な消費電力は 100mW 未満
- PRBS ジェネレータおよびチェッカを内蔵

RocketIO GTX トランシーバ (TXT/FXT のみ)

- 150Mb/s ~ 6.5Gb/s のポーレートで伝送可能な全二重シリアルトランシーバ
- 64B/66B および 64B/67B エンコーディング、ユーザー定義の FPGA ロジック、8B/10B エンコーディングおよびエンコーディングなしというオプションをサポートするプログラミングギアボックス
- チャンネルボンディングをサポート
- CRC 生成およびチェック
- トランスミッタ用のプリエンファシスまたはプリイコライゼーションがプログラム可能
- 終端および電圧幅がプログラム可能
- レシーバ用の継続時間イコライゼーションがプログラム可能
- シーバ用の決定フィードバックイコライゼーションがプログラム可能

- 受信側での信号検出および LOS (Loss of Signal) の表示機能
- セカンダリ コンフィギュレーションバスを使用して、動作中にリコンフィギュレーション可能
- OOB サポート (SATA)
- 電氣的アイドル、ビーコン、レシーバ検出、および PCI Express スペクトラム拡散クローキングをサポート
- すべてのラインレートで低消費電力動作

PowerPC 440 RISC コア (FXT のみ)

- PowerPC 440 (PPC440) を搭載
 - 最高 550MHz のコア
 - コアあたり 1000DMIPS 以上
 - 7 段のパイプライン
 - 各サイクルで複数の命令を処理
 - アウトオブオーダー実行
 - 32Kbyte で、64 ウェイ群連想方式のレベル 1 命令キャッシュ
 - 32Kbyte で、64 ウェイ群連想方式のレベル 1 データキャッシュ
 - Book E 準拠
- クロスバーによるシステムパフォーマンスの向上
 - 128 ビットの PLB (プロセッサローカルバス)
 - scatter/gather DMA コントローラを備える
 - DDR2 メモリコントローラへの接続専用のインターフェイス
 - PLB と CPU のクロック比が整数以外のときの自動同期
- APU (Auxiliary Processor Unit) インターフェイスおよびコントローラ
 - PPC440 エンベデッドブロックから FPGA ファブリックベースのコプロセッサへの直接接続
 - 128 ビット幅でパイプライン化した APU のロード/格納
 - 独立した命令のサポート：パイプラインなし
 - カスタム命令のデコードがプログラム可能

アーキテクチャの説明

Virtex-5 FPGA アレイの概要

Virtex-5 デバイスは、高集積かつ高性能なシステム デザイン用のさまざまなコンフィギャブル エLEMENTとエンベデッド コアで構成されたプログラム可能なゲート アレイで、次のような機能を備えています。

- I/O ブロックは、パッケージ ピンと内部コンフィギャブル ロジックのインターフェイスを提供します。プログラマブル I/O ブロック (IOB) では、汎用性に優れた最先端の I/O 規格がサポートされています。また、IOB は、ソース同期インターフェイス用に柔軟に機能する ChipSync ロジックに接続可能です。ソース同期の最適化には、ビットごとのスキュー調整機能 (入力および出力信号の両方で)、データ シリアライザ/デシリアライザ、クロック分周器、専用 I/O およびローカルクロック リソースが使用できます。
- コンフィギャブル ロジック ブロック (CLB) は、ザイリンクス FPGA の基本的なロジック エLEMENTであり、組み合わせおよび同期ロジックに加え、分散メモリ、SRL32シフトレジスタ機能を提供します。Virtex-5 FPGA の CLB は 6 入力ルックアップテーブルテクノロジを基本とし、従来のプログラマブルロジックを越える機能および性能を実現可能にします。
- ブロック RAM モジュールは柔軟性に優れた、完全な 36Kb デュアルポート RAM として機能し、より大規模なメモリブロックを構成するためのカスケード接続が可能です。さらに、Virtex-5 FPGA のブロック RAM は、オプションのプログラマブル FIFO ロジックを備えており、デバイスの使用率を向上させることができます。より小さな RAM ブロックが必要な場合は、各ブロック RAM を 2 つの独立した 18Kb デュアルポート RAM ブロックとして構成可能です。
- カスケード接続可能なエンベデッド DSP48E スライスは、25 x 18 の 2 の補数乗算器、48 ビットの加算器 / 減算器 / アクキュムレータを備え、多数の平行 DSP アルゴリズムをサポートします。また、各 DSP48E スライスを使用してビット単位の論理演算が実行できます。
- クロック マネージメント タイル (CMT) ブロックは、柔軟性に優れ、高性能な FPGA クロッキングを実現します。各 CMT には、2 つのデジタルクロック マネージャ (DCM) ブロック (セルフキャリブレーション、完全デジタル) および 1 つの PLL ブロック (セルフキャリブレーション、アナログ) があり、クロック分散遅延の補正、クロック逡倍 / 分周、コース / ファイン グレイン位相シフト、および入力クロック ジッタのフィルタリング機能を実行します。

LXT、SXT、TXT および FXT デバイスには、次を備えています。

- PCI Express デザイン用のエンドポイント ブロックを備え、x1、x4、または x8 の PCI Express エンドポイント機能を提供します。RocketIO トランシーバと併用することにより、FPGA のロジック使用率を最小限に抑えながら、完全な PCI Express エンドポイントがインプリメントできます。
- 10/100/1000Mb/s イーサネット MAC (メディア アクセス コントローラ) ブロックにより、イーサネット機能が提供されます。

LXT および SXT デバイスは次の機能を持ちます。

- RocketIO GTP トランシーバは、最高 3.75Gb/s で動作可能です。各 GTP トランシーバでは、完全な二重伝送、クロックおよびデータ リカバリ機能をサポートします。

TXT および FXT デバイスは次の機能を持ちます。

- GTX トランシーバは、最高 6.5Gb/s で動作可能です。各 GTX トランシーバでは、完全な二重伝送、クロックおよびデータ リカバリ機能をサポートします。

FXT デバイスは次の機能を持ちます。

- IBM PowerPC 440 RISC CPU が搭載されています。各 PowerPC 440 CPU は最高 550MHz で動作可能です。各 PowerPC 440 CPU は、ハードウェア アクセラレータをサポートする APU (Auxiliary Processor Unit) インターフェイス、そして高データ スループットに対応するクロスバーを備えています。

GRM (汎用配線マトリックス) は、各内部コンポーネント間の配線スイッチのアレイを提供します。プログラマブル ELEMENT はそれぞれスイッチ マトリックスに接続されるため、GRM へは複数の接続が可能となります。プログラマブル インターコネクト全体は階層構造になっており、高速デザインをサポートするよう設計されています。Virtex-5 デバイスでの配線接続は、CLB の相互接続のホップ数が最少となるよう最適化されます。ホップ数を減少させることにより、配置配線 (PAR) 後のデザイン パフォーマンスが大幅に向上します。

配線リソースを含む全プログラマブル ELEMENT は、スタティック メモリ セルに格納される値で制御されます。これらの値はコンフィギュレーション中に FPGA に読み込まれ、プログラマブル ELEMENT のファンクションを変更するために、再び読み込むこともできます。

Virtex-5 FPGA の機能

ここでは、Virtex-5 FPGA ファミリーの機能について簡潔に説明します。

入力/出力ブロック (SelectIO)

IOB はプログラム可能であり、次のように分類されます。

- プログラマブルなシングルエンドまたは差動 (LVDS) 動作
- オプションのシングル データ レート (SDR) またはダブル データ レート (DDR) レジスタ付き入力ブロック
- オプションの SDR または DDR レジスタ付き出力ブロック
- 双方向ブロック
- ビットごとのスキュー調整回路
- 専用 I/O およびリージョナルクロック リソース
- データ シリアライザ/デシリアライザを内蔵

IOB レジスタは、エッジで動作する D タイプのフリップフロップまたはレベルで認識されるラッチのいずれかとなります。

IOB は、次のシングルエンド I/O 規格をサポートします。

- LVTTTL
- LVCMOS (3.3V、2.5V、1.8V、1.5V、1.2V)
- PCI (33MHz および 66MHz)
- PCI-X
- GTL および GTLP
- HSTL 1.5V および 1.8V (クラス I、II、III、IV)
- HSTL 1.2V (クラス I)
- SSTL 1.8V および 2.5V (クラス I および II)

デジタル制御インピーダンス (DCI) I/O 機能をコンフィギュレーションして、各シングルエンド I/O 規格と数種の差動 I/O 規格に準拠したオンチップ終端を提供します。

IOB は、次の差動信号 I/O 規格をサポートします。

- LVDS および拡張 LVDS (2.5V のみ)
- BLVDS (Bus LVDS)
- ULVDS
- Hypertransport™
- 差動 HSTL 1.5V および 1.8V (クラス I および II)
- 差動 SSTL 1.8V および 2.5V (クラス I および II)
- RSDS (ポイント間で 2.5V)

2 つの隣接するパッドを差動ペアとして使用します。2 つまたは 4 つの IOB ブロックを 1 つのスイッチマトリックスに接続し、配線リソースにアクセスします。

ビットごとのスキュー調整回路により、FPGA へのプログラマブルな信号遅延が調整されます。このスキュー調整が、遅延のファイン グレイン インクリメントを可能にし、信号遅延を精密に調整します。この機能は、ソース同期インターフェイスで信号のエッジを同期させる場合に非常に有効です。

バンクのいずれかに配置する 8 つの汎用 I/O は、特殊なハードウェアを接続させることで、リージョナルクロックとして使用可能な I/O として機能するように設計されています。このリージョナ

ルクロック入力を制限領域内で分配することで、IOB 間のクロックスキューを抑制できます。また、リージョナル I/O クロックは、グローバルクロックリソースを補完する機能を備えています。ソース同期インターフェイスをサポートするため、データのシリアライザ/デシリアライザ機能が各 I/O に追加されています。クロック分周器と共に動作するシリアル/パラレルコンバータは入力パス内部に、パラレル/シリアルコンバータは出力パス内部にあります。

Virtex-5 FPGA の IOB の詳細は、『Virtex-5 トライモード イーサネット MAC ユーザーガイド』を参照してください。

コンフィギュラブルロジックリソース (CLB)

Virtex-5 FPGA の CLB リソースは 2 つのスライスで構成され、各スライスは次で構成されています。

- 4 つのファンクションジェネレータ
- 4 つのストレージエレメント
- 演算ロジックゲート
- 多入力マルチプレクサ
- 高速キャリアルックアヘッドチェーン

ファンクションジェネレータは、6 入力 LUT またはデュアル出力の 5 入力 LUT としてコンフィギュレーションできます。一部の CLB にある SLICEM は、32 ビットシフトレジスタ (または 2 つの 16 ビットシフトレジスタ) あるいは 64 ビット分散 RAM としてコンフィギュレーションが可能です。また、4 つのストレージエレメントは、エッジで動作する D タイプのフリップフロップまたはレベルで認識されるラッチのいずれかとなります。各 CLB には内部高速インターコネクタがあり、各々がスイッチマトリックスに接続して汎用配線リソースにアクセスします。

Virtex-5 FPGA の CLB の詳細は、『Virtex-5 ユーザーガイド』を参照してください。

ブロック RAM

ブロック RAM リソースは、36 Kb の完全なデュアルポート RAM ブロックで、幅とワード数の異なる、32K x 1 ~ 512 x 72 のサイズにプログラム可能です。また、各 36Kb ブロックは、2 つの独立した 18Kb デュアルポート RAM ブロックとしても使用できます。

各ポートは完全に同期かつ独立しており、「書き込み中の読み出し」には 3 つのモードがあります。ブロック RAM をカスケード接続し、大型エンベデッド記憶ブロックをインプリメントすることも可能です。さらに、オプションとして、バックエンドパイプラインレジスタ、クロック制御回路、ビルトイン FIFO サポート、ECC、バイト書き込みイネーブル機能なども備えています。

Virtex-5 デバイスのブロック RAM の詳細は、『Virtex-5 ユーザーガイド』を参照してください。

グローバルクロック

CMT およびグローバルクロック マルチプレクサ バッファでは、高速クロック設計全体のソリューションを提供します。

各 CMT には、2つの DCM および 1つの PLL があり、これは個別に使用することもカスケード接続して使用することも可能です。最大 6 個の CMT ブロックが利用でき、最大 18 個のクロック生成エレメントを提供します。

DCM にはクロック生成機能があります。各 DCM を使用して分散遅延を削減し、スキュー調整された内部または外部クロックを生成できます。また、DCM は、位相を 90 度、180 度、および 270 度シフトさせたクロックを出力できます。ファイングレイン位相シフトでは、クロック周期の分数単位で高精度の位相調整が可能です。また、柔軟な周波数合成機能を使用することにより、入力クロック周波数の分数または整数倍の周波数を持つクロックが出力できます。

DCM 機能を拡張するため、Virtex-5 FPGA の CMT には PLL も含まれます。このブロックには、リファレンスクロックのジッタフィルタリング機能、およびオプションとして周波数合成機能があります。

Virtex-5 デバイスには、32 個のグローバルクロック MUX バッファがあります。クロック ツリーは差動に設計されており、差動クロッキングによって、ジッタおよびデューティ サイクルのずれが減少します。

DSP48E スライス

DSP48E スライス リソースには、25 x 18 の 2 の補数乗算器および 48 ビットの加算器/減算器/アキュムレータがあります。また、DSP48E スライスは、カスケード接続して高速な DSP アルゴリズムを効率的にインプリメントする性能も備えています。

Virtex-5 FPGA の DSP48E スライスの詳細は、『Virtex-5 XtremeDSP ユーザー ガイド』を参照してください。

配線リソース

Virtex-5 デバイスのすべてのコンポーネントは、同一の内部接続方法で、同様にグローバル配線マトリックスにアクセスします。CLB 間は、最少ホップ数で配線されるように設計されています。また、タイミングモデルを共有することにより、高速デザインの性能予測が容易になります。

バウンダリ スキャン

バウンダリ スキャン命令とそれに関連するデータ レジスタは、IEEE 規格の 1149.1 および 1532 に準拠した標準的な方法で Virtex-5 デバイスへのアクセスおよびそのコンフィギュレーションを実行します。

コンフィギュレーション

Virtex-5 デバイスは、ビットストリームを内部コンフィギュレーション メモリにロードすることでコンフィギュレーションされます。コンフィギュレーション モードは次のとおりです。

- スレーブ シリアル モード
- マスタ シリアル モード
- スレーブ SelectMAP モード
- マスタ SelectMAP モード
- バウンダリ スキャン モード (IEEE-1532 および -1149)
- SPI モード (標準的な Serial Peripheral Interface Flash)
- BPI-up/BPI-down モード (標準的な Byte-wide Peripheral Interface x8 または x16 NOR Flash)

Virtex-5 デバイスでは、次のコンフィギュレーション オプションもサポートします。

- 256 ビット AES ビットストリーム暗号化による IP 保護
- マルチ ビットストリーム マネージメント (MBM) によるコールド/ウォーム ブート サポート
- パラレル コンフィギュレーション バス幅の自動検出
- パラレル デイジー チェーン
- コンフィギュレーション CRC および ECC サポートによる信頼性および柔軟性の高いデバイス インテグリティの検証

Virtex-5 デバイスのコンフィギュレーションの詳細は、『Virtex-5 コンフィギュレーション ガイド』を参照してください。

システム モニタ

FPGA は、高い有用性と信頼性を持つインフラストラクチャの構築に重要なブロックです。したがって、FPGA のオンチップでの物理的環境やシステム内での周辺をモニタする必要が生じます。Virtex-5 のシステム モニタは、FPGA とその周辺環境のモニタリングを簡単に実行できる初めての機能です。Virtex-5 ファミリーのすべてのデバイスには、システム モニタ ブロックが搭載されています。Virtex-5 ファミリーのシステム モニタは、10 ビット 200kSPS ADC (アナログ-デジタル変換) の周囲に構築されています。この ADC を使用して多数のオンチップ センサをデジタル変換することにより、FPGA 内部の物理的環境の情報が提供されます。オンチップ センサには、温度センサおよび電源センサが含まれます。外部環境へは、外部のアナログ入力チャネルを使用してアクセスします。これらのアナログ入力は汎用入力で、広範の電圧信号タイプのデジタル変換に使用可能です。単極、双極、および完全な差動入力がサポートされています。JTAG TAP を介してオンチップ センサおよび外部チャネル全体にアクセスできます。これにより、PC ボード上に既存の JTAG インフラストラクチャを使用して、開発時あるいは製品完成後にフィールドで、アナログ テストおよび高度な検証の実施が可能となります。システム モニタは、電源投入後および FPGA のコンフィギュレーション前に動作可能です。システム モニタの基本的な機能にアクセスする場合、デザインで明示的にインスタンス化する必要はありません。このため、設計の終盤でシステム モニタを使用することもできます。

Virtex-5 FPGA のシステム モニタの詳細は、『Virtex-5 システム モニタ ユーザー ガイド』を参照してください。

Virtex-5 LXT、SXT、TXT および FXT プラットフォームの機能

ここでは、LXT、SXT、TXT および FXT デバイスで利用可能なブロックについて簡潔に説明します。

トライモード (10/100/1000Mb/s) イーサネット MAC

Virtex-5 LXT、SXT、TXT および FXT デバイスには、各イーサネット MAC ブロックに 2 個ずつ含まれるイーサネット MAC が最大 8 個内蔵されています。これらのブロックの特長を次に示します。

- IEEE 802.3-2002 に準拠
- UNH 適合性テスト済み
- SelectIO を使用しての RGMII/GMII インターフェイスまたは RocketIO トランシーバを使用した SGMII インターフェイスをサポート
- 半二重伝送または全二重伝送
- ジャンボ フレームをサポート
- 1000 Base-X PCS/PMA : RocketIO GTP トランシーバと併用する場合、オンチップで完全な 1000 Base-X をインプリメント可能
- マイクロプロセッサへの DCR バス接続

PCI Express 準拠のエンド ポイント ブロック内蔵

Virtex-5 LXT、SXT、TXT および FXT デバイスには、最大 4 つのエンドポイント ブロックが搭載されています。これらのブロックには、トランザクション層、データリンク層、物理層ファンクションをインプリメントし、FPGA のロジック使用率を最小限に抑えて、PCI Express エンドポイント 機能を実行できます。このブロックには、次のような特長があります。

- PCI Express Base Specification 1.1 に準拠
- RocketIO トランシーバと併用することにより、エンドポイント機能を提供
- 各ブロックで 1、4 または 8 レーンをサポート

Virtex-5 LXT および SXT プラットフォームの機能

ここでは、LXT および SXT デバイスで利用可能なブロックについて簡潔に説明します。

RocketIO GTP トランシーバ

4 ~ 24 チャネルの RocketIO GTP トランシーバは、100Mb/s ~ 3.75Gb/s で動作可能です。

- クロック データ リカバリ機能
- 8/16 ビットまたは 10/20 ビットのデータ パスをサポート
- オプションで 8B/10B または FPGA ベースのエンコード/デコードが可能
- FIFO/エラスティック バッファを統合
- チャネル ボンディングおよびクロック訂正機能をサポート
- 32 ビットの CRC 生成/チェック回路を内蔵
- カンマ検出または A1/A2 検出回路を統合
- プログラム可能なプリエンファシス
(別称 : トランスミッタ イコライゼーション)

- 送信の出力幅がプログラム可能
- 受信のイコライゼーションがプログラム可能
- 受信の終端がプログラム可能
- 次のサポート機能を内蔵
 - シリアル ATA (SATA) の OOB (Out of Band) 信号送信
 - ビーコン、電気的アイドル、および PCI Express レシーバ検出
- 内蔵された PRBS ジェネレータ/チェッカ

Virtex-5 FPGA の RocketIO GTP トランシーバの詳細は、『Virtex-5 RocketIO GTP トランシーバ ユーザー ガイド』を参照してください。

Virtex-5 TXT および FXT プラットフォーム ファミリーの機能

ここでは、TXT および FXT デバイスでのみ利用可能なブロックについて簡潔に説明します。

RocketIO GTX シリアル トランシーバ (TXT/FXT)

8 ~ 48 チャンネルの RocketIO シリアル トランシーバは、150Mb/s ~ 6.5Gb/s で動作可能です。

- クロック データ リカバリ機能
- 8/16/32 ビットまたは 10/20/40 ビットのデータパスをサポート
- オプションで 8B/10B エンコーディング、プログラマブルな 64B/66B または 64B/67B エンコーディングのギアボックス、または FPGA ベースのエンコード/データコードが可能
- FIFO/エラスティック バッファを統合
- チャンネル ボンディングおよびクロック訂正機能をサポート
- 2つの 32 ビットの CRC 生成/チェック回路を内蔵
- プログラマブルなキャラクタ検出回路を統合
- プログラム可能なデエンファシス (別称 : トランスミッタ イコライゼーション)
- 送信の出力幅がプログラム可能
- 受信のイコライゼーションがプログラム可能
- 受信の終端がプログラム可能
- 次のサポート機能を内蔵:
 - シリアル ATA : OOB (Out of Band) 信号送信
 - PCI Express : ビーコン、電気的アイドル、およびレシーバ検出
- 内蔵された PRBS ジェネレータ/チェッカ

Virtex-5 FPGA の RocketIO GTX トランシーバの詳細は、『Virtex-5 RocketIO GTX トランシーバ ユーザー ガイド』を参照してください。

1 つまたは 2 つの PowerPC 440 プロセッサ コア (FXT のみ)

- スーパースカラ型の RISC アーキテクチャ
- 32 ビットの Book E 準拠
- 7 段階の実行パイプライン
- 各サイクルで複数の命令を処理
- アウト オブ オーダー実行
- 32KB のレベル 1 命令キャッシュおよび 32KB のレベル 1 データ キャッシュ (64 ウェイ群連想方式) を統合
- CoreConnect™ バス アーキテクチャ
- クロスパー スイッチにより、プロセッサのバンド幅を最適化
- PLB 同期ロジック (CPU と PLB のクロック比が整数以外もサポート)
- 統合された APU コントローラを備えた APU (Auxiliary Processor Unit) インターフェイス
 - 最適化された FPGA ベースのコプロセッサ接続
 - PowerPC 浮動小数点命令を自動的にデコード
 - カスタム命令も使用可能
 - 非常に効率的なマイクロコントローラ スタイルのインターフェイス

PowerPC 440 プロセッサの詳細は、『Virtex-5 FPGA のエンベデッド プロセッサ ブロック リファレンス ガイド』を参照してください。

IP コア

ザイリンクスは、DSP、バス インターフェイス、プロセッサおよびプロセッサ ベリフェラルを含む汎用的で複雑な機能向けの IP を提供しています。ザイリンクスの LogiCORE™ 製品およびサードパーティの AllianceCORE パートナーからのコアを使用することで、開発時間の短縮、設計リスクの低減、高性能デザインの実現が可能となります。また、CORE Generator™ システムを活用すると、Virtex-5 FPGA にパフォーマンス予測および再利用が可能な IP コアをインプリメントできます。このシステムは、ザイリンクス FPGA 用に最適化されたパラメータ ベース コアの生成を容易にするインターフェイスを備えています。

System Generator for DSP ツールは、手動で作成したコアを使用する DSP 機能の短時間でのモデル化およびインプリメントを可能にします。また、サードパーティのシステム レベル DSP デザイン ツールとのインターフェイス機能を持ちます。System Generator for DSP は、インターリーバ/デインターリーバ付き

FEC (Forward Error Correction) ソリューション、Reed-Solomon エンコーダ/デコーダ、Viterbi デコーダなどの Virtex-5 FPGA で使用可能な多数の高性能 DSP コアをインプリメントします。これらは、通信市場の要求に対応するための柔軟性に優れ、かつ連結的なコーデックの作成に理想的です。

Virtex-5 FPGA の RocketIO GTP トランシーバにより、最先端の PCI Express、シリアル RapidIO、ファイバチャネル、10Gb イーサネット コアを含む業界最先端のコネクティビティおよびネットワーク IP の実装が可能となります。ザイリンクスの SPI-4.2 IP コアは、Virtex-5 FPGA の ChipSync テクノロジーを活用し、高性能なソース同期処理に適したダイナミック位相アライメント機能を構築します。また、ザイリンクスは、高度なシステム同期オペレーション用の PCI コアも提供しています。

MicroBlaze™ 32 ビット プロセッサ コアは、ネットワーク、テレコミュニケーション、データ通信、エンベデッド、コンシューマ

市場向けの複雑なシステムを構築するための業界最速のソフトウェアソリューションを提供します。MicroBlaze プロセッサは、Harvard 方式の RISC アーキテクチャを採用しており、最速で動作する 32 ビット命令とデータバスを分離してプログラムを実行し、オンチップと外部メモリの両方からデータにアクセスします。また、標準的なペリフェラルで CoreConnect™ が使用でき、MicroBlaze ユーザーにもコアの互換性および再利用性を提供します。

Virtex-5 FPGA のすべてのコアは、ザイリンクスリ ウェブサイトの「IP センタ」ページから入手可能です。Smart Search 検索エンジンを使用したこのページから、最新の IP コアおよびリファレンス デザインを検索し、アクセスできます。

アプリケーション ノートおよびリファレンス デザイン

Virtex-5 ファミリーに関するアプリケーション ノートおよびリファレンス デザインは、次のザイリンクス ウェブサイトからアクセスできます。

<http://japan.xilinx.com/virtex5>

Virtex-5 デバイスとパッケージの組み合わせ、および 最大 I/O 数

表 2 : Virtex-5 デバイスとパッケージの組み合わせおよび使用可能な最大 I/O 数

パッケージ	FF323 FFG323		FF324 FFG324		FF676 FFG676		FF1153 FFG1153		FF1760 FFG1760		FF665 FFG665		FF1136 FFG1136		FF1156 FFG1156		FF1738 FFG1738		FF1759 FFG1759	
	サイズ (mm)	19 x 19	19 x 19	27 x 27	35 x 35	42.5 x 42.5	27 x 27	35 x 35	35 x 35	42.5 x 42.5	42.5 x 42.5									
デバイス	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O
XC5VLX30			N/A	220	N/A	400														
XC5VLX50			N/A	220	N/A	440	N/A	560												
XC5VLX85					N/A	440	N/A	560												
XC5VLX110					N/A	440	N/A	800	N/A	800										
XC5VLX155							N/A	800	N/A	800										
XC5VLX220									N/A	800										
XC5VLX330									N/A	1,200										
XC5VLX20T	4 GTP	172																		
XC5VLX30T	4 GTP	172								8 GTP	360									
XC5VLX50T										8 GTP	360	12 GTP	480							
XC5VLX85T												12 GTP	480							
XC5VLX110T												16 GTP	640			16 GTP	680			
XC5VLX155T												16 GTP	640			16 GTP	680			
XC5VLX220T																16 GTP	680			
XC5VLX330T																24 GTP	960			
XC5VSX35T										8 GTP	360									
XC5VSX50T										8 GTP	360	12 GTP	480							
XC5VSX95T												16 GTP	640							
XC5VSX240T																24 GTP	960			
XC5VTX150T														40 GTX	360				40 GTX	680
XC5VTX240T																			48 GTX	680
XC5VFX30T										8 GTX	360									

表 2 : Virtex-5 デバイスとパッケージの組み合わせおよび使用可能な最大 I/O 数 (続き)

パッケージ	FF323 FFG323	FF324 FFG324	FF676 FFG676	FF1153 FFG1153	FF1760 FFG1760	FF665 FFG665	FF1136 FFG1136	FF1156 FFG1156	FF1738 FFG1738	FF1759 FFG1759
サイズ (mm)	19 x 19		19 x 19		27 x 27		35 x 35		42.5 x 42.5	
デバイス	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O	GTs	I/O
XC5VFX70T							8 GTX	360	16 GTX	640
XC5VFX100T									16 GTX	640
XC5VFX130T									20 GTX	840
XC5VFX200T									24 GTX	960

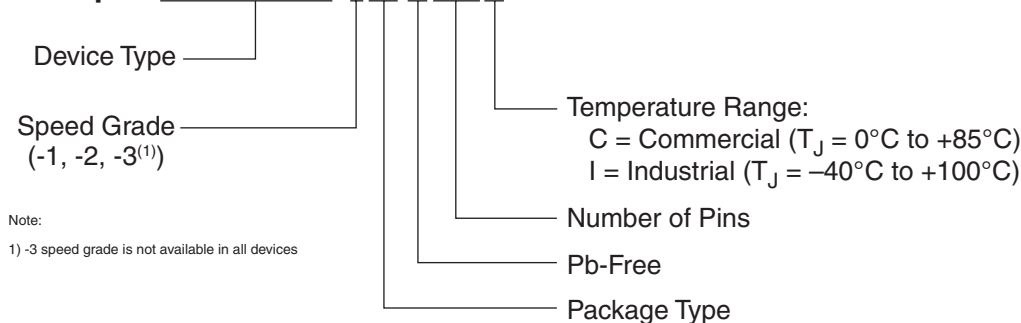
メモ:

1. フリップチップ パッケージは鉛フリー (FFG) でも提供しています。

Virtex-5 FPGA 注文情報

図 1 に示す Virtex-5 FPGA の注文情報は、鉛フリー バージョンを含むすべてのパッケージに該当します。

Example: XC5VLX50T-1FFG665C



DS100_01_111006

図 1 : Virtex-5注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2006/04/14	1.0	初版リリース
2006/05/12	1.1	ザイリンクス ウェブ掲載初版。誤字訂正および新機能の説明を更新。4 ページの「Virtex-5 のロジック」から LUT 使用率の記載を削除。
2006/09/06	2.0	RocketIO GTP トランシーバ、イーサネット MAC、PCI Express エンドポイント ブロックの説明を含む、LXT プラットフォームの記載を追加。
2006/10/12	2.1	LX85T デバイスを追加。システム モニタの概要および機能説明を追加。
2006/12/28	2.2	LX220T デバイスの追加。表 1 の LX330 の合計 I/O バンク数の変更。図 1 の XC5VLX50T-FFG665 の例を変更。8 ページの「差動 SSTL 1.8V および 2.5V (クラス I および II)」の変更。
2007/02/02	3.0	SXT プラットフォーム デバイスの説明追加。
2007/05/23	3.1	IEEE 1149.6 規格準拠の記載を削除。
2007/09/04	3.2	文書全体で、最大ライン レートを 3.2Gb/s から 3.75Gb/s に変更。
2007/12/11	3.3	LX20T、LX155T、および LX155 デバイスの追加。
2007/12/17	3.4	「Disclaimer」を追加。4 ページの CMT のセクションを更新。12 ページの「PCI Express 用 Virtex-5 FPGA LogiCORE エンドポイント ブロック プラス ラップ」の説明をより明確に。

日付	バージョン	内容
2008/03/31	4.0	FXT プラットフォームに関する記載を追加。 「PCI Express 準拠のエンドポイントブロック」および5ページの「トライモードイーサネット MAC (メディアアクセスコントローラ)」の説明を更新。 PLL 機能と混同しないよう、9ページの「グローバルクロック」から PMCD の記載を削除。
2008/04/25	4.1	XC5VSX240T に関する記載を資料全体に追加。
2008/05/07	4.2	RocketIO GTX トランシーバの動作範囲が 150Mb/s ~ 6.5Gb/s であることについて資料全体を更新。 6 ページに PPC440MC_DDR2 メモリコントローラの使用を明記。
2008/06/18	4.3	2 ページの表 1 のイーサネット MAC 列を更新し、メモ 5 を追加。5 ページの「トライモードイーサネット MAC (メディアアクセスコントローラ)」を更新。
2008/09/23	4.4	TXT プラットフォームに関する記載を資料全体に追加。 11 ページの RocketIO GTX でサポートされるデータパスに関する記載を更新。
2009/02/06	5.5	Advance 製品仕様から Product 製品仕様へ変更。

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED IN THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS.

Virtex-5 資料

Virtex-5 ファミリ FPGA に関する最新の資料は、ザイリンクス ウェブ サイトから入力可能です。このデータシートの最新版以外にも次の資料がダウンロードできます。

Virtex-5 データシート : 『DC およびスイッチ特性』 ([DS202](#))

Virtex-5 ファミリ FPGA の DC およびスイッチ特性を記載しています。

『Virtex-5 ユーザー ガイド』 ([UG190](#))

このユーザー ガイドは次の章で構成されています。

- クロック リソース
- クロック マネージメント テクノロジー (CMT)
- 位相ロック ループ (PLL)
- ブロック RAM
- コンフィギャブル ロジック ブロック (CLB)
- SelectIO リソース
- SelectIO ロジック リソース
- アドバンスド SelectIO ロジック リソース

『Virtex-5 XtremeDSP ユーザー ガイド』 ([UG193](#))

DSP48E スライスについて説明し、DSP48E の演算機能およびフィルタを使用したリファレンス デザインを掲載しています。

『Virtex-5 コンフィギュレーション ガイド』 ([UG191](#))

コンフィギュレーション インターフェイス (シリアルおよびパラレル)、複数のビットストリームの管理、ビットストリームの暗号化、バウンダリ スキャン JTAG コンフィギュレーション、リコンフィギュレーション テクニックなど、コンフィギュレーションについて網羅しています。

『Virtex-5 パッケージおよびピン配置の仕様』 ([UG195](#))

デバイス/パッケージの組み合わせと最大 I/O 数表、ピン定義表、ピン配置表、ピン配置図、機械的図面、熱特性を記載しています。

『Virtex-5 PCB デザイナーズ ガイド』 ([UG203](#))

このガイドでは、PCB およびインターフェイス レベルでデザインを決定するための戦略に焦点を合わせて Virtex-5 デバイスでの PCB デザインに関する情報を提供します。

『Virtex-5 システム モニタ ユーザー ガイド』 ([UG192](#))

システム モニタの機能について説明しています。

『Virtex-5 RocketIO GTP トランシーバ ユーザー ガイド』 ([UG196](#))

Virtex-5 LXT および SXT プラットフォームで利用可能な RocketIO GTP トランシーバについて説明しています。

『Virtex-5 RocketIO GTX トランシーバ ユーザー ガイド』 ([UG198](#))

Virtex-5 TXT および FXT プラットフォームで利用可能な RocketIO GTX トランシーバについて説明しています。

『Virtex-5 トライモード イーサネット MAC ユーザー ガイド』 ([UG194](#))

Virtex-5 LXT、SXT、TXT および FXT プラットフォーム デバイスで利用可能なトライモード MAC (Media Access Controller) について説明しています。

『Virtex-5 PCI Express 用エンドポイント ブロック ユーザー ガイド』 ([UG197](#))

Virtex-5 LXT、SXT、TXT および FXT プラットフォームに統合された PCI Express 準拠のエンドポイント ブロックについて説明しています。

『Virtex-5 FPGA のエンベデッド プロセッサ ブロック リファレンス ガイド』 ([UG200](#))

Virtex-5 FXT プラットフォームに搭載されプロセッサ ブロックについて説明しています。