

## 概要

ザイリンクスの Virtex™-4 FPGA は、アドバンスド シリコン モジュラー ブロック (ASMBL™) アーキテクチャと柔軟性に富む多様な機能の組み合わせにより、プログラマブル ロジック設計技術の可能性を広げ、ASIC 技術に代わる強力な選択肢となっています。Virtex-4 を構成する LX、FX、および SX の 3 つのプラットフォーム ファミリは、多数の機能とそれらの組み合わせによって複雑なアプリケーションに対応しています。Virtex-4 の多様なハード IP コアブロックには、PowerPC™ プロセッサ (新しい APU インターフェイス)、トライモード イーサネット MAC、622Mb/s ~ 6.5Gb/s のシリアル トランシーバ、DSP 専用スライス、高速クロック管理回路、ソース同期インターフェイス ブロックがあります。Virtex-4 の基本的なブロック構成は、従来の Virtex ファミリ製品に基づいて強化されており、したがって Virtex、Virtex-E、Virtex-II、Virtex-II Pro、Virtex-II Pro X には上位互換性があります。Virtex-4 デバイスは、これまで困難とされてきた 90nm の銅配線プロセスによる 300mm (12 インチ) ウェハ技術を実現しました。

## Virtex-4 ファミリの機能概要

- LX/SX/FX の 3 つのファミリ
  - Virtex-4 LX: 高性能なロジック アプリケーション用のソリューション
  - Virtex-4 SX: デジタル信号処理 (DSP) アプリケーション用の高性能ソリューション
  - Virtex-4 FX: エンベデッド プラットフォーム アプリケーション用の、高性能かつフル機能のソリューション
- Xesium™ クロック テクノロジー
  - デジタル クロック マネージャ (DCM) ブロック
  - 追加された位相一致クロック分周器 (PMCD)
  - 差動グローバルクロック
- XtremeDSP™ スライス
  - 18x18、2 の補数、符号付き乗算器
  - 段階的なパイプライン オプション
  - 48 ビットのビルトイン アキュムレータおよび加減算器
- SRAM メモリの階層
  - 分散 RAM
  - デュアルポートの 18K ビット RAM ブロック
    - 段階的なパイプライン オプション
    - オptional プログラマブル FIFO ロジック
      - RAM 信号を FIFO 信号として自動的に再マップ
  - 高速メモリ インターフェイスのサポート:
    - DDR、DDR-2 SDRAM、QDR-II、および RLDRAM-II
- SelectIO™ テクノロジー
  - 1.5 ~ 3.3V での I/O オペレーション
  - ビルトイン ChipSync™ ソース同期テクノロジー
  - デジタル制御 インピーダンス (DCI) アクティブ終端
  - ファイン グレイン I/O バンク (1 つのバンクでコンフィギュレーション)
- 柔軟性に優れたロジック リソース
- AES 方式のビットストリーム暗号化によるチップの保護
- 90nm の銅配線 CMOS プロセス
- 1.2V のコア電圧
- 鉛フリー パッケージを含むフリップチップ パッケージより選択可能
- RocketIO™ 622Mb/s ~ 6.5Gb/s マルチギガビット トランシーバ (MGT) (FX のみ)
- IBM PowerPC RISC プロセッサ コア (FX のみ)
  - PowerPC 405 (PPC405) コア
  - APU インターフェイス (ユーザー コプロセッサ)
- マルチ トライモードイーサネット MAC (FX のみ)

表 1: Virtex-4 FPGA ファミリ製品

デバイス	コンフィギャブルロジック ブロック (CLB) <sup>(1)</sup>				Xtreme DSP スライス	ブロック RAM		DCM	PMCD	PowerPC プロセッサ ブロック数	イーサネット MAC	RocketIO トランシーバブロック数	合計 I/O バンク	最大 ユーザー I/O
	アレイ <sup>(3)</sup> 行 x 列	ロジック セル	スライス	最大分散 RAM (Kb)		18Kb ブロック数	最大ブロック RAM (Kb)							
XC4VLX15	64 x 24	13,824	6,144	96	32	48	864	4	0	N/A	N/A	N/A	9	320
XC4VLX25	96 x 28	24,192	10,752	168	48	72	1,296	8	4	N/A	N/A	N/A	11	448
XC4VLX40	128 x 36	41,472	18,432	288	64	96	1,728	8	4	N/A	N/A	N/A	13	640
XC4VLX60	128 x 52	59,904	26,624	416	64	160	2,880	8	4	N/A	N/A	N/A	13	640
XC4VLX80	160 x 56	80,640	35,840	560	80	200	3,600	12	8	N/A	N/A	N/A	15	768
XC4VLX100	192 x 64	110,592	49,152	768	96	240	4,320	12	8	N/A	N/A	N/A	17	960
XC4VLX160	192 x 88	152,064	67,584	1056	96	288	5,184	12	8	N/A	N/A	N/A	17	960

© 2004-2007 Xilinx, Inc. All rights reserved.すべての Xilinx の商標、登録商標、特許、免責条項は、<http://japan.xilinx.com/legal.htm> にリストされています。その他すべての商標および登録商標は、それぞれの所有者が所有しています。すべての仕様は通知なしに変更される可能性があります。

表 1: Virtex-4 FPGA ファミリー製品 (続き)

デバイス	コンフィギャブルロジックブロック (CLB) <sup>(1)</sup>				Xtreme DSP スライス	ブロック RAM		DCM	PMCD	PowerPC プロセッサ ブロック数	イーサネット MAC	RocketIO トランシーバブロック数	合計 I/O バンク	最大 ユーザー I/O
	アレイ <sup>(3)</sup> 行 x 列	ロジックセル	スライス	最大分散 RAM (Kb)		18Kb ブロック数	最大ブロック RAM (Kb)							
XC4VLX200	192 x 116	200,448	89,088	1392	96	336	6,048	12	8	N/A	N/A	N/A	17	960
XC4VSX25	64 x 40	23,040	10,240	160	128	128	2,304	4	0	N/A	N/A	N/A	9	320
XC4VSX35	96 x 40	34,560	15,360	240	192	192	3,456	8	4	N/A	N/A	N/A	11	448
XC4VSX55	128 x 48	55,296	24,576	384	512	320	5,760	8	4	N/A	N/A	N/A	13	640
XC4VFX12	64 x 24	12,312	5,472	86	32	36	648	4	0	1	2	N/A	9	320
XC4VFX20	64 x 36	19,224	8,544	134	32	68	1,224	4	0	1	2	8	9	320
XC4VFX40	96 x 52	41,904	18,624	291	48	144	2,592	8	4	2	4	12	11	448
XC4VFX60	128 x 52	56,880	25,280	395	128	232	4,176	12	8	2	4	16	13	576
XC4VFX100	160 x 68	94,896	42,176	659	160	376	6,768	12	8	2	4	20	15	768
XC4VFX140	192 x 84	142,128	63,168	987	192	552	9,936	20	8	2	4	24	17	896

メモ:

- 1 CLB = 4 スライス = 最大 64 ビット。
- 2 XtremeDSP スライスは、18 x 18 乗算器、加算器およびアキュムレータを各々 1 つ含む。
- 3 一部の行列アレイは、FX デバイスのプロセッサで使用。

## Virtex-4 ファミリーに共通のシステム ブロック

### Xesium クロック テクノロジー

- 最大 20 個のデジタルクロック マネージャ (DCM) モジュール
  - 精密なクロック スキュー調整および位相シフト
  - 柔軟な周波数合成が可能
  - デュアル オペレーティング方式によるパフォーマンスの改善が可能
  - 最大入力周波数および出力周波数を改善
  - 位相シフト精度の改善
  - 出力のジッタを低減
  - 低消費電力で動作
  - 位相検知器を強化
  - 位相シフト範囲の拡大
- 位相一致クロック分周期 (PMCD) ブロックの併用
- 低ジッタ クロックの最適化および正確なデューティ サイクルを提供する差動クロック機能
- 32 のグローバル クロック ネットワーク
- リージョナル I/O およびローカル クロック

### 柔軟性に優れたロジック リソース

- 以前のデバイスに比べ、最高で 40% の動作速度改善
- 次の機能を含む最高 20 万ロジック セルまでをサポート

- クロック イネーブルを供えた 178,176 個までの内部レジスタ (XC4VLX200)
- 最高 178,176 個までのルックアップ テーブル (LUT)
- ロジック拡張マルチプレクサおよび I/O レジスタ
- 変数シフト レジスタまたは分散メモリをカスケード接続

### 500MHz XtremeDSP スライス

- 専用の 18 x 18 ビット 乗算器、MAC または乗加算器ブロック
- パフォーマンスを向上させる、段階的なパイプライン オプション
- 累積乗算 (MACC) 用のオプションの 48 ビット アキュムレータ
- 複合乗算または乗算加算オペレーション用の加算器を統合
- カスケード可能な乗算器または MACC
- 対前世代製品で最高 100% のスピード改善

### 500MHz 統合ブロック メモリ

- 最大 10Mb までの統合ブロック メモリ
- パフォーマンスを向上させる、段階的なパイプライン オプション
- マルチレート FIFO サポート ロジック
  - Full および Empty フラグをサポート
  - 完全にプログラマブルな AF および AE フラグ
  - 同期/非同期通信

- デュアルポートアーキテクチャ
- 読み出しポート幅および書き込みポート幅の個別設定 (RAMのみ)
- 18Kビットブロック (メモリおよびパリティ/サイドバンド対応メモリをサポート)
- 16K x 1 ~ 512 x 36 でコンフィギュレーション (4K x 4 ~ 512 x 36 が FIFO オペレーション用)
- バイト書き込み機能 (PPC 405 などへ接続)
- FPGA 配線を使用せずに 32K x 1 メモリを形成する専用のカスケード配線
- 対前世代製品で最高 100% のスピード改善
- ビットごとのスキュー調整機能をすべての I/O ブロックに搭載 (可変入力遅延ライン)
- 専用 I/O およびリージョンナルクロックリソース (ピンおよびツリー)
- データシリアライザ/デシリアライザロジックをすべての I/O およびクロック分周器に内蔵
- 1Gb/s+ DDR までのメモリ/ネットワーク/テレコミュニケーションインターフェイス

### デジタル制御インピーダンス(DCI) アクティブ I/O 終端

- オプションのシリーズ終端またはパラレル終端
- 温度補正

### コンフィギュレーション

- 256 ビットの AES ビットストリーム暗号化による知的財産 (IP) 保護
- ビットストリームエラー検知/訂正機能の改善
- 高速 SelectMAP コンフィギュレーション
- JTAG サポート
- リードバック機能

### 90nm 銅配線 CMOS プロセス

#### 1.2V のコア電圧

#### フリップチップパッケージ

- 量産デバイスに鉛フリーパッケージが使用可能

### SelectIO テクノロジ

- 最大 960 個までのユーザー I/O
- 1.5V ~ 3.3V までの I/O 規格から選択可能
- 極めて高パフォーマンス
  - 600Mb/s HSTL および SSTL (すべてのシングルエンド I/O) をサポート
  - 1Gb/s LVDS (すべての差動 I/O ペア) をサポート
- 真の差動終端
- シグナルインテグリティを向上させる低キャパシタンス I/O
- 入力 I/O および出力 I/O で同エッジをキャプチャ
- DDR、DDR-2 SDRAM、QDR-II および RLDRAM-II メモリインターフェイスをサポート

### ChipSync テクノロジ

- ソース同期インターフェイスを単純化する SelectIO テクノロジを統合

## システムブロックに特化した Virtex-4 FX ファミリー

### RocketIO マルチギガビット トランシーバ (MGT)

- 622Mb/s ~ 6.5Gb/s ボーレート的全二重シリアル トランシーバ (MGT) 機能
- 8b/10b、64b/66b、ユーザー定義による FPGA ロジックまたはデータエンコーディング/デコーディングなし
- チャンネルボンディングをサポート
- CRC の生成とその検証
- トランシーバ用のプログラマブルプリエンファシスまたはプリイコライゼーション
- レシーバ用のプログラマブルコンティニューアスタイムイコライゼーション
- レシーバ用のプログラマブル DFE
- オンチップ AC カップリングレシーバ
- レシーバの信号検知によるシグナルインジケータの廃止
- 送信ドライバの電氣的アイドルモード

- セカンダリコンフィギュレーションバスを使用したユーザーダイナミックリコンフィギュレーション

### PowerPC 405 RISC コア

- エンベデッド PowerPC 405 (PPC405) コア
  - 最高 450MHz で動作
  - 5 段階のデータバスパイプライン
  - 16KB の命令キャッシュ
  - 16KB のデータキャッシュ
  - 改善された命令およびデータオンチップメモリ (OCM) コントローラ
  - PPC405 とプロセッサローカルバス間の追加された周波数比のオプション
- PPC405 とファブリックのコプロセッサを直接繋ぐ補助プロセッサユニット (APU) インターフェイス
  - APU は異なるクロック周波数での動作が可能
  - 自動命令生成をサポート、パイプラインのストールなし

- 32 ビット命令および 64 ビット データ
- 4 サイクルのキャッシュライン転送

### トライモード イーサネット MAC

- IEEE 802.3 に準拠
- 10、100、1,000Mb/s で動作
- トライモード自動検知をサポート
- レシーバ側アドレス フィルタ
- RocketIO MGT および全モノリシック 1000Base-X 用ソリューション
- RocketIO MGT を介した外部 PHY デバイスとの SGMII 接続をインプリメント
- I/O リソースを介した複数 PHY (MII、GMII など) インターフェイスをサポート
- 個別のインターフェイスによる送信統計および受信統計が可能
- 独立したホストおよびクライアント インターフェイス
- ジャンボ フレームに対応
- 柔軟性の高い、ユーザー コンフィギュレーションが可能なホスト インターフェイス

## アーキテクチャの説明 : Virtex-4 アレイについて

Virtex-4 デバイスは、高集積かつ高パフォーマンスなシステムデザイン用に最適化されたエンベデッド コアとさまざまなコンフィギャブル エレメントを備えたユーザー プログラマブル ゲート アレイです。Virtex-4 デバイスには、次の機能がインプリメントされています。

- I/O ブロックは、パッケージ ピンと内部コンフィギャブル ロジックのインターフェイスを提供します。汎用性に優れた最先端の I/O 規格が、プログラマブル I/O ブロック (IOB) でサポートされています。IOB は、ソース同期アプリケーション用に改善されており、ソース同期の最適化として、ビットごとのスキュー調整、データ シリアライザ/デシリアライザ、クロック分周、および専用のローカル クロック リソースが使用できます。
- コンフィギャブル ロジック ブロック (CLB) は、ザイリンクス FPGA の基本的なロジック エレメントであり、分散メモリおよび SRL16 シフト レジスタ機能に加え、組み合わせロジックおよび同期ロジックを提供します。
- ブロック RAM モジュールは、柔軟性に優れた 18K ビットの完全なデュアルポート RAM を備え、より大きなメモリ ブロックとなるようカスケード接続できます。Virtex-4 ブロック RAM は、デバイスの使用率を増加させるプログラマブルな FIFO ロジックをオプションとして備えています。
- 18 ビット x 18 ビットの専用乗算器、加算器および 48 ビットのアキュムレータを備えたカスケード接続可能な Xtreme DSP スライスを内蔵しています。

- デジタル クロック マネージャ (DCM) ブロックには、セルフキャリブレーション、クロック分散遅延補正の完全なデジタル ソリューション、クロック乗算/除算および コース グレイン/ファイン グレインのクロック位相シフト機能があります。

FX デバイスは、次のエンベデッド システム機能をサポートしています。

- 各チャンネル 6.5Gb/s 以上のデータ レートを可能にした高速シリアル トランシーバを統合
- 最高 450MHz で動作し、補助的なプロセッサ ユニット インターフェイスを備えたエンベデッド IBM PowerPC 405 RISC CPU
- 10/100/1000 イーサネット メディア アクセス コントロール (EMAC) コア

汎用配線マトリックス (GRM) は、各コンポーネント間の配線スイッチを提供します。各プログラマブル エレメントはスイッチマトリックスに接続され、通常の配線マトリックスへの複数接続を可能にします。プログラマブル相互接続全体は階層的で、高速デザインをサポートするよう設計されています。

配線リソースを含むすべてのプログラマブル エレメントは、スタティック メモリ セルに格納された値によって制御されます。この値はコンフィギュレーション中にメモリ セルに読み込まれ、プログラム エレメントの機能変更の際に再読み込みが可能です。

## Virtex-4 の機能

このセクションでは、Virtex-4 ファミリ FPGA の機能について簡潔に説明します。

### 入力/出力ブロック (SelectIO)

IOB はプログラマブルであり、次のように分類されます。

- プログラマブルなシングルエンドまたは差動 (LVDS) オペレーション
- オプションのシングル データ レート (SDR) またはダブル データ レート (DDR) レジスタ付きの入力ブロック
- オプションの SDR または DDR レジスタ付きの出力ブロック
- 双方向ブロック
- ビットごとのスキュー調整回路
- 専用 I/O およびリージョナル クロック リソース
- 組み込みデータ シリアライザ/デシリアライザ

IOB レジスタは、エッジで動作する D タイプのフリップフロップまたはレベルで認識されるラッチのいずれかとなります。

IOB は、次のシングル エンド規格をサポートしています。

- LVTTTL
- LVCMOS (3.3V、2.5V、1.8V、および 1.5V)
- PCI (33MHz および 66MHz)
- PCI-X
- GTL および GTLP
- HSTL 1.5V および 1.8V (クラス I、II、III、および IV)
- SSTL 1.8V および 2.5V (クラス I および II)

DCI I/O 機能をコンフィギュレーションして、各シングル エンド I/O 規格および数種の差動 I/O 規格に準拠したオンチップ終端を提供します。

IOB エレメントは、次の差動信号 I/O 規格をサポートしています。

- LVDS および 拡張 LVDS (2.5V のみ)
- BLVDS (バス LVDS)
- ULVDS
- Hypertransport™
- 差動 HSTL 1.5V および 1.8V (クラス II)
- 差動 SSTL 1.8V および 2.5V (クラス II)

2つの隣接パッドを各差動ペアとして使用します。2つまたは4つの IOB ブロックを1つのスイッチマトリックスに接続し、配線リソースにアクセスします。

ビットごとのスキュー調整回路により、FPGA へのプログラマブルな信号遅延が考慮されます。ビットごとにスキュー調整することで、遅延のファイン グレイン インクリメントを実行し、信号遅延範囲が正確に生成されます。この機能は、ソース同期インターフェイスでの信号エッジ同期に非常に有効となります。

バンクごとに4つの選択範囲を持つ汎用 I/O は、同範囲内の I/O に特殊なハードウェアを接続させることによって、リージョナル クロックとして使用可能な I/O として設計できます。このリージョナル クロック入力を制限領域内で分配し、IOB 間のクロック スキューを抑えられます。リージョナル I/O クロックは、グローバル クロック リソースを補完します。

データのシリアライザ/デシリアライザ機能は、各 I/O のソース同期インターフェイスをサポートするため追加されています。クロック分周器に関連したシリアル/パラレル変換器は入力パスの内部に、パラレル/シリアル変換器は出力パスの内部に含まれます。

Virtex-4 の IOB の詳細は『[Virtex-4 ユーザー ガイド](#)』を参照してください。

### コンフィギャブル ロジック ブロック (CLB)

1つの CLB リソースは4つのスライスで構成されています。各スライスはすべて次のように構成されています。

- 2つのファンクション ジェネレータ (F および G)
- 2つの記憶エレメント
- 演算ロジック ゲート
- 多入力マルチプレクサ
- 高速キャリア ルックアヘッド チェーン

ファンクション ジェネレータ F および G は、4入力ルックアップ テーブル (LUT) としてコンフィギャブルです。CLB 内の2つのスライスは、16ビットのシフト レジスタとして、または16ビットの分散 RAM としてコンフィギュレーションした LUT を備えられます。さらに、2つの記憶エレメントは、エッジで動作する D タイプのフリップフロップまたはレベルで認識されるラッチのいずれかとなります。各 CLB は内部高速相互接続され、スイッチマトリックスに接続して、汎用配線リソースにアクセスします。

Virtex-4 の CLB の詳細は『[Virtex-4 ユーザー ガイド](#)』を参照してください。

### ブロック RAM

ブロック RAM リソースは、18Kb の完全なデュアルポート RAM ブロックであり、16K x 1 ~ 512 x 36 でプログラム可能で、幅とワード数がコンフィギュレーションできます。各ポートは完全に同期および独立し、3つの「書き込み中の読み出し」モードがあります。ブロック RAM をカスケード接続して、大規模エンベデッド記憶ブロックをインプリメントできます。また、バックエンドパイプラインレジスタ、クロック制御回路、組み込み FIFO サポート、およびバイト書き込みイネーブルは、Virtex-4 FPGA の新しい機能です。

Virtex-4 デバイスのブロック RAM 機能の詳細は『[Virtex-4 ユーザー ガイド](#)』を参照してください。

## XtremeDSP スライス

XtremeDSP スライスには、専用の 18 x 18 ビットの 2 の補数符号付き乗算器、加算ロジックおよび 48 ビット アキュムレータがあります。各乗算器またはアキュムレータは個別に使用できます。このブロックは、効率性に優れた高速 DSP アプリケーションを実現するために設計されています。

Virtex-4 デバイスのブロック DSP 機能の詳細は、『[XtremeDSP デザイン考察ユーザーガイド](#)』を参照してください。

## グローバルクロック

DCM および グローバルクロック マルチプレクス バッファは、高速クロック ネットワーク設計の全面的なソリューションを提供します。

DCM ブロックは 20 個まで使用可能です。内部または外部クロックのスキュー調整を実行するには、各 DCM を使用して、クロック分散遅延をなくします。DCM は、出力クロックの 90 度、180 度および 270 度の位相シフトを提供し、ファイン グレインの位相シフトで、わずかなクロック周期のインクリメントに対する、より高度な位相補正を実行します。そして、柔軟性の高い周波数合成で、分数または整数演算に等しいクロック出力を提供します。

Virtex-4 デバイスには、32 のグローバルクロック MUX バッファがあります。クロック ツリーは、差動クロックとなるよう設計されています。差動クロックは、ジッタおよびデューティサイクルのずれを減少させます。

## 配線リソース

Virtex-4 デバイスのコンポーネントはすべて、同じ内部接続方法を使用して、同様にグローバル配線マトリックスにアクセスします。タイミング モードを共有することにより、高速デザインのパフォーマンスの予見性がめざましく改善されました。

## バウンダリ スキャン

バウンダリ スキャン命令とそれに関連するデータレジスタは、標準化された方法で Virtex-4 デバイスのアクセスおよびそのコンフィギュレーションを実行し、IEEE 規格の 1149.1 および 1532 に準拠しています。

## コンフィギュレーション

Virtex-4 デバイスは、次のモードのいずれかを使用して内部のコンフィギュレーション メモリにビットストリームをロードし、コンフィギュレーションされます。

- スレーブシリアルモード
- マスターシリアルモード
- スレーブ SelectMAP モード
- マスター SelectMAP モード
- バウンダリ スキャン モード (IEEE 1532)

オプションで 256 ビットの AES 複合化をオンチップでサポート (ソフトウェア ビットストリームの暗号化もサポート) し、IP を保護します。

## Virtex-4 FX ファミリ

このセクションでは、FX デバイスにのみ搭載されているブロックについて説明します。

### RocketIO マルチギガビット トランシーバ (MGT)

622Mb/s ~ 6.5Gb/s 以上で動作する 8 ~ 24 チャンネルの RocketIO マルチギガビット シリアル トランシーバ (MGT)

- 完全なクロックおよびデータ リカバリ
- 32 ビットまたは 40 ビットのデータパスをサポート
- オプションとして、8b/10b、64b/66b または FPGA をベースとしたエンコードおよびデコード
- FIFO/エラスティック バッファを内蔵
- チャンネルボンディングをサポート
- エンベデッドの 32 ビット CRC を生成/チェック
- カンマ検知機能またはプログラマブルな A1/A2、A1A1/A2A2 検知機能を内蔵
- プログラマブル プリエンファシス (トランスミッター イコライゼーション)
- プログラマブル レシーバのイコライゼーション
- 次に示す項目のエンベデッド サポート
  - Out Of Band (OOB) 信号: シリアル ATA
  - ビーコンおよび電気的アイドル: PCI Express™
- オンチップでバイパス可能なレシーバ用 AC カップリング

## 1 つまたは 2 つの PowerPC 405 プロセッサ コア

- 32 ビットの Harvard アーキテクチャ
- 5 段階の命令実行パイプライン
- 16KB のレベル 1 命令キャッシュおよび 16KB のレベル 1 データ キャッシュ
- レベル 1 のキャッシュ パリティ生成およびチェック機能を内蔵
- CoreConnect™ バス アーキテクチャ
- 効率的で高いパフォーマンスを実現するブロック RAM へのオンチップメモリ (OCM) インターフェイス
- PLB 同期ロジック (非整数の CPU ~ PLB 間のクロック率をサポートする)
- 補助プロセッサユニット (APU) インターフェイスおよび APU 統合コントローラ
  - FPGA ベースのコプロセッサとの接続を最適化

- PowerPC の浮動小数点命令を自動でデコード
  - ユーザー定義の命令をサポート (8 命令までデコード可能)
- 極めて効率のよいマイクロコントローラ型インターフェイス

## 2 つまたは 4 つのトライモード (10/100/1000Mb/s) イーサネット MAC (Media Access Control) コア

- IEEE 802.3-2000 に準拠
- MII/GMII インターフェイスまたは SGMII (RocketIO トランシーバと併用の場合)
- PowerPC プロセッサの独立使用が可能
- 半または完全二重方式
- ジャンボ フレームをサポート
- 1000Base-X PCS/PMA : RocketIO MGT と併用する場合、オンチップで完全に 1000Base-X をインプリメント

## IP コア

ザイリンクスでは、DSP、バス インターフェイス、プロセッサ、プロセッサ ベリフェラルを含む汎用的で複雑な機能に対応する、IP コアを提供しています。ザイリンクスの LogiCORE™ 製品およびサードパーティの AllianceCORE パートナのコアを使用して開発時間を短縮し、設計リスクを抑え、より優れたパフォーマンスのデザインを実現します。また、ザイリンクスの CORE Generator™ システムを使用して、Virtex-4 FPGA に予測可能かつ連続的なパフォーマンスで IP コアをインプリメントできます。シンプルなユーザー インターフェイスを提供し、FPGA 製品用に最適化されたパラメータ ベースのコアを生成します。

DSP の System Generator ツールは、手動生成した IP を使用した DSP 機能をインプリメントし、迅速にモデル化できるシステム アーキテクチャを実現します。また、サードパーティのシステムレベルの DSP デザイン ツールとのインターフェイス機能を果たします。DSP の System Generator では、ザイリンクスのインターリーバ/デインターリーバ付きエラー訂正転送機能、Reed-Solomon エンコーダ/デコーダおよび ビタビ デコーダなどの Virtex-4 FPGA で使用するさまざまな高性能 DSP コアをインプリメントします。これらの機能は、市場をサポートする非常に柔軟性に優れた連結的なコーダ/デコーダとして理想的です。

## アプリケーション ノートおよびリファレンス デザイン

Virtex-4 ファミリーに関するアプリケーション ノートおよびリファレンス デザインは、次のザイリンクス ウェブ サイトから入手できます。

<http://japan.xilinx.com/virtex4>

業界最先端の接続およびネットワーク IP コアには、エレクトロニクス業界初のスイッチング製品、最新 PCI Express、シリアル RapidIO、ファイバ チャンネル、および Virtex-4 RocketIO マルチギガビット シリアル インターフェイスを含む 10Gb イーサネット コアがあります。ザイリンクスの SPI-4.2 IP コアでは、Virtex-4 に内蔵された ChipSync 技術を利用して、高性能なソース同期オペレーションのためのダイナミック位相アライメントをインプリメントします。

MicroBlaze™ 32 ビット コアは、ネットワーク、テレコミュニケーション、データ通信、エンベデッドおよびコンシューママーケット用の複雑なシステム構築のための業界最速のソフト処理ソリューションを提供します。MicroBlaze プロセッサは、Harvard 方式の RISC アーキテクチャで、32 ビット命令と最速で動作するデータバスを分離してプログラムを実行し、オンチップおよび外部メモリからのデータにアクセスします。ペリフェラルの標準セットでも CoreConnect™ が使用でき、MicroBlaze ユーザーに互換性および再利用性を提供しています。Virtex-4 FPGA 用の IP コアはすべて、最新の IP コアおよびリファレンス デザインが掲載された、高速検索用のスマート サーチが利用できるザイリンクスの IP センタ サイトから入手できます。

## Virtex-4 デバイスとパッケージの組み合わせおよび最大 I/O 数

表 2 : Virtex-4 デバイスとパッケージの組み合わせおよび最大使用可能 I/O 数

パッケージ (1,2)	SF363 SFG363		FF668 FFG668		FF672 FFG672		FF676 FFG676		FF1148 FFG1148		FF1152 FFG1152		FF1513 FFG1513		FF1517 FFG1517	
	サイズ		サイズ		サイズ		サイズ		サイズ		サイズ		サイズ		サイズ	
デバイス	MGTs	I/O	MGTs	I/O	MGTs	I/O	MGTs	I/O	MGTs	I/O	MGTs	I/O	MGTs	I/O	MGTs	I/O
XC4VLX15	N/A	240	N/A	320			N/A	320								
XC4VLX25	N/A	240	N/A	448			N/A	448								
XC4VLX40			N/A	448			N/A	448	N/A	640						
XC4VLX60			N/A	448			N/A	448	N/A	640						
XC4VLX80									N/A	768						
XC4VLX100									N/A	768			N/A	960		
XC4VLX160									N/A	768			N/A	960		
XC4VLX200													N/A	960		
XC4VSX25			N/A	320			N/A	320								
XC4VSX35			N/A	448			N/A	448								
XC4VSX55									N/A	640						
XC4VFX12	N/A	240	N/A	320			N/A	320								
XC4VFX20					8	320										
XC4VFX40					12	352					12	448				
XC4VFX60					12	352					16	576				
XC4VFX100											20	576			20	768
XC4VFX140															24	768

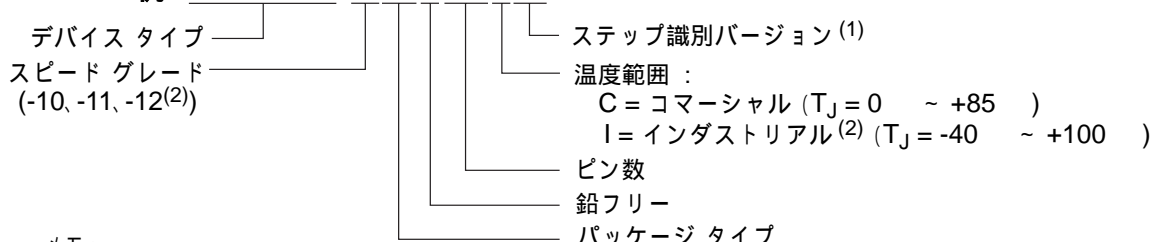
メモ :

- すべてのパッケージで鉛フリーバージョン (SFG/FFG) があります。
- すべてのパッケージ (SF363/SFG363、FF668/FFG668 を除く) は、シグナル インテグリティを向上する、強化された新しいスパースシェvron (SparseChevron) ピン配置です。

## Virtex-4 注文情報

図 1 に示す Virtex-4 の注文情報は、鉛フリーパッケージを含むすべてのパッケージに対応しています。

### 例 : XC4VLX25-10FFG668CS2



メモ :

- ステップ識別バージョンはオプションであり、デバイス ステッピングが必要な場合のみ特定されます。ステップの注文コードについては、『Virtex-4 データシート』(DS302) を参照してください。
- スピード グレード -12 のデバイスは、インダストリアル グレードでは提供されていません。

DS112\_01\_112806

図 1 : Virtex-4 注文情報



## 改訂履歴

次の表に、このデータシートの改訂履歴を示します。

日付	バージョン	改訂内容
2004/08/02	1.0	初版リリース。ハンドブック発行。
2004/09/10	1.1	誤字脱字の修正。
2004/12/08	1.2	システム モニタおよび ADC のリファレンスを削除。イーサネット MAC の項目を改訂。
2005/03/26	1.3	CLB リファレンスを削除および誤字の修正。シリアル トランシーバについて修正。表 2 に FFG 鉛フリー パッケージを追加。
2005/06/17	1.4	表 2 のメモに、SparseChevron (スパース シェブロン) のピン配置を追加。
2006/02/10	1.5	FCRAM-II サポートを削除。表 2 のメモに 3 を追加。表 2 の XC4VFX40 デバイスの CLB 数を修正。Virtex-4 の注文情報 図 1 にステッピング情報を追加。
2006/10/10	1.6	最大トランシーバ レートを 6.5Gb/s に変更。表 2 から FF1760 パッケージを削除。
2007/01/23	2.0	データシート (DS302) の重要な改定に伴い、バージョンを 2.0 に変更。表 2 の XC4VFX40 のスライス数を 18,624 に修正。表 2 に FF676 パッケージの情報を追加、メモを変更。

## Virtex-4 資料

最新の FPGA Virtex-4 ファミリーの資料は、ザイリンクスのウェブサイトから入手できます。最新版の Virtex-4 ファミリーの概要は、次のサイトからもダウンロードできます。

### 『Virtex-4 データ シート : DC 特性とスイッチ特性』

Virtex-4 ファミリーの DC およびスイッチ特性について説明します。

### 『Virtex-4 ユーザー ガイド』

このユーザー ガイドは次の章で構成されています。

- クロック リソース
- デジタル クロック マネージャ (DCM)
- 位相一致クロック分周器 (PMCD)
- ブロック RAM および FIFO メモリ
- コンフィギャブル ロジック ブロック (CLB)
- SelectIO リソース
- SelectIO ロジック リソース
- アドバンスド SelectIO ロジック リソース

### 『XtremeDSP デザイン考察ユーザー ガイド』

DSP 48 スライスについて説明するとともに、DSP 48 演算機能および FIR フィルタを使用したリファレンス デザインについても説明します。

### 『Virtex-4 コンフィギュレーション ガイド』

このコンフィギュレーション ガイドは、コンフィギュレーション インターフェイス (シリアルおよび SelectMAP)、ビットストリームの暗号化、バウンダリ スキャンおよび JTAG コンフィギュレーション、リコンフィギュレーション方法、の各章で構成されています。

### 『Virtex-4 パッケージおよびピン配置の仕様』

デバイス/パッケージの組み合わせ、最大 I/O 数、ピンの説明、ピン配置表、ピン配置図、回路図および温度特性について説明します。

### 『Virtex-4 PCB デザイナーズ ガイド』

Virtex-4 ファミリーの PCB ガイドラインを説明します。この内容には、SelectIO 信号、RocketIO 信号、電力分配システム、PCB ブレイクアウトおよびパーツの配置が含まれます。

### 『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド』

Virtex-4 FX ファミリーで使用可能な RocketIO マルチ ギガビット トランシーバについて説明します。

### 『Virtex-4 エンベデッド トライモード イーサネット MAC ユーザー ガイド』

Virtex-4 FX ファミリーで使用可能なエンベデッド トライモード イーサネット MAC について説明します。

### 『PowerPC 405 プロセッサブロック リファレンス ガイド』

Virtex-4 FX で使用可能な PowerPC 405 プロセッサ ブロックについて説明します。