

## 概要

Virtex®-6 ファミリーは、FPGA 市場において最新かつ最先端の性能を誇る FPGA デバイスです。Virtex-6 FPGA は、ソフトウェアおよびハードウェア コンポーネントをともに統合し、開発サイクルの初期から革新的な開発製品を可能にするターゲットデザインプラットフォームのベースを成すプログラマブル シリコンです。3 世代目となるコラムベースの ASMBL™ (アドバンスド シリコン モジュール ブロック) アーキテクチャを採用した Virtex-6 ファミリーは、複数のサブファミリーで構成されています。この概要データシートでは、LXT、SXT および HXT サブファミリーについて説明します。各サブファミリーは、それぞれの機能を異なる比率で備えており、広範に及ぶ高度なロジック デザインに最も効率的に対応します。Virtex-6 FPGA は最高性能のロジック ファブリックであるだけでなく、多数のビルトイン システム レベル ブロックを搭載しています。このような機能により、性能と機能性に優れたロジック デザインを FPGA ベースのシステムに構築できます。40nm の銅配線プロセス技術を採用した Virtex-6 FPGA は、ASIC テクノロジーに代わるプログラマブル デバイスです。そして、その画期的なロジック、DSP、コネクティビティ、およびソフト マイクロプロセッサ性能により、高性能ロジック設計、DSP 設計、エンベデッド システム設計の要件に対応する最適なソリューションを提供します。

## Virtex-6 FPGA の特長

- 3 つのサブファミリー
  - Virtex-6 LXT FPGA : 高度なシリアル コネクティビティを備えた高性能ロジック
  - Virtex-6 SXT FPGA : 高度なシリアル コネクティビティを備えた最高性能の信号処理性能
  - Virtex-6 HXT FPGA : 最高帯域のシリアル コネクティビティ
- サブファミリー間の互換性
  - 同一パッケージの LXT および SXT デバイスは、フットプリントに互換性がある
- 高度かつ高性能な FPGA ロジック
  - 完全な 6 入力のルックアップ テーブル (LUT) テクノロジー
  - デュアル LUT5 (5 入力 LUT) オプション
  - レジスタを豊富に使用する必要があるアプリケーション向けの LUT/デュアル フリップフロップ ペア
  - 配線効率の改善
  - 各 6 入力 LUT に 64ビット (または 2 つの 32ビット) 分散 LUT RAM オプション
  - 出力にレジスタを使用した SRL32/デュアル SRL16 オプション
- MMCM (Mixed-Mode Clock Manager)
  - MMCM ブロックは、遅延のないバッファリング、周波数合成、クロック位相シフト、入力ジッターのフィルタリング、位相を一致させた分周クロックを提供
- 36Kb ブロック RAM/FIFO
  - デュアル ポート RAM ブロック
  - 次を構成可能
    - 最大 36 ビット幅のデュアル ポート
    - 最大 72 ビット幅のシンプルなデュアル ポート
  - 性能改善された FIFO ロジック
  - 内蔵型エラー訂正回路 (オプション)
  - オプションで 2 つの独立した 18Kb ブロックとして使用可
- 高性能シリアル SelectIO™ テクノロジー
  - 1.2V ~ 2.5V の I/O をサポート
  - ChipSync™ テクノロジーを使用したソース同期インターフェイス
  - デジタル制御インピーダンス (DCI) アクティブ終端
  - 柔軟かつ精密な I/O バンキング
  - ライト レベリング機能を持つ高速メモリ インターフェイス
- 機能拡張した DSP48E1 スライス
  - 25 x18 の 2 の補数乗/乗算
  - パイプライン化オプション
  - フィルター処理をサポートする新しいプリアダー (前置加算器) オプション
  - ビット単位の演算オプション
  - 専用カスケード接続
- 柔軟性のあるコンフィギュレーション オプション
  - SPI およびパラレル Flash インターフェイス
  - フォールバック リコンフィギュレーション専用ロジックで、複数のビットストリームをサポート
  - バス幅の自動検出機能
- すべてのデバイスにシステム モニター機能が搭載
  - オンチップ/オフチップでの温度および電圧モニタリング
  - モニター全体に JTAG でアクセス
- PCI Express® デザイン用インターフェイス ブロックを内蔵
  - PCI Express Base Specification 2.0 に準拠
  - GTX トランシーバーで Gen1 (2.5Gb/s) および Gen2 (5Gb/s) をサポート
  - エンドポイントおよびルート ポート機能
  - 各ブロックで x1、x2、x4、または x8 レーンをサポート
- GTX トランシーバーは最高 6.6Gb/s で動作
  - FPGA ロジックでのオーバーサンプリングは、480Mb/s 未満のデータレートでサポート

- GTH トランシーバー : GTH トランシーバーは 2.488Gb/s ~ 11Gb/s を超えるデータ レートで動作
- 10/100/1000 Mb/s イーサネット MAC ブロックを内蔵
  - GTX を使用して 1000BASE-X PCS/PMA および SGMII をサポート
  - SelectIO テクノロジ リソースを使用して MII、GMII、RGMII をサポート
  - 2500Mb/s のサポートも提供
- 40nm、銅配線、CMOS プロセス技術
- 1.0V コア電圧 (-1、-2、-3 スピード グレードのみ)
- 低消費電力 0.9V コア電圧オプション (-1L スピード グレードのみ)
- シグナル インテグリティに優れたフリップフロップ パッケージを標準および鉛フリー パッケージの両方で提供

## Virtex-6 FPGA 機能一覧

表 1 : 各 Virtex-6 FPGA デバイスの機能一覧

デバイス	ロジックセル	CLB (コンフィギュラブルロジックブロック)		DSP48E1 スライス <sup>(2)</sup>	ブロック RAM ブロック			MMCM <sup>(4)</sup>	PCI Express 用インターフェイスブロック	イーサネット MAC <sup>(5)</sup>	トランシーバー最大数		総 I/O バンク <sup>(6)</sup>	最大ユーザー I/O <sup>(7)</sup>
		スライス <sup>(1)</sup>	最大分散 RAM (Kb)		18Kb <sup>(3)</sup>	36Kb	最大 (Kb)				GTX	GTH		
XC6VLX75T	74,496	11,640	1,045	288	312	156	5,616	6	1	4	12	0	9	360
XC6VLX130T	128,000	20,000	1,740	480	528	264	9,504	10	2	4	20	0	15	600
XC6VLX195T	199,680	31,200	3,040	640	688	344	12,384	10	2	4	20	0	15	600
XC6VLX240T	241,152	37,680	3,650	768	832	416	14,976	12	2	4	24	0	18	720
XC6VLX365T	364,032	56,880	4,130	576	832	416	14,976	12	2	4	24	0	18	720
XC6VLX550T	549,888	85,920	6,200	864	1,264	632	22,752	18	2	4	36	0	30	1200
XC6VLX760	758,784	118,560	8,280	864	1,440	720	25,920	18	0	0	0	0	30	1200
XC6VSX315T	314,880	49,200	5,090	1,344	1,408	704	25,344	12	2	4	24	0	18	720
XC6VSX475T	476,160	74,400	7,640	2,016	2,128	1,064	38,304	18	2	4	36	0	21	840
XC6VHX250T	251,904	39,360	3,040	576	1,008	504	18,144	12	4	4	48	0	8	320
XC6VHX255T	253,440	39,600	3,050	576	1,032	516	18,576	12	2	2	24	24	12	480
XC6VHX380T	382,464	59,760	4,570	864	1,536	768	27,648	18	4	4	48	24	18	720
XC6VHX565T	566,784	88,560	6,370	864	1,824	912	32,832	18	4	4	48	24	18	720

注記 :

- Virtex-6 FPGA のスライスには、4 つの LUT と 8 つのフリップフロップが含まれ、一部のスライスでのみ LUT を分散 RAM または SRL として使用できます。
- 各 DSP48E1 スライスは、25 x 18 乗算器、加算器、アキュムレータを 1 つずつ含みます。
- ブロック RAM は、基本的に 36Kb ですが、2 つの独立した 18Kb ブロックとしても使用できます。
- 各 CMT には、2 つの MMCM (Mixed-Mode Clock Manager) が含まれます。
- この表では、デバイスあたりのイーサネット MAC 数を記載しています。
- コンフィギュレーション バンク 0 は含まれません。
- 記載の数値に GTX あるいは GTH トランシーバーは含まれません。

## Virtex-6 FPGA デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 2 に、Virtex-6 LXT FPGA、Virtex-6 SXT FPGA とパッケージおよび使用可能な最大 I/O 数の組み合わせを示します。

表 2 : Virtex-6 LXT FPGA、Virtex-6 SXT FPGA のデバイス/パッケージと使用可能な最大 I/O 数の組み合わせ

パッケージ	FF484 FFG484		FF784 FFG784		FF1156 FFG1156		FF1759 FFG1759		FF1760 FFG1760	
	23 x 23		29 x 29		35 x 35		42.5 x 42.5		42.5 x 42.5	
デバイス	GTX	I/O	GTX	I/O	GTX	I/O	GTX	I/O	GTX	I/O
XC6VLX75T	8	240	12	360						
XC6VLX130T	8	240	12	400	20	600				
XC6VLX195T			12	400	20	600				
XC6VLX240T			12	400	20	600	24	720		
XC6VLX365T					20	600	24	720		
XC6VLX550T							36	840	0	1200
XC6VLX760									0	1200
XC6VSX315T					20	600	24	720		
XC6VSX475T					20	600	36	840		

注記：

- フリップチップパッケージは鉛フリー (FFG) でも入手可能です。

表 3 に、Virtex-6 HXT FPGA とパッケージおよび使用可能な最大 I/O 数の組み合わせを示します。

表 3 : Virtex-6 HXT FPGA デバイス/パッケージと使用可能な最大 I/O 数の組み合わせ

パッケージ	FF1154 FFG1154			FF1155 FFG1155			FF1923 FFG1923			FF1924 FFG1924		
	35 x 35			35 x 35			45 x 45			45 x 45		
デバイス	GTX	GTH	I/O	GTX	GTH	I/O	GTX	GTH	I/O	GTX	GTH	I/O
XC6VHX250T	48	0	320									
XC6VHX255T				24	12	440	24	24	480			
XC6VHX380T	48	0	320	24	12	440	40	24	720	48	24	640
XC6VHX565T							40	24	720	48	24	640

注記：

- フリップチップパッケージは鉛フリー (FFG) でも入手可能です。

## コンフィギュレーション

Virtex-6 FPGA は、カスタマイズしたコンフィギュレーション データを SRAM タイプの内部ラッチに格納します。コンフィギュレーション ビット数は、デバイス サイズによって 26Mb ~ 177Mb となりますが、圧縮モードを使用しない限り、特定のユーザー インプリメンテーションからは独立しています。コンフィギュレーション データは揮発性の媒体に格納されるため、FPGA への電源投入ごとに再ロードする必要があります。格納されたデータは、PROGRAM\_B ピンを Low にすることで、随時再ロードできます。コンフィギュレーション データは複数の方法およびデータ形式でロード可能で、これは 3 つのモード ピンで決定します。

ビット シリアル コンフィギュレーションは、FPGA がコンフィギュレーション クロック (CCLK) を生成するマスタ シリアル モードか、外部のコンフィギュレーション データ ソースが FPGA へのクロックも供給するスレーブ シリアル モードのいずれかで実行できます。バイトおよびワード幅コンフィギュレーションの場合、8、16、または 32 ビット幅の転送で、マスタ SelectMAP モードでは CCLK 信号を生成し、スレーブ SelectMAP モードでは CCLK 信号を受信します。別の方法として、SPI (Serial-Peripheral Interface) および BPI (Byte-Peripheral Interface) モードでは、業界標準のフラッシュ メモリを使用し、FPGA の CCLK 出力でクロックが供給されます。また、JTAG モードでは、バウンダリスキャン プロトコルを用いてビット シリアルのコンフィギュレーション データをロードします。

ビットストリーム コンフィギュレーション情報は、ISE® ソフトウェアの BitGen というプログラムによって生成されます。コンフィギュレーションのプロセスは通常、次の順序で実行されます。

- 電源が投入された (パワーオン リセット)、または PROGRAM\_B が Low になったことを検出
- コンフィギュレーション メモリ全体をクリア
- モード ピンをサンプルしてコンフィギュレーション モードを特定: マスタ/スレーブ、ビット シリアル/パラレル、またはバス幅
- コンフィギュレーション データをロード: バス幅の検出パターンから開始し、次に同期ワード、適切なデバイス コードを確認して、最後にビットストリーム全体の CRC (巡回冗長検査) で完了
- スタート アップが、ユーザー定義のイベント シーケンスを実行: フリップフロップの内部リセット (またはプリセット) をリリース、オプションとして PLL (位相ロック ループ) のロックおよび DCI の一致の両方または一方が完了するまで待機、出力ドライバをアクティブ化した後、DONE ピンが High に駆動

## ダイナミック リコンフィギュレーション ポート

ダイナミック リコンフィギュレーション ポート (DRP) により、設計者はコンフィギュレーション ビット、および各クロック タイルの 32 ロケーション、システム モニターの 128 ロケーション、各シリアル GTX または GTH トランシーバーの 128 ロケーションの 3 タイプのブロックに対するステータス レジスタに簡単にアクセスできるようになります。

DRP はメモリにマップされたレジスタのように動作し、ブロック固有のコンフィギュレーション ビット、ステータス レジスタ、制御レジスタへのアクセスおよび変更ができます。

## 暗号化、リードバック、パーシャル リコンフィギュレーション

特別なオプションとして、デザインの不正なコピーを防止するためにビットストリームを AES 暗号化できます。Virtex-6 FPGA はこれを内部に格納された 256 ビットのキーを用いて復号化します。このキーは電源をバックアップとして使用するか、不揮発性の格納媒体に保存できます。

ほとんどのコンフィギュレーション データは、システム動作に影響を与えることなくリードバック可能です。通常はすべてをコンフィギュレーションするか、まったくコンフィギュレーションしないかのどちらかですが、Virtex-6 FPGA はパーシャル リコンフィギュレーションをサポートしています。パーシャル リコンフィギュレーションを適用できるデザインでは、FPGA の多様性は大幅に向上します。コンフィギュレーションが不要なロジックをアクティブにしたまま、FPGA の一部のみをリコンフィギュレーションすることも可能です (アクティブ パーシャル リコンフィギュレーション)。

## CLB、スライス、および LUT

Virtex-6 FPGA のルックアップ テーブル (LUT) は、6 入力 LUT (64 ビット ROM) 1 出力として、または出力が別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT (32 ビット ROM) としてコンフィギュレーションできます。LUT 出力はオプションとしてフリップフロップでラッチできます。このような LUT が 4 つ、それらのフリップフロップ 8 つ、マルチプレクサー、そして演算キャリア ロジックがスライスを構成し、2 つのスライスが CLB (コンフィギュラブル ロジック ブロック) を構成します。(各 LUT から 1 つずつ) 4 つのフリップフロップはオプションで、ラッチとして構成できます。この場合、スライスに残った 4 つのフリップフロップは未使用にする必要があります。

全スライスの 25 ~ 50% が LUT を 64 ビットの分散 RAM として、あるいは 32 ビットのシフト レジスタ (SRL32) か 2 つの SRL16 として使用できます。最近の合成ツールでは、このような高効率のロジック、演算、およびメモリ機能を活かした合成が実行されます。経験の豊富な設計者はこれらをインスタンスエートすることも可能です。

## クロック管理

各 Virtex-6 FPGA には最大 9 つの CMT (クロック マネージメント タイル) が含まれ、各 CMT は PLL をベースとする 2 つの MMCM (Mixed-Mode クロック マネージャ) で構成されています。

### 位相ロック ループ

MMCM は、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。MMCM の中心は周波数範囲が 1 オクターブ以上、600MHz ~ 最大 1600MHz の VCO (電圧制御オシレータ) です。また、これらには 3 つのプログラム可能な周波数分周回路 (D、M、O) があります。

Pre-Divider (前置分周器) D (コンフィギュレーションでプログラム可能) は入力周波数を低減させ、従来の PLL 位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 (コンフィギュレーションでプログラム可能) は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるよう、適切に選択する必要があります。

VCO には 等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが O0 ~ O6 の 7 つの出力分周器の 1 つを駆動するよう選択できます。これらの各分周器は、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

### MMCM のプログラマブル機能

MMCM は、入力ジッターのフィルターに対して低バンド幅、高バンド幅、そして最適化モードの 3 つのオプションを持ちます。低バンド幅モードではジッターの減衰が最大になりますが、位相オフセットが最小となりません。高バンド幅モードでは位相オフセットが最小になりますが、ジッターの減衰が最大にはなりません。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに部分的なカウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分を可能にするため、8 の倍数で周波数を合成できるようになります。

MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 600MHz では 30ps、1600MHz では 11.5ps となります。

### クロック分配

各 Virtex-6 FPGA は異なる 5 タイプのクロック ライン (BUFG、BUFR、BUFIO、BUFH、高性能クロック) を提供し、大きなファンアウト、短い伝搬遅延、非常に小さなスキューなどのさまざまなクロッキング要件に対応します。

### グローバル クロック ライン

Virtex-6 FPGA が備える 32 のグローバル クロック ラインは最大のファンアウトを提供し、全フリップフロップ クロック、クロック イネーブル、セット/リセット、および多数のロジック入力に使用できます。クロック領域には 12 のグローバル クロック ラインがあります。これらのラインはグローバル クロック バッファで駆動できるだけでなく、グリッチなしでクロックを多重伝送したり、クロック イネーブルとしての機能を果たします。グローバル クロックは、通常 CMT から駆動されるため、基本的なクロック分散遅延が完全に削除されます。

### リージョナル クロック

リージョナル クロックは、それがある領域とその上下の領域の全クロックを駆動できます。領域とは、高さが I/O の 40 個分/CLB の 40 個分で、幅がデバイスの半分のエリアと定義されます。Virtex-6 FPGA には 6 ~ 18 の領域があり、すべての領域に 6 つのリージョナル クロックトラックがあります。各リージョナル クロック バッファは、4 つの CC (クロック兼用) 入力ピンのいずれかから駆動でき、周波数はオプションとして 1 ~ 8 の任意の整数で分周可能です。

### I/O クロック

I/O クロックは非常に高速で、I/O ロジックおよびシリアライザー/デシリアライザー (SerDes) 回路にのみ使用します (「I/O ロジック」を参照)。Virtex-6 デバイスには、低ジッターで高性能なインターフェイス用に MMCM から I/O への優れた直接接続があります。

## ブロック RAM

すべての Virtex-6 FPGA に 156 ~ 1064 個のデュアルポートブロック RAM があり、それぞれが 36Kb を格納します。各ブロック RAM には、格納されたデータを共有する以外完全に独立した 2 つのポートがあります。

### 同期動作

読み出しおよび書き込みのメモリ アクセスは、クロックによって制御されます。すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタを通ります。クロックなしではいかなる動作も生じません。入力アドレスは常にクロックされ、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。

書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。

### プログラム可能なデータ幅

- 各ポートは 32K × 1、16K × 2、8K × 4、4K × 9 (または 8)、2K × 18 (または 16)、1K × 36 (または 32)、512 × 72 (または 64) のいずれかにコンフィギュレーションできます。2 つのポートには別々の比率を指定でき、これに対する制限はありません。
- 各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを 16K × 1 ~ 512 × 36 の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。
- 18Kb ブロック RAM の場合、単純なデュアルポートモードでのみ 36 ビット以上のデータ幅をサポートします。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。書き込み中に読み出し出力はありません。デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。
- 2 つの隣接した 36Kb ブロック RAM をカスケード接続し、追加ロジックなしで、64K × 1 のデュアルポート RAM としてコンフィギュレーションできます。

### エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し動作中にシングルビットエラーの修正、ダブルビットエラーの検出 (ECC) を実行します。ECC ロジックは 64/72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。これは、単純なデュアルポートモードでも機能しますが、書き込み中の読み出しはサポートしません。

### FIFO コントローラー

シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Almost Full、Almost Empty の 4 つのフラグを提供します。Almost Full および Almost Empty フラグは自由にプログラムできます。ブロック RAM と同様に、FIFO の幅およびワード数はプログラム可能ですが、書き込みポートと読み出しポートの幅は常に同一です。First-Word Fall-Through モードでは、最初の読み出し前でも最初に書き込まれたワードがデータ出力に現れます。そして、最初のワードが読み出された後は、通常モードと同様に動作します。

## デジタル信号処理 — DSP48E1 スライス

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。すべての Virtex-6 FPGA には、専用で完全にカスタマイズされた低消費電力 DSP スライスを数多く装備し、システムデザインの柔軟性を維持しながら、高速処理および小型化を実現しています。

各 DSP48E1 スライスは基本的に、専用の 25 × 18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成され、これらは共に 600MHz で動作可能な性能を持ちます。乗算器は動作中にバイパス可能で、2 つの 48 ビット入力が SIMD (Single-Instruction-Multiple-Data) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2 つの 10 個の異なるロジックファンクションから任意の 1 つを作成可能なロジックユニットに入力できます。

DSP48E1 には、通常対称フィルタに使用される前置加算器が追加されています。この新しい加算器により、高密度に実装されたデザインのパフォーマンスが向上し、ロジックスライス数が最大 50% 削減されます。

DSP48E1 スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度、そして効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミックシフター、メモリアドレスジェネレーター、多入力マルチプレクサー、メモリマップされた I/O レジスタファイルが含まれます。また、アキュムレータは同期のアップ/ダウンカウンタとしても使用可能です。乗算器はロジック演算 (AND、OR) およびパレルシフトを実行できます。

## 入力/出力

I/O ピン数は、デバイスおよびパッケージサイズによって 240 ~ 1200 と異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠し、最大 2.5V までサポートします。Virtex-6 FPGA SelectIO リソース ユーザー ガイドには、さまざまな I/O オプションにおける I/O 互換性が記載されています。電源ピンおよび一部のコンフィギュレーション専用ピンを除き、すべてのパッケージピンは同一の I/O 性能を持ち、特定のバンク規則によってのみ制約されます。

全 I/O ピンは、バンクごとに 40 ピンずつ分割されています。各バンクには 1 つの共通  $V_{CCO}$  出力電源ピンがあり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには外部に基準電圧 ( $V_{REF}$ ) が必要です。バンクあたり 2 つの  $V_{REF}$  ピンがありますが (コンフィギュレーションバンク 0 は除く)、1 つのバンクで使用できる  $V_{REF}$  電圧値は 1 つのみです。

### I/O 電気特性

シングルエンド出力は、従来型の CMOS プッシュ/プル出力ストラクチャを使用するもので、 $V_{CCO}$  は High を、グランドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルーレートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

すべての信号ピン ペアが、差動入力ペアまたは出力ペアとしてコンフィギュレーションできます。さらに、差動入力ペアを 100 $\Omega$  の内部抵抗で終端できるオプションもあります。Virtex-6 デバイスは、HT、RSDS、BLVDS、差動 SSTL、差動 HSTL といった LVDS 以外の差動規格もサポートします。

### デジタル制御インピーダンス

デジタル制御インピーダンス (DCI) は、出力駆動インピーダンス (直列終端) を制御したり、あるいは  $V_{CCO}$  に対して入力信号を並列終端、 $V_{CCO}/2$  に対して分割 (テブナン) 終端を構成可能です。DCI は各バンクで 2 つのピンをリファレンスピンとして使用しますが、そのようなペア 1 つで複数のバンクが制御可能です。VRN を確実に  $V_{CCO}$  にプルアップすると同時に、VRP を確実にグランド接続してください。抵抗は特性トレースインピーダンスの 1 倍または 2 倍の必要があり、通常は 50 $\Omega$  に近い値となります。

### I/O ロジック

#### 入力および出力遅延

ここでは、I/O インターフェイスに接続されたロジックリソースについて説明します。すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。すべての入力または出力は、それぞれを ~78ps 単位で、最大 32 タップ分個別に遅延させることができ、これは IODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。

いずれかの IODELAY を使用するには、システム設計者が IODELAY 制御ブロックをインスタンス化し、これを 200MHz に近い周波数のクロックで動作させる必要があります。各 32 タップの総 IODELAY は、この周波数で制御されるため、温度、電源電圧、およびプロセスの変動の影響を受けません。

### ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビットシリアル I/O とより低速なパラレル動作を組み合わせます。そして、これには I/O ストラクチャ内にシリアライザーおよびデシリアライザー (SerDes) が必要となります。各入力はそれ自体のデシリアライザー (シリアル-パラレルコンバーター) へのアクセスがあり、パラレル幅は 2、3、4、5、6、7、8、または 10 ビットにプログラム可能です。各出力はそれ自体のシリアライザー (パラレル-シリアルコンバーター) へのアクセスがあり、パラレル幅はシングルデータレート (SDR) で最大 8 ビット、ダブルデータレート (DDR) で最大 10 ビットにプログラム可能です。

## システム モニター

すべての Virtex-6 FPGA は、温度および電源のステータス情報を提供するシステムモニター回路を搭載しています。センサー出力は、10 ビット 200kSPS の ADC (Analog-to-Digital コンバーター) によってデジタル変換されます。この ADC は完全にテストおよび評価されており、最大 17 の外部アナログ入力チャネルをデジタル変換可能です。システムモニター ADC は、オンチップのリファレンス回路を使用するため、外部にアクティブなコンポーネントはまったく必要ありません。オンチップの温度および電源は、それぞれ  $\pm 4^\circ\text{C}$ 、 $\pm 1\%$  の精度で計測されます。

デフォルトのシステムモニターは、全オンチップセンサーの出力を継続的にデジタル化します。最も新しい計測結果は、最大および最小の測定結果と共に専用のレジスタに格納され、DRP または JTAG インターフェイスを介して常時アクセスできます。また、ユーザー定義のアラームしきい値によって超過温度イベントおよび許容外の温度変動を自動的に知らせることができ、指定された制限 (たとえば、 $125^\circ\text{C}$ ) を用いて自動的に電源を切断するようにもできます。

システムモニターはデザインで明確にインスタンス化する必要はありません。適切な電源接続が確立されると、計測データは、プリコンフィギュレーション時や電源切断中を含み、常時 JTAG テストアクセスポート (TAP) からアクセス可能です。

## 低電力ギガビット トランシーバー

IC 間、バックプレーン上、あるいはより長距離間の超高速データ転送が、ますます頻繁に使用され、かつ重要になってきています。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要となります。

1 つを除くすべての Virtex-6 デバイスに、8 ~ 72 個のギガビット トランシーバー回路が搭載されています。各 GTX トランシーバーは、480Mb/s ~ 6.6Gb/s のデータ レートで動作できるトランスミッターおよびレシーバーの組み合わせで構成されています。低速なデータ レートは、FPGA ロジックでのオーバーサンプリングによって実現可能です。一方、各 GTH トランシーバーは、2.488Gb/s ~ 11.18Gb/s で動作するトランスミッターおよびレシーバーの組み合わせで構成されています。GTX トランスミッターおよびレシーバーは個別の PLL を使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で通倍することでビット シリアル データ クロックを生成します。GTH トランシーバーは 10Gb/s のデータ レートをサポートするように設計されたもので、1 つの高性能 PLL を 4 つのトランスミッター回路およびレシーバー回路で共有します。GTX および GTH トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

### トランスミッター

GTX トランスミッターは基本的に、変換比率が 8、10、16、20、32、または 40 のパラレル-シリアル コンバーターです。GTH トランスミッターは、16、20、32、40、64、または 80 ビット幅をサポートし、高性能デザインのタイミング マージンに対応します。これらのトランスミッターの出力は、シングル チャネルの差動 CML (Current-Mode Logic) 出力信号で PC ボードを駆動します。

TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データは、小型の FIFO を通り、オプションとして十分なデータ遷移が生じるよう 8B/10B、64B/66B、または 64B/67B (GTX のみ) アルゴリズムで変換できます。ビット シリアル出力信号は、相補的な CML 信号で 2 つのパッケージピンを駆動します。この出力信号ペアは、信号振幅幅およびブリエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。

### レシーバー

レシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 8、10、16、20、32、または 40 ビット幅のパラレル ストリーム ワードに変換するシリアル-パラレル コンバーターです。GTH トランシーバーは、16、20、32、40、64、または 80 ビット幅の対応によって、より大きなタイミング マージンを提供します。レシーバーは入力差動データ ストームを受け取って、それを (PC ボードやほかのインターコネクト特性を補うため) プログラム可能なイコライザを通し、 $F_{REF}$  入力を使用してクロックの認識を開始します。個別のクロック ラインは必要ありません。データ パターンは NRZ (Non-Return-to-Zero) エンコーディングを使用し、オプションとして選択したエンコーディング方式を用いることで十分なデータ遷移が生じるようにします。パラレル データは、RXUSRCLK クロックを使用して FPGA ロジックに転送されます。GTX トランシーバーのシリアル-パラレル変換比は 8、10、16、20、32、または 40 で、GTH トランシーバーの場合は 16、20、32、40、64、または 80 です。

### Out-of-Band 信号

GTX トランシーバーは Out-of-Band (OOB) 信号を提供します。この信号は、一般的にリンクがパワー ダウン ステートにあるか初期化されておらず、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するために多く使用されます。この機能は、PCI Express および SATA/SAS のアプリケーションで有用です。

## PCI Express デザイン用の内蔵インターフェイス ブロック

PCI Express 規格はパケット ベースで、Point-to-Point のシリアル インターフェイス規格です。差動信号送信はエンベデッド クロックを使用することで、従来の広いパラレル バスにおける Clock-to-Data スキューの問題を回避します。

PCI Express Base Specification Revision 2.0 は Revision 1.1 と後方互換性があり、各方向でレーンあたり 2.5Gb/s または 5.0Gb/s のコンフィギュレーション可能なロー データ レートを定義しています。仕様では、バンド幅を増減させるため、複数のラインを結合して PCI Express デバイス間でより大きなラインを形成することが認められています。

XC6VLX760 を除くすべての Virtex-6 デバイスには、PCI Express Base Specification Revision 2.0 に準拠するように設計され、エンドポイントまたはルート ポートとしてコンフィギュレーション可能な、PCI Express 用の内蔵インターフェイスブロックが最低 1 つ搭載されています。ルート ポートは、ルート コンプレックス相当の機能を提供し、PCI Express プロトコルを用いた FPGA 間のカスタム通信を可能にするだけでなく、ファイバー チャネル HBA などの ASSP エンドポイント デバイスを FPGA に接続します。

このブロックはシステム デザイン要件に従うよう高度にコンフィギュレーション可能で、2.5Gb/s および 5.0Gb/s のデータ レートで 1、2、4、または 8 レーンの動作をサポートします。高性能アプリケーション向けには、ブロックの高度なバッファリング テクニックにより、1,024 バイトまでの柔軟性に優れた最大ペイロードサイズを提供します。また、シリアル コネクティブリティ用に GTX トランシーバーと、データ バッファリング用にブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データ リンク層、そしてトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCI Express 用内蔵ブロック、GTX トランシーバー、ブロック RAM、クロック リソース) をエンドポイントまたはルート ポート ソリューションに活用できるようにする軽量、コンフィギュラブル、かつ使用が容易な LogiCORE™ ラッパーを提供しています。レーン幅、最大ペイロード サイズ、FPGA ロジック インターフェイス速度、リファレンス クロック周波数、およびベース アドレス レジスタのデコーディングとフィルタリングなど、数多くのコンフィギュレーション可能なパラメーターをシステム設計者が制御できます。



PCI Express デザインのソリューションに関するドキュメントおよび詳細は、次のサイトから入手できます。

<http://japan.xilinx.com/technology/protocols/pciexpress.htm>

## 10/100/1000Mb/s イーサネット コントローラー (2,500Mb/s サポート)

内蔵されたトライモード イーサネット MAC (TEMAC) ブロックは、FPGA ロジック、GTX トランシーバー、および SelectIO リソースへの接続が容易です。この TEMAC ブロックにより、ロジック リソースが節約され、設計の負荷が軽減されます。すべての Virtex-6 デバイス (XC6VLX760 を除く) には、4 つの TEMAC ブロックが搭載されており、OSI プロトコル スタックの LINK 層をインプリメントします。CORE Generator™ ソフトウェアの GUI で、このブロックと GTX トランシーバーまたは SelectIO テクノロジ、FPGA ロジック、そしてマイクロプロセッサ (必要な場合は) への柔軟なインターフェイスを作成できます。TEMAC は IEEE Std 802.3-2005 仕様に準拠するよう設計されており、2,500Mb/s もサポートされています。

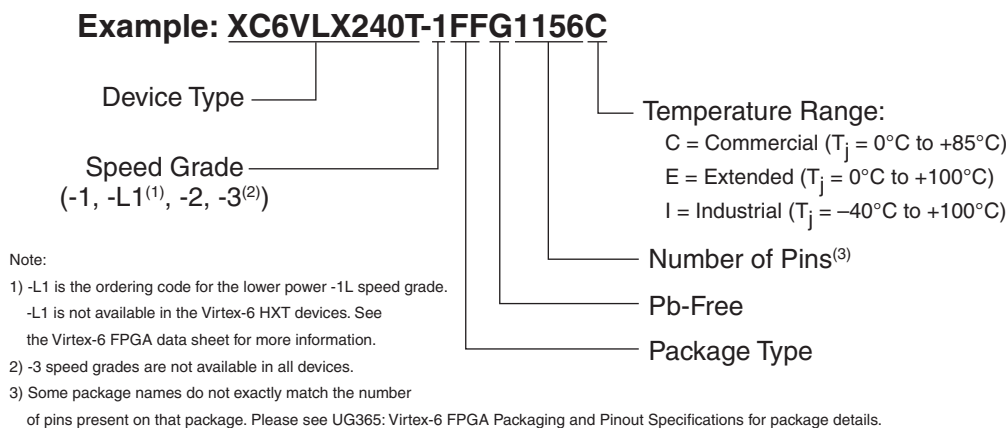
## Virtex-6 FPGA の注文情報

表 4 に、Virtex-6 デバイス ファミリーで提供されているスピード グレードおよび温度グレードを示します。一部のデバイスでは、入手可能なスピード グレードと温度グレードに制限があります。

表 4 : Virtex-6 FPGA のスピード グレードと温度範囲

デバイス ファミリー	スピード グレードおよび温度範囲		
	コマーシャル温度 (C) 0°C ~ +85°C	拡張温度 (E) 0°C ~ +100°C	インダストリアル温度 (I) -40°C ~ +100°C
Virtex-6 LXT	-3, -2, -1, -1L	-2	-2, -1, -1L
Virtex-6 SXT	-3, -2, -1, -1L	-2	-2, -1, -1L
Virtex-6 HXT	-3, -2, -1	-2	-2, -1

図 1 示す Virtex-6 FPGA の注文情報は、鉛フリー パッケージを含むすべてのパッケージに適用されます。



DS150\_01\_103111

図 1 : Virtex-6 FPGA の注文情報

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2009/02/02	1.0	初版リリース
2009/05/05	1.1	3 ページの表 2、XC6VSX315T および XC6VSX475T の両デバイスに FF1156 パッケージを追加。page 8 の PCI Express の説明から LogiCORE ラッパーの LUT 数 (100 以下) の記載を削除し、5.0Gb/s データ レートでの 8 レーン サポートを記載。「グローバル クロック ライン」および「10/100/1000Mb/s イーサネット コントローラー (2,500Mb/s サポート)」セクションの記載ミスを修正。文書全体の体裁修正。
2009/06/24	1.2	注文情報と資料セクションの追加。
2009/09/16	2.0	Virtex-6 に HXT ファミリーを追加。「コンフィギュレーション」セクションのビット数を 26Mb に更新。
2009/11/06	2.1	page 1 の分散 RAM の機能を修正。表 1 の「XC6VHX565T」の CLB スライス数を更新。PCI Express Base Specification Revision 2.0 への準拠を明記。「PCI Express デザイン用の内蔵インターフェイス ブロック」セクションの資料およびリンクを更新。
2010/01/28	2.2	表 1 の XC6VHX255T に、2 つのイーサネット MAC を記載。5 ページの「クロック管理」の VCO の最低周波数を 600MHz に変更、位相シフトのインクリメントのタイミングを改訂。GTX トランシーバーの動作範囲を 6.6Gb/s までに修正。GTX の PLL 入力のリファレンス クロック周波数の分周値を変更。
2011/03/24	2.3	資料分類を Advance 製品仕様 から Preliminary 製品仕様 に変更。図 1 を更新。
2012/01/19	2.4	資料分類を Preliminary 製品仕様 から Product 製品仕様 に変更。「コンフィギュレーション」、「CLB、スライス、および LUT」、「低電力ギガビット トランシーバー」、および「Virtex-6 FPGA の注文情報」(図 1 を含む) を更新。

## Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials, or to advise you of any corrections or update. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v2.4) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

## Virtex-6 FPGA 関連資料

Virtex-6 ファミリー FPGA の最新版資料は、ザイリンクス ウェブサイトから入手可能です。このページからは Virtex-6 ファミリー概要のほか、次の資料がダウンロードいただけます。

### Virtex-6 FPGA データシート：DC 特性およびスイッチ特性 (DS152)

Virtex-6 ファミリーの DC 特性およびスイッチ特性が記載されています。

### Virtex-6 FPGA パッケージおよびピン配置仕様 (UG365)

デバイス/パッケージの組み合わせと最大 I/O 数、ピン定義、ピン配置表、ピン配置図、機械的図面が含まれ、温度特性も記載されています。

### Virtex-6 FPGA コンフィギュレーション ガイド (UG360)

この包括的なコンフィギュレーション ガイドは、コンフィギュレーション インターフェイス (シリアルとパラレル)、マルチビットストリームの管理、ビットストリームの暗号化、バウンダリ スキャンおよび JTAG コンフィギュレーション、リコンフィギュレーション テクニックの各章で構成されています。

### Virtex-6 FPGA SelectIO リソース ユーザー ガイド (UG361)

すべての Virtex-6 デバイスで利用可能な SelectIO™ リソースについて説明しています。

### Virtex-6 FPGA クロック リソース ユーザー ガイド (UG362)

すべての Virtex-6 デバイスで利用可能な MCM およびクリックバッファを含むクロッキング リソースについて説明しています。

### Virtex-6 FPGA メモリ リソース ユーザー ガイド (UG363)

Virtex-6 デバイスが備えるブロック RAM および FIFO の機能について説明しています。

### Virtex-6 FPGA CLB ユーザー ガイド (UG364)

すべての Virtex-6 デバイスが持つコンフィギュラブル ロジック リソース (CLB) について説明しています。

### Virtex-6 FPGA GTX トランシーバー ユーザー ガイド (UG366)

XC6VLX760 を除くすべての Virtex-6 デバイスで利用可能な GTX トランシーバーについて説明しています。

### Virtex-6 FPGA GTH トランシーバー ユーザー ガイド (UG371)

XC6VHX250T および XC6VHX380T の FF1154 パッケージを除くすべての Virtex-6 HXT デバイスで利用可能な GTH トランシーバーについて説明しています。

### Virtex-6 FPGA DSP48E1 スライス ユーザー ガイド (UG369)

Virtex-6 FPGA が備える DSP48E1 スライスのアーキテクチャについて説明し、コンフィギュレーション例が記載されています。

### Virtex-6 FPGA トライモード イーサネット MAC ユーザー ガイド (UG368)

XC6VLX760 を除くすべての Virtex-6 FPGA が備えるトライモード イーサネット メディア アクセス コントローラー (TEMAC) について説明しています。

### Virtex-6 FPGA システム モニター ユーザー ガイド (UG370)

システム モニターの機能について説明しています。

### Virtex-6 FPGA PCB デザイン ガイド (UG373)

Virtex-6 デバイスを使用した PCB デザインの、PCB およびインターフェイス レベルでの意思決定ストラテジについて説明しています。