

## 概要

Spartan®-6 ファミリは、量産アプリケーションに最も低い総コストで最先端のシステム統合機能を提供します。このファミリは 13 の製品で構成されており、集積度は 3,840 ~ 147,443 ロジックセルと広範囲で、前世代 Spartan ファミリの半分の消費電力でさらに高速かつ包括的なコネクティビティを提供します。Spartan-6 ファミリは、コスト、消費電力、性能を最適なバランスで提供するために、実績ある 45nm の低消費電力銅配線プロセス技術を採用し、新しく、効率性の増したデュアルレジスタ 6 入力 LUT (ルックアップテーブル) ロジックおよび内蔵型のシステムレベルブロックを豊富に装備しています。これらのブロックには、18Kb (2 x 9Kb) ブロック RAM、第 2 世代 DSP48A1 スライス、SDRAM メモリコントローラー、機能強化された多様なモードのクロック マネージメントブロック、SelectIO™ テクノロジ、消費電力を低減した高速シリアル トランシーバーブロック、PCI Express® に準拠したエンドポイントブロック、高度なシステムレベルの電力管理モード、自動検出コンフィギュレーション オプション、AES と Device DNA による強化された IP セキュリティが含まれます。このような機能により、ASIC に代わる、使用が非常に簡単な低コストのプログラマブルデバイスが実現されています。Spartan-6 FPGA は、量産ロジックデザイン、カスタマー指向の DSP デザイン、コストを重視するエンベデッドアプリケーションに最高のソリューションを提供します。この Spartan-6 FPGA は、ソフトウェアとハードウェア コンポーネントが 1 つに包括して提供され、設計者が開発の初期段階からデザインに独自の価値を付加する作業に集中できるようにするターゲットデザインプラットフォームの基盤となるプログラマブルシリコンです。

## Spartan-6 の特長

- Spartan-6 ファミリ
  - Spartan-6 LX FPGA : ロジック向け
  - Spartan-6 LXT FPGA : 高速シリアル コネクティビティ向け
- 低消費電力に最適化
  - 複数の効率的な統合ブロック
  - 最適かつ多様な I/O 規格のサポート
  - スタッガード パッドを採用
  - 量産プラスチックワイヤボンディングパッケージ
- スタティックおよびダイナミック消費電力の低減
  - 低コスト、低消費電力に最適化された 45nm プロセス
  - 電力を消費しないハイバネート電源モード
  - 複数ピンでのウェークアップ、制御によってステートとコンフィギュレーションを維持するサスペンドモード
  - 低消費電力の 1.0V コア電圧 (LX FPGA、-1L のみ)
  - 高性能 1.2V コア電圧 (LX および LXT FPGA、-2、-3、および -3N スピードグレード)
- 複数電圧、複数規格に対応する SelectIO™ インターフェイスバンク
  - 差動 I/O 当たり最大 1,080Mb/s のデータ転送速度
  - ピン当たり最大 24mA まで出力駆動能力を選択可能
  - 3.3V ~ 1.2V の I/O 規格およびプロトコル
  - 低コスト HSTL および SSTL メモリ インターフェイス
  - ホットスワップに準拠
  - I/O スループレートが調整可能であるため、シグナルインテグリティが向上
- 高速 GTP シリアル トランシーバーを搭載した LXT FPGA
  - 最高 3.2Gb/s
- 高速インターフェイス : シリアル ATA、Aurora、1G イーサネット、PCI Express、OBSAI、CPRI、EPON、GPON、DisplayPort、XAUI
- PCI Express 用エンドポイントブロックの統合 (LXT)
- 32 および 64 ビット、33MHz の仕様に準拠した低コストの統合 PCI® テクノロジのサポート
- 効率的な DSP48A1 スライス
  - 高性能な演算および信号処理
  - 高速の 18 x 18 乗算器および 48 ビット アキュムレータ
  - パイプライン化およびカスケード機能
  - フィルターアプリケーションをサポートする前置加算器
- メモリコントローラーブロックの統合
  - DDR、DDR2、DDR3、LPDDR のサポート
  - 最大データレート 800Mb/s (最大 12.8Gb/s の帯域幅)
  - 独立した FIFO を備えた複数ポートバスストラクチャにより、タイミングの問題を軽減
- ロジック容量が増加した豊富なロジックリソース
  - シフトレジスタ/分散 RAM オプション
  - 効率的な 6 入力 LUT による性能向上と消費電力削減
  - パイプラインベースのアプリケーション用のデュアルフリップフロップを備えた LUT
- 広範囲な粒度のブロック RAM
  - Byte Write Enable が可能な高速ブロック RAM
  - オプションで 2 つの独立した 9Kb ブロック RAM として使用可能な 18Kb ブロック

- CMT (クロック マネージメント タイル) による性能の向上
  - 低ノイズで、柔軟なクロッキング
  - クロック スキューおよびデューティ サイクルの歪みを軽減するデジタル クロック マネージャ (DCM)
  - 低ジッターのクロッキングを実現する位相ロック ループ (PLL)
  - 乗算、除算、位相シフトを同時に実行できる周波数合成
  - 16 個の低スキュー グローバル クロック ネットワーク
- コンフィギュレーションの単純化と低コスト規格のサポート
  - 2 ピンでの自動検出コンフィギュレーション
  - サードパーティの SPI (最大 x4) および NOR フラッシュを広範囲でサポート
- 機能が豊富なザイリンクス プラットフォーム フラッシュ (JTAG を使用)
- 複数のビットストリームを用いたリモートでのアップデートをマルチブート機能でサポート (ウォッチドッグ保護機能を使用)
- 強化されたセキュリティによるデザイン保護
  - デザイン認証に固有の Device DNA 識別子を使用
  - 大型のデバイスでは AES ビットストリームを暗号化
- 向上した低コストの MicroBlaze™ ソフト プロセッサを使用した高速エンベデッド プロセッシング
- 業界最先端の IP およびリファレンス デザイン

## Spartan-6 FPGA の機能

表 1 : Spartan-6 FPGA デバイスの機能一覧

デバイス	ロジックセル <sup>(1)</sup>	コンフィギュラブル ロジック ブロック (CLB)			DSP48A1 スライス <sup>(3)</sup>	ブロック RAM ブロック		CMT <sup>(5)</sup>	メモリ コントローラー ブロック (最大数) <sup>(6)</sup>	PCI Express 用 エンドポイント ブロック PCI Express	最大 GTP トランシーバー	合計 I/O バンク	最大 ユーザー I/O
		スライス <sup>(2)</sup>	フリップフロップ	最大分散 RAM (Kb)		18Kb <sup>(4)</sup>	最大 (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

注記 :

1. Spartan-6 FPGA のロジック セル数は、新しい 6 入力 LUT アーキテクチャによって強化されたロジック セル機能を反映させてカウントされています。
2. 各 Spartan-6 スライスには、4 つの LUT と 8 つのフリップフロップが含まれます。
3. 各 DSP48A1 スライスには、18 x 18 乗算器、加算器、アキュムレータが 1 つずつ含まれます。
4. ブロック RAM の基本的なサイズは 18Kb です。各ブロックは、2 つの独立した 9Kb ブロックとしても使用できます。
5. 各 CMT には、2 つの DCM と 1 つの PLL が含まれます。
6. メモリ コントローラー ブロックは、スピード グレード -3N ではサポートされていません。

## Spartan-6 FPGA デバイスとパッケージの組み合わせと最大 I/O 数

表 2 に、Spartan-6 FPGA のデバイスとパッケージの各組み合わせで利用可能な I/O および GTP トランシーバー数を示します。トランシーバーの有無により、LX と LXT ではピン配置に互換性がありません。

表 2 : Spartan-6 FPGA のデバイスとパッケージの組み合わせと使用可能な最大 I/O 数

パッケージ	CPG196 <sup>(1)</sup>	TQG144 <sup>(1)</sup>	CSG225 <sup>(2)</sup>	FT(G)256 <sup>(3)</sup>	CSG324		FG(G)484 <sup>(3,4)</sup>		CSG484 <sup>(4)</sup>		FG(G)676 <sup>(3)</sup>		FG(G)900 <sup>(3)</sup>	
	本体 (mm)	8 x 8	20 x 20	13 x 13	17 x 17	15 x 15		23 x 23		19 x 19		27 x 27		31 x 31
ピッチ (mm)	0.5	0.5	0.8	1.0	0.8		1.0		0.8		1.0		1.0	
デバイス	ユーザー I/O	ユーザー I/O	ユーザー I/O	ユーザー I/O	GTP	ユーザー I/O	GTP	ユーザー I/O	GTP	ユーザー I/O	GTP	ユーザー I/O	GTP	ユーザー I/O
XC6SLX4	106	102	132											
XC6SLX9	106	102	160	186	NA	200								
XC6SLX16	106		160	186	NA	232								
XC6SLX25				186	NA	226	NA	266						
XC6SLX45					NA	218	NA	316	NA	320	NA	358		
XC6SLX75							NA	280	NA	328	NA	408		
XC6SLX100							NA	326	NA	338	NA	480		
XC6SLX150							NA	338	NA	338	NA	498	NA	576
XC6SLX25T					2	190	2	250						
XC6SLX45T					4	190	4	296	4	296				
XC6SLX75T							4	268	4	292	8	348		
XC6SLX100T							4	296	4	296	8	376	8	498
XC6SLX150T							4	296	4	296	8	396	8	540

### 注記:

- これらのデバイスにはメモリ コントローラーは搭載されていません。
- XC6SLX9 および XC6SLX16 デバイスの CSG225 パッケージでサポートされるメモリ コントローラーは x8 です。XC6SLX4 デバイスにメモリ コントローラーは搭載されていません。
- これらのデバイスは、標準の注文オプションとして鉛パッケージと鉛フリー パッケージ (G を追加) の両方で提供されています。
- これらのパッケージの XC6SLX75、XC6SLX75T、XC6SLX100、XC6SLX100T、XC6SLX150、XC6SLX150T デバイスでは、4 つのメモリ コントローラーのうち、2 つがサポートされます。

## コンフィギュレーション

Spartan-6 FPGA では、カスタマイズしたコンフィギュレーション データを SRAM タイプの内部ラッチに格納します。コンフィギュレーション ビット数は、デバイスのサイズとユーザー デザインのインプリメンテーション オプションに依存し、3Mb ~ 33Mb です。コンフィギュレーション データは揮発性の媒体に格納されるため、FPGA への電源投入ごとに再ロードする必要があります。格納されたデータは、PROGRAM B ピンを Low にすることで、随時再ロードできます。コンフィギュレーション データのロードには、複数の方法とデータ形式が利用可能です。

ビット シリアル コンフィギュレーションは、FPGA がコンフィギュレーション クロック (CCLK) 信号を生成するマスター シリアル モードか、外部コンフィギュレーション データ ソースが FPGA へのクロックも供給するスレーブ シリアル モードのいずれかで実行できます。バイト幅のコンフィギュレーションにおける転送は 8 および 16 ビット幅で、マスター SelectMAP モードでは CCLK 信号を生成し、スレーブ SelectMAP モードでは CCLK 信号を受信します。マスター シリアル モードでは、オプションでビットストリームの開始によってクロッキング ソースを内部クロックよりも高速で正確な外部クロックに切り替えることができます。JTAG ピンも利用可能で、バウンダリスキャンプロトコルを用いてビット シリアルのコンフィギュレーション データをロードします。

ビットストリーム コンフィギュレーションの情報は、ISE® ソフトウェアの BitGen というプログラムによって生成されます。通常、コンフィギュレーションプロセスは次の順序で実行されます。

- 電源が投入された (パワーオンリセット)、または PROGRAM\_B が Low になったことを検出
- コンフィギュレーション メモリ全体をクリア
- モード ピンをサンプルしてコンフィギュレーション モードを特定: マスター/スレーブ、ビット シリアル/パラレル
- コンフィギュレーション データをロード: バス幅の検出パターンから開始し、同期ワード、適切なデバイス コードを確認して、最後にビットストリーム全体の CRC (巡回冗長検査) で完了
- ユーザー定義の一連のイベントを開始: フリップフロップの内部リセット (またはプリセット) のリリース、DCM または PLL、あるいはこれら両方のロックを待機 (オプション)、出力ドライバの起動、DONE ピンの High 駆動

FPGA のコンフィギュレーションには、主にマスター シリアル ペリフェラル インターフェイス (SPI) およびマスター バイトワイド ペリフェラル インターフェイス (BPI) の 2 つの方法が使用されます。Spartan-6 FPGA は、業界標準の SPI シリアル フラッシュ PROM に直接接続してセルフコンフィギュレーションします。また、パラレル NOR フラッシュに接続する場合には、BPI を使用してセルフコンフィギュレーション可能です。Spartan-6 ただし、XC6SLX4、XC6SLX25、XC6SLX25T デバイスでは BPI コンフィギュレーションはサポートされておらず、TQG144 および CPG196 パッケージの Spartan-6 FPGA で BPI は使用できません。

Spartan-6 FPGA は、2 つ以上の FPGA コンフィギュレーション ビットストリームを 1 つのコンフィギュレーション ソースに保存できるマルチブート コンフィギュレーションをサポートしています。後続して読み込むコンフィギュレーション ビットストリームの選択やそのタイミングは FPGA アプリケーションが制御します。

また、Spartan-6 FPGA には、トラッキング、デザインのコピー防止、IP の保護を目的とした Device DNA があらかじめ設定されています。最も大型のデバイスでは、ビットストリームが不正にコピーされることを防ぐため、AES 暗号が用いられています。

## リードバック

ほとんどのコンフィギュレーション データは、システムの動作に影響を及ぼすことなくリードバックできます。

## CLB、スライス、および LUT

Spartan-6 FPGA の各コンフィギュラブル ロジック ブロック (CLB) は、2 つの垂直カラムの一部として並列する 2 つのスライスで構成されています。Spartan-6 アーキテクチャには、SLICEM、SLICEL、および SLICEX の 3 種類の CLB スライスがあります。各スライスには、4 つの LUT、8 つのフリップフロップ、その他のロジックが含まれます。LUT は汎用の組み合わせロジックおよびシーケンシャル ロジックに使用されます。合成ツールでは、このような高効率のロジック、演算、およびメモリ機能を活かした合成が実行されます。さらに、経験の豊富な設計者はこれらをインスタンスすることも可能です。

### SLICEM

Spartan-6 FPGA のスライスの 4 分の 1 (25%) が SLICEM です。4 つの SLICEM LUT はそれぞれ、出力を 1 つ備えた 6-入力 LUT か、5 ビットの同一アドレスと 2 つの独立した出力を持つデュアル 5 入力 LUT として構成できます。これらの LUT は、64 ビットの分散 RAM (1 つの LUT が 64 ビットの RAM 1 つ、または 32 ビットの RAM 2 つとなる)、32 ビットシフトレジスタ (SRL32) 1 つ、またはアドレス指定可能な 16 ビットのシフトレジスタ (SRL16) 2 つとして使用できます。各 LUT 出力は、CLB 内のフリップフロップでラッチできます。演算処理では、高速のキャリー チェーンがスライス カラム内で上方に向けてキャリー信号を伝播します。

### SLICEL

Spartan-6 FPGA スライスの 4 分の 1 (25%) が SLICEL です。メモリおよびシフトレジスタ機能を除く SLICEM の全機能を備えています。

### SLICEX

Spartan-6 FPGA スライスの 2 分の 1 (50%) が SLICEX です。SLICEX の構造は、演算キャリー オプションおよび多入力マルチプレクサーを除き SLICEL と同じです。

## クロック管理

各 Spartan-6 FPGA は、最大 6 つの CMT を含みます。1 つの CMT は、個別にあるいは結合して使用できる 2 つの DCM および 1 つの PLL で構成されています。

### DCM

DCM は入力周波数 (CLKIN) の位相を 0°、90°、180°、270°(CLK0、CLK90、CLK180、CLK270) シフトさせた 4 つクロックを生成でき、周波数が 2 倍の CLK2X とそれを反転した CLK2X180 も生成できます。CLKDV は周波数を分周したクロックを提供し、これは CLK0 と同位相にできます。分周比は 2 ~ 16 の各整数、および 1.5、2.5、3.5...、7.5 に設定できます。また、CLKIN はオプションとして 2 で分周できます。クロック信号が CLKIN を駆動し、CLK0 出力が CLKFB 入力に戻る場合、DCM は遅延なしのクロックバッファとなります。

### 周波数合成

基本的な DCM 機能とは別に、DCM 入力周波数 ( $F_{IN}$ ) を M (2 ~ 32 の整数) で通倍し、同時に D (1 ~ 32 の整数) で分周した出力周波数を出力するよう、周波数合成出力 CLKFX および CLKFX180 をプログラムできます。

### 位相シフト

CLK0 が CLKFB に接続されている状態で、9 つの CLK の出力すべて (CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、CLKDV、CLKFX、CLKFX180) は、固定遅延の整数倍で定義された共通の数値でシフトできます。DCM の固定遅延値 (入力周期の分数) はコンフィギュレーションで設定でき、動的にインクリメントまたはデクリメント可能です。

### スペクトラム拡散クロック

『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』に記載された入力クロック仕様に従っている場合、DCM は一般的なスペクトラム拡散クロック入力を受信およびトラックできます。Spartan-6 FPGA は、標準の固定周波数オシレーターからのスペクトラム拡散クロックを生成します。

### PLL

PLL は、DCM と併用した場合には入力クロックの広範囲周波数の合成回路およびジッター フィルターとしての機能を提供します。PLL の中心は周波数範囲が 1 オクターブ以上の 400MHz ~ 最大 1,080MHz の VCO (電圧制御オシレーター) です。また、PLL には 3 つのプログラム可能な周波数分周回路 (D、M、O) があり、必要な場合はアプリケーションに VCO を適用します。

Pre-Divider (前置分周器) D (コンフィギュレーションでプログラム可能) は入力周波数を低減させ、従来の PLL 位相コンパレータの入力 1 つを供給します。フィードバック分周器 (コンフィギュレーションでプログラム可能) は、位相コンパレータのその他の入力を供給する前に VCO 出力周波数を分周するため、乗算器として機能します。D および M は、VCO が制御可能な周波数範囲内となるように適切に選択する必要があります。

VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが O0 ~ O5 の 6 つの出力分周器の 1 つを駆動するよう選択できます。これらの各分周器は、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

### クロック分配

各 Spartan-6 FPGA は、大きいファンアウト、短い伝播遅延、非常に低いスキューといった異なるクロック要件を満たすため、豊富なクロック ラインを提供しています。

### グローバル クロック ライン

各 Spartan-6 FPGA が備える 16 のグローバル クロック ラインは最大のファンアウトを提供し、すべてのフリップフロップ クロックに到達します。これらのラインは、グローバル クロック バッファで駆動できるだけでなく、グリッチなしでクロックを多重伝送したり、クロック イネーブルとしての機能を果たします。グローバル クロックは、通常 CMT から駆動されるため、基本的なクロック分散遅延が完全に削除されます。

### I/O クロック

I/O クロックは非常に高速で、ローカルの入力と出力遅延回路および I/O のシリアライザー / デシリアライザー (SERDES) 回路にのみ使用します (「I/O ロジック」を参照)。



## ブロック RAM

すべての Spartan-6 FPGA に 12 ~ 268 個のデュアルポート ブロック RAM があり、それぞれが 18Kb を格納します。各ブロック RAM には、格納されたデータのみを共有する完全に独立した 2 つのポートがあります。

### 同期動作

読み出しまたは書き込みに関わらず、メモリへのアクセスはクロックで制御されます。すべての入力、データ、アドレス、クロック イネーブル、ライト イネーブルにはレジスタが付いています。データ出力は常にラッチされ、次の動作までデータを保持します。オプションとしての出力データのパイプライン レジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロック レートでの動作を可能にします。

デュアルポート モードでの書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。

### プログラム可能なデータ幅

- 各ポートは、16K x 1、8K x 2、4K x 4、2K x 9 (または 8)、1K x 18 (または 16)、512 x 36 (または 32) のいずれかに設定できます。
- x9、x18、x36 のポート幅にはパリティ ビットが含まれます。2 つのポートには別々の比率を設定できます。
- 各ブロック RAM は、完全に独立した 2 つの 9Kb ブロック RAM に分割でき、それぞれを 8K x 1 ~ 512 x 18 の任意のアスペクト比で、シンプル デュアルポート モードでは 256 x 36 で構成できます。

## メモリ コントローラーブロック

ほとんどの Spartan-6 デバイスには、専用のメモリ コントローラーブロック (MCB) が含まれます。各 MCB は、シングルチップ DRAM (DDR、DDR2、DDR3、または LPDDR) をターゲットとし、最大 800Mb/s のアクセス レートをサポートします。

MCB には、あらかじめ定義された FPGA I/O への専用配線が備わっています。MCB が未使用の場合、これらの I/O は汎用 FPGA I/O として利用できます。メモリ コントローラーは、Spartan-6 FPGA 内部のロジックへの、完全なマルチポートの調整済みインターフェイスを提供します。従来の FIFO 制御信号を使用して、独立した内蔵 FIFO にコマンドをプッシュ、およびデータをプッシュあるいはプルできます。マルチポートのメモリ コントローラーはさまざまな手法で設定できます。内部の 32、64、または 128 ビット インターフェイスは、MCB への単純で信頼性の高いインターフェイスです。

MCB は 4、8、または 16 ビットの外部 DRAM に接続可能です。幅が広く、低周波数でクロックされていた従来の内部データバスと比較すると、MCB は多様なアプリケーションに対して、より高速な DRAM インターフェイスを提供します。FPGA ロジック インターフェイスは、物理的なメモリ デバイスと関係なく柔軟に設定可能です。MCB の機能は、スピード グレード -3N ではサポートされていません。

## デジタル信号処理— DSP48A1 スライス

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。すべての Spartan-6 FPGA は、専用で完全にカスタマイズされた低消費電力 DSP スライスを数多く装備し、システム デザインの柔軟性を維持しながら、高速処理および小型化を実現しています。

各 DSP48A1 スライスは、専用の 18 x 18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成され、これらは共に最大 390MHz で動作可能な性能を持ちます。この DSP48A1 スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度、そして効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミック シフター、メモリ アドレス ジェネレーター、多入力マルチプレクサー、メモリ マップされた I/O レジスタ ファイルが含まれます。また、アキュムレータは同期のアップ/ダウン カウンターとしても使用可能です。乗算器はバレル シフターとしても使用可能です。

## 入力/出力

I/O ピン数は、デバイスおよびパッケージのサイズに応じて 102 ~ 576 です。各 I/O ピンはコンフィギュレーション可能で、最大 3.3V までのさまざまな規格に準拠しています。『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』には、さまざまな I/O オプションにおける I/O 互換性が記載されています。電源ピンおよび一部のコンフィギュレーション専用ピンを除き、すべてのパッケージピンは同一の I/O 機能を持ち、特定のバンク規則によってのみ制約されます。ユーザー I/O はすべて双方向で、入力専用ピンはありません。

全 I/O ピンはバンクごとに分割されており、小型デバイスは 4 バンク、大型デバイスは 6 バンクとなっています。各バンクには複数の共通  $V_{CC0}$  出力電源電圧ピンがあり、これらは特定の入力バッファにも電源を供給します。一部のシングルエンド入力バッファには、外部に基準電圧 ( $V_{REF}$ ) が必要です。各バンクにはデュアル目的  $V_{REF}$ -I/O ピンがあります。ある I/O で  $V_{REF}$  電圧が必要な場合、このバンクにある各  $V_{REF}$  ピンは同じ電圧レールに接続する必要があり、I/O ピンとしては使用できません。

## I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力ストラクチャを使用するもので、 $V_{CC0}$  は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。各 I/O には弱い内部プルアップまたはプルダウン抵抗、内部分割終端入力抵抗、出力駆動能力やスルーレートの調整、差動終端抵抗など、システム設計者がオプションとして設定できる多数の I/O 機能があります。各 I/O 規格でサポートされているオプションの詳細は、『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』を参照してください。

## I/O ロジック

### 入力および出力遅延

このセクションでは、I/O インターフェイスに接続されたロジックリソースについて説明します。すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。-1L スピードグレードの場合を除き、すべての入力または出力は最大 256 タップ分個別に遅延させることができ、これは IODELAY2 としてインプリメントされます。同じ遅延値がデータ入力または出力に適用可能です。双方向データラインの場合、入力から出力遅延までの伝送は自動的に実行されます。-1L スピードグレードの場合を除き、すべての入力または出力は最大 256 タップ分個別に遅延させることができ、これは IODELAY2 としてインプリメントされます。

タップ遅延は電源電圧、プロセス、および温度によって異なるため、オプションの調整メカニズムが各 IODELAY2 に構築されています。

- 精度がさらに要求されるソース同期デザインでは、データを I/O クロックの 1 サイクル分遅延させるために必要なタップ数が、キャリブレーションメカニズムによって動的に算出され (オプション)、その値の 50% が IODELAY2 の値として設定されて、結果的に I/O クロックがデータアイの中央に配置されます。
- 差動入力には、位相検出メカニズムによって入力データ信号が正確にデータアイの中央でサンプルされているかを確認する特別なモードがあります。この位相検出ロジックからの結果を使用し、入力遅延をインクリメントあるいはデクリメントすることで (1 回 1 タップ)、非常に高速なビットレートでもエラーのない動作が実現できます。

## ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビット シリアル I/O とより低速なパラレル動作を組み合わせます。そして、これには I/O ストラクチャ内にシリアライザーおよびデシリアライザー (SerDes) が必要となります。各入力は、個別のデシリアライザー (シリアル-パラレル コンバーター) に 2、3、4 ビットにプログラム可能なパラレル幅でアクセスできます。差動入力を使用する場合は、2 つのシリアライザーをカスケード接続して、パラレル幅を 5、6、7、または 8 ビットにできます。一方、各出力は個別のシリアライザー (パラレル-シリアル コンバーター) に 2、3、4 ビットにプログラム可能なパラレル幅でアクセスできます。差動ドライバーを使用する場合は、2 つのシリアライザーをカスケード接続してバス幅を 5、6、7、または 8 ビットにできます。

ダブルデータレートのクロックを分配する場合、デューティサイクルの歪みによるビットエラーを排除するため、すべての SerDes データは実際にはシングルデータレートでクロック入力/出力されます。この高速のシングルデータレートクロックは、PLL で周波数を倍にするか、ダブルデータレートの入力クロックを使用している場合は両クロックエッジを区別することで各 IOB 内で周波数を 2 倍にしたものです。

## 低消費電力のギガビット トランシーバー

IC 間、バックプレーン上、あるいはより長距離間の超高速データ転送が、ますます頻繁に使用され重要になってきています。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要となります。

すべての Spartan-6 LXT デバイスには、2 ~ 8 個のギガビットのトランシーバー回路が実装されています。各 GTP トランシーバーは、最高 3.2Gb/s までのデータ レートで動作できるトランスミッターおよびレシーバーの組み合わせで構成されています。トランスミッターおよびレシーバーは個別の PLL を使用する独立した回路で、基準周波数入力をプログラム可能な 2 ~ 25 の値で通倍することでビット シリアル データ クロックを生成します。GTP トランシーバーそれぞれに、ユーザーが定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

### トランスミッター

トランスミッターは基本的にパラレル-シリアル コンバーターであり、8、10、16、または 20 の比率で変換を実行します。これらのトランスミッターの出力は、シングル チャネルの差動電流モード ロジック (CML) 出力信号で PC ボードを駆動します。

TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データは、小型の FIFO を通り、オプションとして十分なデータ遷移が生じるよう 8B/10B アルゴリズムで変換できます。ビット シリアル出力信号は、補完的な CML 信号によって 2 つのパッケージ ピンを駆動します。この出力信号ペアは、信号振幅とブリエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。

### レシーバー

レシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 8、10、16、または 20 ビット幅のパラレル ワードに変換するシリアル-パラレル コンバーターです。レシーバーは入力差動データ ストリームを受け取って、それを (PC ボードやほかのインターコネクト特性を補うため) プログラム可能なイコライザーを通し、F<sub>REF</sub> 入力を使用してクロックの認識を開始します。個別のクロック ラインは必要ありません。データ パターンは NRZ (Non-Return-to-Zero) エンコーディングを使用し、オプションとして 8B/10B エンコーディング方式を用いることで十分なデータ遷移が生じるようにします。パラレル データは、RXUSRCLK クロックを使用して FPGA ロジックに転送されます。シリアル-パラレル変換比は 8、10、16、または 20 にできます。

## PCI Express デザイン用内蔵エンドポイント ブロック

PCI Express 規格はパケット ベースで、Point-to-Point のシリアル インターフェイス規格です。差動信号転送ではエンベデッド クロックを使用することで、従来の広いパラレル バスにおける Clock-to-Data スキューの問題を回避します。

PCI Express Base Specification 1.1 では、各レーン、各方向 (送信および受信) のデータレートは 2.5Gb/s と定義されています。8B/10B エンコーディングを使用する場合はレーン当たり 2.0Gb/s のデータ レートがサポートされます。

Spartan-6 LXT デバイスには、PCI Express Base Specification Revision 1.1 に準拠する PCI Express 用のエンドポイント ブロックが 1 つ統合されています。このブロックは、システム デザイン要件に合わせて柔軟にコンフィギュレーションでき、規格に準拠した 1 レーンのエンドポイントとして動作します。また、内蔵エンドポイント ブロックは、シリアライズ/デシリアライズ用の GTP トランシーバーと、データのバッファ使用にブロック RAM とインターフェイスします。全体として、これらのエレメントはプロトコルの物理層、データ リンク層、およびトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCI Express テクノロジー用内蔵エンドポイント ブロック、GTP トランシーバー、ブロック RAM、クロック リソース) を仕様に準拠したエンドポイント ソリューションに活用できるようにする軽量 (LUT が 199 個以下)、コンフィギュラブル、かつ使用が容易な LogiCORE™ IP を提供しています。システム設計者は、最大ペイロード サイズ、基準クロック周波数、ベース アドレス レジスタのデコードとフィルタリングなど多数のコンフィギュレーション可能なパラメーターを制御できます。

PCI Express デザインのソリューションに関するドキュメントおよび詳細は、次のサイトから入手できます。

<http://japan.xilinx.com/technology/protocols/pciexpress.htm>



## Spartan-6 FPGA の注文情報

表 3 に、Spartan-6 デバイスで提供されているスピード グレードおよび温度グレードを示します。一部のデバイスでは、入手可能なスピード グレードと温度グレードに制限があります。

表 3：スピード グレードと温度範囲

デバイス ファミリ	スピード グレードと温度範囲	
	コマーシャル温度 (C) 0°C ~ +85°C	インダストリアル温度 (I) -40°C ~ +100°C
Spartan-6 LX	-3, -3N, -2, -1L	-3, -3N, -2, -1L
Spartan-6 LXT	-3, -3N, -2	-3, -3N, -2

図 1 に示す Spartan-6 FPGA の注文情報は、鉛フリー パッケージを含むすべてのパッケージに適用されます。デバイスのマーキングに関する詳細は、『Spartan-6 パッケージおよびピン配置ガイド』(UG385) の「パッケージ マーク」の章を参照してください。

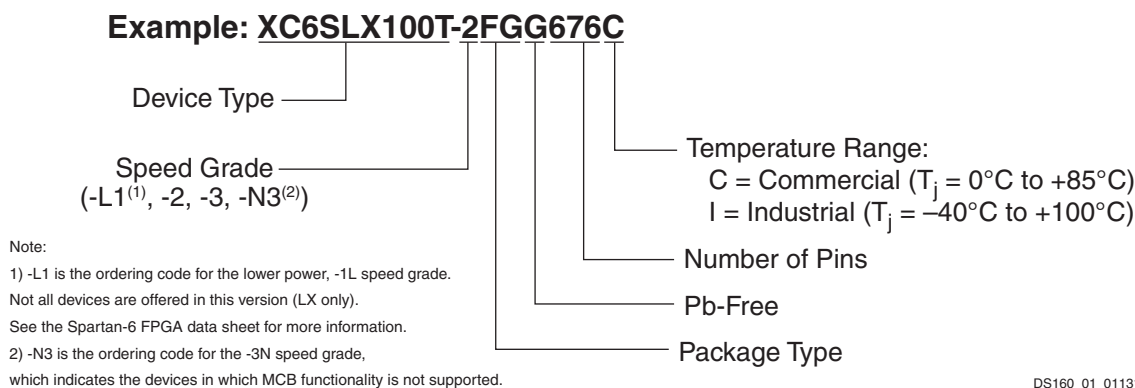


図 1：Spartan-6 FPGA の注文情報

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2009/02/02	1.0	初版リリース
2009/05/05	1.1	「低消費電力に最適化」、「複数電圧、複数規格に対応する SelectIO™ インターフェイスバンク」、「メモリ コントローラーブロックの統合」セクションの記述を更新 (page 1)。PCI のサポートは 33MHz 仕様のみであることを記載 (page 1)。ロジック セル、スライス、および最大ユーザー I/O 数を更新し、フリップフロップ数を追加 (表 1)。ユーザー I/O 数を更新、CSG225 パッケージの XC6SLX25 および FGG676 パッケージの XC6SLX45T を削除、FT(G)256 パッケージの XC6SLX9 および CSG324 パッケージの XC6SLX45 を追加、メモを追加 (表 2)。次のセクションの記載を修正：ダイナミック リコンフィギュレーション ポート、「リードバック」、「CLB、スライス、および LUT」、「周波数合成」、「PLL」、「プログラム可能なデータ幅」、「メモリ コントローラーブロック」。「入力/出力」セクションの I/O ピン範囲、V <sub>REF</sub> バンク、電気特性の記載を明確化。
2009/06/24	1.2	表 1 と表 2 にデバイス/パッケージの組み合わせとして XC6SLX75 および XC6SLX75T デバイスを追加して更新。注文情報および FPGA 資料一覧を追加。「リードバック」セクションからパーシャル リコンフィギュレーションの記載を削除。
2009/11/05	1.3	9 ページの図 1 を更新。-4 スピード グレードの記載を追加。page 1 の PCI テクノロジ サポートに 64 ビットを追加。表 1 および表 2 のユーザー I/O 数を更新。コンフィギュレーション、デジタル信号処理—「コンフィギュレーション」、「デジタル信号処理—DSP48A1 スライス」、「入力/出力」の更新。PCI Express 資料へのリンクを追加。

日付	バージョン	内容
2010/03/03	1.4	表 1 のLX25 およびLX25T のスライス数を更新。「ダイナミック リコンフィギュレーション ポート」セクションを更新。「スペクトラム拡散クロック」を追加。PLL VCO の最大周波数を 1080MHz に、DSP48A1 スライス の最大周波数を 320MHz に -4 スピードの仕様変更。「プログラム可能なデータ幅」のコンフィギュレーションを明確化。「低消費電力のギガビット トランシーバー」の動作率を更新。
2010/08/02	1.5	「Spartan-6 の特長」の各差動 I/O のデータ転送速度を 1,050Mb/s から1,080Mb/s に更新。図 1 を含むスピード グレード -3N をドキュメント内で適宜追加。表 2 のカテゴリの「サイズ」を「本体」に変更。「コンフィギュレーション」の SPI および BPI インターフェースの記載を更新。ダイナミック リコンフィギュレーション ポートの記載を削除。「デジタル信号処理— DSP48A1 スライス」— DSP48A1 スライス の、DSP48A1 スライス の乗算器およびアキュムレータの動作速度を 390MHz に更新。「入力および出力遅延」を更新。
2010/11/05	1.6	「Spartan-6 の特長」および「低消費電力のギガビット トランシーバー」に記載の GTP シリアル トランシーバーのデータ レートを 3.2Gb/s に更新。図 1 に記載の注記を更新。「Spartan-6 FPGA 関連資料」に <a href="#">DS170</a> 『XA Spartan-6 オートモーティブ FPGA ファミリー概要』を追加。
2011/03/21	1.7	Advance 仕様から Preliminary 仕様に更新。 <a href="#">XCEN11008</a> について、-4 スピード グレードを「Spartan-6 の特長」および図 1 から削除。「PCI Express デザイン用内蔵エンドポイント ブロック」および「入力および出力遅延」を更新。
2011/10/25	2.0	Preliminary 仕様から Production 仕様に更新。「コンフィギュレーション」の説明を 3Mb ~ 33Mb のコンフィギュレーション ビット範囲および「入力および出力遅延」を含むように更新。「Spartan-6 FPGA の注文情報」を更新し、表 3 を追加。資料リストに『防衛グレード Spartan-6 ファミリー概要』( <a href="#">DS172</a> ) を追加。

## Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials, or to advise you of any corrections or update. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v2.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

## Spartan-6 FPGA 関連資料

Spartan-6 ファミリー FPGA の最新版資料は、ザイリンクス ウェブサイト (<http://japan.xilinx.com/support/documentation/spartan-6.htm>) から入手可能です。このページからは本データシート (『Spartan-6 ファミリー概要』) のほか、次の資料がダウンロードいただけます。

『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』  
([DS162](#))

Spartan-6 ファミリーの DC 特性およびスイッチ特性が記載されています。

『Spartan-6 FPGA パッケージおよびピン配置使用』 ([UG385](#))

デバイス/パッケージの組み合わせと最大 I/O 数、ピン定義、ピン配置表、ピン配置図、機械的図面が含まれ、温度特性も記載されています。

『Spartan-6 FPGA コンフィギュレーション ガイド』 ([UG380](#))

この包括的なコンフィギュレーション ガイドは、コンフィギュレーション インターフェイス (シリアルとパラレル)、マルチビットストリームの管理、ビットストリームの暗号化、バウンダリ スキャンおよび JTAG コンフィギュレーション、リコンフィギュレーション テクニックの各章で構成されています。

『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』  
([UG381](#))

すべての Spartan-6 デバイスで利用可能な SelectIO™ リソースについて説明しています。

『SpartanVFPGA クロッキング リソース ユーザー ガイド』  
([UG382](#))

すべての Spartan-6 で利用可能な DCM と PLL を含む、クロッキング リソースについて説明しています。

『Spartan-6 FPGA ブロック RAM リソース ユーザー ガイド』  
([UG383](#))

Spartan-6 デバイスが備えるブロック RAM 機能について説明しています。

『Spartan-6 FPGA コンフィギュラブル ロジック ユーザー ガイド』  
([UG384](#))

すべての Spartan-6 デバイスが持つコンフィギュラブル ロジック ブロック (CLB) について説明しています。

『Spartan-6 FPGA GTP トランシーバー ユーザー ガイド』  
([UG386](#))

Spartan-6 LXT FPGA で利用可能な GTP トランシーバーについて説明しています。

『Spartan-6 FPGA DSP48A1 スライス ユーザー ガイド』  
([UG389](#))

Spartan-6 FPGA が備える DSP48A1 スライスのアーキテクチャについて説明し、そのコンフィギュレーション例が記載されています。

Spartan-6 FPGA メモリ コントローラー ユーザー ガイド  
([UG388](#))

Spartan-6 FPGA に搭載された専用のエンベデッド マルチポート メモリ コントローラーについて説明しています。このメモリ コントローラーによって、Spartan-6 FPGA と広く普及しているメモリ規格とのインターフェイスが大幅に簡潔化されます。

『Spartan-6 FPGA PCB デザインおよびピン配置プラン ガイド』  
([UG393](#))

Spartan-6 デバイスの PCB デザインについて、PCB およびインターフェイス レベルで設計上の決定を行う際のストラテジに重点を置いて説明しています。

『SpartanVFPGA パワー マネージメント ユーザー ガイド』  
([UG394](#))

Spartan-6 FPGA の消費電力を管理する方法を、主にサスペンドモードに重点を置いて説明しています。

『XA Spartan-6 オートモーティブ FPGA ファミリー概要』  
([DS170](#))

XA (ザイリンクス オートモーティブ) Spartan-6 ファミリーの機能概要と製品一覧が記載されています。

『防衛グレード Spartan-6 ファミリー概要』 ([DS172](#))

防衛グレード Spartan-6Q ファミリーの特徴と製品の概要を説明しています。