

概要

High-K メタルゲート (HKMG) プロセスを採用したザイリンクス オートモーティブ (XA) Spartan-7 FPGA ファミリーは、高性能と低消費電力の最適なバランスを提供し、幅広いオートモーティブ アプリケーションに対応します。XA Spartan-7 FPGA は 7 シリーズ ファミリーと同じ 28HPL プロセスを用い、同じ基本アーキテクチャ エレメントをいかにしています。その結果、消費電力を厳密に制御しながら高いロジック性能と I/O 性能を提供するコンパクトでコストに最適化された FPGA となっており、非常に小型フォーム ファクタのパッケージを採用しています。重要な点としてこれらすべてが低コストで実現されます。

集積度を向上した 6 つのファミリー デバイスは、6,000 ~ 102,400 のロジック セルを備え、より高速で包括的なコネクティビティを実現しています。XA Spartan-7 ファミリーは、より効率的な新しいデュアルレジスタの 6 入力 のルックアップテーブル (LUT) ロジックを備え、システム レベルのブロックを豊富に内蔵しています。これらには、オンチップのデータ バッファ用 にビルトイン FIFO を備える 36Kb (2 x 18Kb) ブロック RAM、25 x 18 乗算器、48 ビット アキュムレータ、および対称係数フィルタリングを含む高度なフィルター処理用の前置加算器を備える DSP スライス、改善された Mixed-Mode Clock Manager (MMCM) ブロック、最大 800Mb/s の DDR3 インターフェイスをサポートする SelectIO™ テクノロジー、システム レベルでの高度な消費電力管理モード、自動検出コンフィギュレーション オプション、AES および Device DNA 保護で強化された IP セキュリティなどが含まれます。このような機能がカスタム ASIC 製品の代替となる低コストのプログラマブル デバイスに備わり、これまで以上に使いやすさが向上しています。XA Spartan-7 FPGA は、柔軟でスケラブルな量産向けロジック デザイン、高帯域幅の平行 DSP 処理デザイン、および複数のインターフェイス規格を含むコスト重視のアプリケーションに最適なソリューションを提供します。

XA Spartan-7 FPGA の特長

- オートモーティブの温度
 - I グレード: $T_j = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$
 - Q グレード: $T_j = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- オートモーティブの規格
 - ザイリンクスは ISO-TS16949 準拠
 - AEC-Q100 認定
 - PPAP (Production Part Approval Process : 製造部品承認プロセス) 資料
 - AEC-Q100 認定以外の規格も要求に応じて利用可能
- 低コスト向け設計
 - 効率的なブロックを複数統合
 - 最適化された I/O 規格の選択
 - プラスティック ワイヤ ボンド パッケージ
- 低いスタティックおよびダイナミック消費電力
 - コストと低消費電力に最適化された 28nm プロセス
- DDR3 インターフェイスをサポートする高性能 SelectIO テクノロジー
 - 差動 I/O あたり最大 1250Mb/s データ転送レート
 - 出力駆動能力が選択可能、ピンあたり 24mA
 - 3.3V ~ 1.2V の I/O 規格およびプロトコル
 - 低コストの HSTL および SSTL メモリ インターフェイス
 - 調整可能な I/O スルー レートでシグナル インテグリティを改善
- 機能的な DSP スライス
 - 高性能な演算および信号処理
 - 高速 25 x 18 乗算器および 48 ビット アキュムレータ
 - パイプライン処理およびカスケード接続
 - フィルター アプリケーションに有用な前置加算器
- 統合されたメモリ コントローラー ブロック
 - DDR、DDR2、DDR3、および LPDDR サポート
 - 最大 800Mb/s のデータレート
 - 独立した FIFO を持つマルチポート バス構造でデザインにおけるタイミングの問題を軽減
- 豊富なロジック リソースでロジック容量を増加
 - オプションとしてのシフトレジスタまたは分散 RAM のサポート
 - 効率的な 6 入力 LUT による性能の向上と消費電力の最小化
 - パイプラインを多用するアプリケーションに適したデュアル フリップフロップを持つ LUT
- 幅広い精度のブロック RAM
 - バイト書き込みインネーブル付きの高速ブロック RAM
 - オプションとして 2 つの独立した 18Kb ブロック RAM としてプログラム可能な 36Kb のブロック
- クロック マネジメント タイル (CMT) による性能強化
 - 低ノイズで柔軟なクロッキング
 - デジタル クロック マネージャー (DCM) がクロック スキュー およびデューティ サイクルの歪みを削減
 - 位相ロック ループ (PLL) を用いた低ジッターのクロッキング
 - 通信、分周、および位相シフトによる周波数合成
 - 32 の低スキュー グローバル クロック ネットワーク
- シンプルなコンフィギュレーションで低コストの規格をサポート
 - 2 ピンの自動検出コンフィギュレーション
 - 広範なサードパーティ SPI (最大 x4) フラッシュをサポート
 - 複数のビットストリームを用いたリモート アップグレード向けにマルチブートをサポート (ウォッチドッグ保護を使用)
- デザイン保護のために強化されたセキュリティ
 - 独自の Device DNA ID によるデザイン認証
- 汎用メモリ、HMAC/SHA-256 認証を用いた 256 ビット AES 暗号化、内蔵型 SEU 検出および訂正のサポートを含む多様なコンフィギュレーション オプション
- 業界最高の IP およびリファレンス デザイン
- オートモーティブ向けの強力なサードパーティ エコシステムが、IP、開発ボード、デザイン サービスを提供

XA Spartan-7 FPGA の機能一覧

表 1: XA Spartan-7 FPGA のデバイス別機能一覧

デバイス	ロジックセル	CLB		DSP スライス ⁽²⁾	ブロック RAM ブロック ⁽³⁾			CMT ⁽⁴⁾	PCIe	GT	XADC ブロック	総 I/O バンク ⁽⁵⁾	最大ユーザー I/O
		スライス数 ⁽¹⁾	最大分散 RAM (Kb)		18Kb	36Kb	最大 (Kb)						
XA7S6	6,000	938	70	10	10	5	180	2	0	0	0	2	100
XA7S15	12,800	2,000	150	20	20	10	360	2	0	0	0	2	100
XA7S25	23,360	3,650	313	80	90	45	1,620	3	0	0	1	3	150
XA7S50	52,160	8,150	600	120	150	75	2,700	5	0	0	1	5	250
XA7S75	76,800	12,000	832	140	180	90	3,240	8	0	0	1	8	400
XA7S100	102,400	16,000	1,110	160	240	120	4,320	8	0	0	1	8	400

注記:

- 7 シリーズ FPGA の各スライスには、4 つの LUT と 8 つのフリップフロップが含まれ、一部のスライスでのみ LUT を分散 RAM または SRL として使用できます。
- 各 DSP スライスには 25 x 18 乗算器、加算器、アキュムレータが 1 つずつ含まれます。
- ブロック RAM は基本的に 36Kb ですが、2 つの独立した 18Kb ブロックとしても使用できます。
- 各 CMT には MMCM と PLL が 1 つずつ含まれます。
- コンフィギュレーションバンク 0 は含まれません。

デバイスとパッケージの各組み合わせにおける使用可能な I/O 数

表 2: XA Spartan-7 FPGA デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ	CPGA196	CSGA225	CSGA324	FTGB196	FGGA484	FGGA676
サイズ (mm)	8 x 8	13 x 13	15 x 15	15 x 15	23 x 23	27 x 27
ボールピッチ (mm)	0.5	0.8	0.8	1.0	1.0	1.0
デバイス	HR I/O ⁽¹⁾	HR I/O ⁽¹⁾	HR I/O ⁽¹⁾	HR I/O ⁽¹⁾	HR I/O ⁽¹⁾	HR I/O ⁽¹⁾
XA7S6	100	100		100		
XA7S15	100	100		100		
XA7S25		150	150	100		
XA7S50			210	100	250	
XA7S75					338	400
XA7S100					338	400

注記:

- HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。

CLB、スライス、および LUT

CLB アーキテクチャの主な特長は次のとおりです。

- 完全な 6 入力ルックアップ テーブル (LUT)
- LUT 内のメモリ機能
- レジスタおよびシフトレジスタ機能

XA Spartan-7 FPGA のルックアップ テーブル (LUT) は、出力が 1 つの 6 入力 LUT (64 ビット ROM) として、または出力が別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT (32 ビット ROM) として構成できます。各 LUT 出力はオプションとしてフリップフロップでラッチできます。このような LUT が 4 つ、それらのフリップフロップ 8 つ、マルチプレクサー、そして演算キャリー ロジックがスライスを構成し、2 つのスライスが CLB (コンフィギュラブル ロジック ブロック) を構成します。各スライスの 8 つのフリップフロップのうち 4 つ (各 LUT から 1 つずつ) は、ラッチとして構成できます。

全スライスの 25 ~ 50% が LUT を 64 ビットの分散 RAM として、あるいは 32 ビットのシフトレジスタ (SRL32) か 2 つの SRL16 として使用できます。最近の合成ツールでは、このような高効率のロジック、演算、およびメモリ機能を活かした合成が実行されます。

クロック管理

クロック マネージメント アーキテクチャの主な特長は次のとおりです。

- 低スキューのクロック分配を実現する高速バッファおよび配線
- 周波数合成および位相シフト
- 低ジッターのクロック生成およびジッターのフィルタリング

各 XA Spartan-7 FPGA には最大 8 個の CMT (クロック マネージメント タイル) が含まれ、各 CMT は MMCM (ミックスド モード クロック マネージャー) と PLL (位相ロック ループ) 1 つずつで構成されています。

MMCM および PLL

MMCM と PLL には共通の特長が多数あります。これらは共に、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。これらのコンポーネントの中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、これらにはプログラム可能な 3 つの周波数分周回路 (D、M、O) があります。前置分周器 D (コンフィギュレーションおよび DRP を介してプログラム可能) は入力周波数を低減させ、従来の PLL 位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M (コンフィギュレーションおよび DRP を介してプログラム可能) は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つ (PLL の場合は O0 ~ O5 の 6 つ、MMCM の場合は O0 ~ O6 の 7 つ) を駆動するよう選択できます。これらの各分周器は、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM および PLL には入力ジッターのフィルター モードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、位相オフセットが最小になりません。広帯域モードでは位相オフセットが優先され、ジッターの減衰が最大にはなりません。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM のその他のプログラマブル機能

MMCM は、フィードバック パス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。

MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1,440MHz では 13ps となります。

クロック分配

各 XA Spartan-7 FPGA は異なる 6 タイプのクロック ライン (BUFG、BUFR、BUFIO、BUFH、BUFMR、高性能クロック) を提供し、大きなファンアウト、短い伝搬遅延、非常に小さなスキューなどのさまざまなクロッキング要件に対応します。

グローバル クロック ライン

各 XA Spartan-7 FPGA (XA7S6 と XA7S15 を除く) が備える 32 のグローバル クロック ラインは最大のファンアウトを提供し、全フリップフロップ クロック、クロック イネーブル、セット/リセット、および多数のロジック入力に使用できます。クロック領域には 12 のグローバル クロック ラインがあり、並行ラインのクロック バッファ (BUFH) で駆動されます。これらの BUFH はそれぞれを独立して有効あるいは無効にできることから、ある領域内にあるクロックをオフにでき、これによってクロック領域の消費電力を細かく制御できるようになります。これらのラインはグローバル クロック バッファで駆動できるだけでなく、グリッチなしでクロックを多重伝送したり、クロック イネーブルとしての機能を果たします。グローバル クロックは、通常 CMT から駆動されるため、基本的なクロック分散遅延が完全に削除されます。

リージョナル クロック

リージョナル クロックは、それがある領域の全クロックを駆動できます。領域とは、I/O 50 個分と CLB 50 個分の高さ、およびデバイスの半分の幅を持つエリアと定義されます。XA Spartan-7 FPGA には 2 ~ 8 の領域があり、すべての領域に 4 つのリージョナル クロックトラックがあります。各リージョナル クロック バッファは、4 つの CC (クロック兼用) 入力ピンのいずれかから駆動でき、周波数はオプションとして 1 ~ 8 の任意の整数で分周可能です。

I/O クロック

I/O クロックは非常に高速で、I/O ロジック セクションで説明されているように I/O ロジックおよびシリアライザー / デシリアライザー (SerDes) 回路にのみ使用します。XA Spartan-7 デバイスには、低ジッターで高性能なインターフェイス用に MMCM から I/O への直接接続があります。

ブロック RAM

ブロック RAM の主な特長は次のとおりです。

- 最大ポート幅が 72 ビットのデュアルポート 36Kb ブロック RAM
- プログラム可能な FIFO ロジック
- オプションとして内蔵型エラー訂正回路

すべての XA Spartan-7 FPGA に 5 ~ 120 個のデュアルポート ブロック RAM があり、それぞれが 36Kb を格納します。各ブロック RAM には、格納されたデータを共有する以外は完全に独立した 2 つのポートがあります。

同期動作

読み出したり書き込みのメモリ アクセスは、クロックによって制御されます。すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付き、クロックなしではいかなる動作も生じません。入力アドレスは常にクロックされ、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。

書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。

プログラム可能なデータ幅

各ポートは 32K × 1、16K × 2、8K × 4、4K × 9 (または 8)、2K × 18 (または 16)、1K × 36 (または 32)、512 × 72 (または 64) のいずれかに構成できます。2 つのポートには別々の比率を指定でき、これに対する制限はありません。

各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを $16K \times 1 \sim 512 \times 36$ の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。

シンプルデュアルポート (SDP) モードでのみ、18 ビット (18Kb RAM の場合) または 36 ビット (36Kb RAM の場合) を超えるデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。

デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。

2 つの隣接した 36Kb ブロック RAM をカスケード接続し、追加ロジックなしで $64K \times 1$ のデュアルポート RAM として構成できます。

エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

FIFO コントローラー

シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Almost Full、Almost Empty の 4 つのフラグを提供します。Almost Full および Almost Empty フラグは自由にプログラムできます。ブロック RAM と同様に、FIFO の幅およびワード数はプログラム可能ですが、書き込みポートと読み出しポートの幅は常に同一です。

First-Word Fall-Through モードでは、最初の読み出し前でも最初に書き込まれたワードがデータ出力に現れます。そして、最初のワードが読み出された後は、通常モードと同様に動作します。

デジタル信号処理 - DSP スライス

DSP の主な特長は次のとおりです。

- 25×18 の 2 の補数乗算器/48 ビットの高分解能アキュムレータによる信号処理
- 対称フィルタアプリケーションに最適化され、消費電力を抑えることが可能な前置加算器
- その他の高度な機能: パイプライン化オプション、ALU オプション、専用カスケード接続

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。すべての 7 シリーズ FPGA は、専用で完全にカスタマイズされた低消費電力 DSP スライスを数多く装備し、システムデザインの柔軟性を維持しながら、高速処理および小型化を実現しています。

各 DSP スライスは基本的に、専用の 25×18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成され、これらは共に 550MHz での動作を可能にする性能を持ちます。乗算器は動作中にバイパスでき、2 つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2 つの 10 個の異なるロジックファンクションから任意の 1 つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルタに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。また、収束丸め (偶数丸めとも呼ばれる) あるいは対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96 ビット幅のロジックファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミックシフター、メモリアドレスジェネレーター、多入力マルチプレクサー、メモリマップされた I/O レジスタファイルが含まれます。また、アキュムレータは同期のアップ/ダウンカウンタとしても使用可能です。

入力/出力

入力/出力の主な特長は次のとおりです。

- 800Mb/s の DDR3 インターフェイスをサポートする高性能 SelectIO テクノロジー
- 低消費電力かつ高速な I/O 動作用にトライステートにすることができるデジタル制御インピーダンス

I/O ピン数は、デバイスおよびパッケージサイズによって異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。電源ピンおよび一部のコンフィギュレーション専用ピンを除き、すべてのパッケージピンは同一の I/O 性能を持ち、特定のバンク規則によってのみ制約されます。XA Spartan-7 FPGA の I/O は High Range (HR) として分類されます。HR I/O は、1.2 ~ 3.3V までの広範な I/O 電圧をサポートします。

XA Spartan-7 FPGA の HR I/O ピンは、各バンクに 50 ピンずつ分割されています。各バンクには 1 つの共通 V_{CCO} 出力電源があり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには、内部生成の、あるいは外部に基準電圧 (V_{REF}) が必要です。バンクあたり 2 つの V_{REF} ピンがありますが (コンフィギュレーションバンク 0 は除く)、1 つのバンクで使用できる V_{REF} 電圧値は 1 つのみです。

XA Spartan-7 FPGA では、低コストを実現するために小型フォームファクタのワイヤボンドパッケージを採用しています。

I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 V_{CCO} は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルーレートおよび駆動能力を指定できます。入力には常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ペアを 100Ω の内部抵抗で終端できるオプションもあります。XA Spartan-7 のすべてのデバイスは LVDS 以外の差動規格として RSDS、BLVDS、差動 SSTL、差動 HSTL をサポートします。

各 I/O は、シングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。SSTL I/O 規格は、データレートが 800Mb/s までの DDR3 インターフェイスアプリケーションをサポート可能です。

低電力 I/O 機能

I/O の IBUF および IDELAY には低電力モードがあり、特にメモリインターフェイスの実装時に、低消費電力化を図ることができます。

I/O ロジック

入力遅延

すべての入力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。すべての入力は、それぞれを 78ps、52ps、または 39ps 単位で最大 32 タップ分個別に遅延させることができ、この遅延は IDELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。

ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビットシリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O 構造内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには 8 ビットの IOSERDES (ISERDES と OSERDES) があり、2、3、4、5、6、7、または 8 ビットの幅 (プログラム可能) でシリアルからパラレル、あるいはパラレルからシリアルヘデータを変換します。さらに、2 つの隣接したピン (通常は差動 I/O) からの IOSERDES を 1 つずつカスケード接続することで、10 および 14 ビットの幅の広い変換がサポートされます。ISERDES には、1.25Gb/s LVDS I/O ベースの SGMII インターフェイスなどのアプリケーション向けに非同期データリカバリをサポートする特別なオーバーサンプリングモードがあります。

コンフィギュレーション

ザイリンクス7シリーズ FPGA は、次のような高度なコンフィギュレーション機能を備えています。

- 高速 SPI コンフィギュレーション
- ビルトイン MultiBoot およびセーフ アップデート機能
- HMAC/SHA-256 認証を使用した 256 ビット AES 暗号化
- ビルトイン SEU 検出および訂正
- パーシャル リコンフィギュレーション

XA Spartan-7 FPGA は、カスタマイズしたコンフィギュレーション データを SRAM タイプの内部ラッチに格納します。デバイス サイズとユーザー デザインのインプリメンテーション オプションによって、コンフィギュレーション ビットは最大 30Mb になります。コンフィギュレーション データは揮発性の媒体に格納されるため、FPGA への電源投入ごとに再ロードする必要があります。格納されたデータは、PROGRAM_B ピンを Low にすることで、随時再ロードできます。コンフィギュレーション データは複数の方法およびデータ形式でロード可能で、これは 3 つのモード ピンで決定します。

SPI インターフェイス (x1、x2、および x4 モード) は FPGA のコンフィギュレーションによく使用される方法です。この方法では、ユーザーが SPI フラッシュを FPGA に直接接続し、FPGA 内部のコンフィギュレーション ロジックがフラッシュからビットストリームを読み出して、その FPGA をコンフィギュレーションします。FPGA がオンザフライで自動的にバス幅を検出するため、外部からの制御や切り替えは不要で、SPI でサポートされるバス幅は x1、x2、x4 です。また、バス幅が広いほど、コンフィギュレーション速度は高くなり、電源を投入してから FPGA が起動するまでに必要な時間が短縮されます。詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470: [英語版](#)、[日本語版](#)) を参照してください。

マスター モードの場合、FPGA は内部生成されたクロックからコンフィギュレーション クロックを駆動可能ですが、コンフィギュレーションをより高速で実行するため、外部のコンフィギュレーション クロック ソースを使用することもできます。これにより、マスター モードの使い易さを活かしたコンフィギュレーションが可能になります。一方、最大 32 ビット幅のスリープ モードもサポートされており、これは特にプロセッサによるコンフィギュレーションの場合に有用です。

FPGA は、SPI フラッシュを使用して別のイメージでリコンフィギュレーションできるため、外部コントローラーは不要となります。データ送信時にエラーが生じた場合でも、FPGA は元のデザインを再ロードできるため、その処理の最後には動作可能な FPGA としてコンフィギュレーションされます。これは特に、最終的な製品が出荷された後でデザインを更新する際に役立ちます。つまり、初期バージョンのデザインで製品が出荷できるため、製品をいち早く市場に投入できることとなります。この機能によって、製品がすでにフィールドにある状態で、最新のデザインをエンドユーザーに提供し続けることが可能となります。

ダイナミック リコンフィギュレーション ポート (DRP) により、システム設計者は、MMCM、PLL、および XADC のコンフィギュレーション レジスタおよびステータス レジスタに簡単にアクセスできます。DRP はメモリにマップされたレジスタのように動作し、ブロック固有のコンフィギュレーション ビット、ステータス レジスタ、制御レジスタへのアクセスおよび変更が可能です。

暗号化、リードバック、パーシャル リコンフィギュレーション

すべての7シリーズ デバイス (XA7S6 および XA7S15 を除く) では、重要なカスタマー IP を含む FPGA ビットストリームを、256 ビットの AES 暗号化および HMAC/SHA-256 認証を使用して保護し、デザインの不正なコピーを防止します。FPGA はコンフィギュレーション中に、内部に格納された 256 ビットのキーを用いて、これをオンザフライで復号化します。このキーは、バックアップ バッテリー付きの RAM か不揮発性の eFUSE に保存できます。

ほとんどのコンフィギュレーション データは、システム動作に影響を与えることなくリードバック可能です。通常はすべてをコンフィギュレーションするか、まったくコンフィギュレーションしないかのどちらかですが、XA Spartan-7 はパーシャル リコンフィギュレーションをサポートしています。これは、FPGA の一部のみを変更し、ほかの部分はそのまま維持することを可能にする非常に有益で柔軟性に優れた機能です。設計者はリコンフィギュレーション可能な部分を時分割で処理し、より小さなデバイスにさらに多くの IP を含めることができるため、コストおよび消費電力の削減につながります。パーシャル リコンフィギュレーションを適用できるデザインでは、FPGA の多様性は大幅に向上します。

XADC (Analog-to-Digital Converter)

XADC アーキテクチャの主な特長は次のとおりです。

- 2 個の 12 ビット、1MSPS のアナログ-デジタル コンバーター (ADC)
- 最大 17 個の柔軟でユーザー コンフィギュレーション可能なアナログ入力
- オンチップ リファレンスまたは外部リファレンスを選択可能
- オンチップの温度 (最大誤差 $\pm 4^{\circ}\text{C}$) および電源電圧 (最大誤差 $\pm 1\%$) センサー
- JTAG を介して連続的に ADC の計測結果にアクセス

すべてのザイリンクス 7 シリーズ FPGA (XA7S6 と XA7S15 を除く) は、XADC と呼ばれる、柔軟性に優れた新しいアナログ インターフェイスを備えています。7 シリーズ FPGA が持つプログラマブル ロジックの性能と組み合わせることにより、データ取得と計測に関する幅広い要件に対応します。詳細は、<http://japan.xilinx.com/ams> を参照してください。

XADC には専用のトラックおよびホールド アンプを持つ 12 ビットで 1MSPS の ADC が 2 つと、1 つのオンチップ アナログ マルチプレクサー (最大 17 の外部アナログ入力チャネルをサポート)、オンチップ温度/電源電圧センサーが含まれます。2 つの ADC は、2 つの外部アナログ入力チャネルを同時にサンプルするように構成できます。トラックおよびホールド アンプは、単極、双極、差動の幅広いアナログ入力をサポートします。アナログ入力は、1MSPS のサンプルレートで 500KHz 以上の信号帯域幅をサポートします。専用のアナログ入力をを用いて外部アナログ マルチプレクサー モードを使用すると、さらに広いアナログ帯域幅をサポートできます (『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1MSPS アナログ-デジタル コンバーター ユーザー ガイド』(UG480: [英語版](#)、[日本語版](#)) 参照)。

XADC は、オプションとしてオンチップの基準回路 ($\pm 1\%$) を使用するため、温度や電源レールの基本的なオンチップ モニタリング用に外部にアクティブなコンポーネントは必要ありません。ADC の 12 ビットの性能を十分に発揮させるには、外部に 1.25V のリファレンス IC を使用することを推奨します。

XADC をデザインにインスタンス化しない場合のデフォルトでは、XADC はすべてのオンチップ センサーの出力をデジタル化します。最も新しい計測結果は、最大および最小の測定結果と共に専用のレジスタに格納され、JTAG インターフェイスを介して常時アクセスできます。また、ユーザー定義のアラームしきい値によって超過温度イベントおよび許容外の温度変動を自動的に知らせることができ、ユーザーが指定した制限値 (100°C など) を用いて自動的に電源を切断するようにもできます。

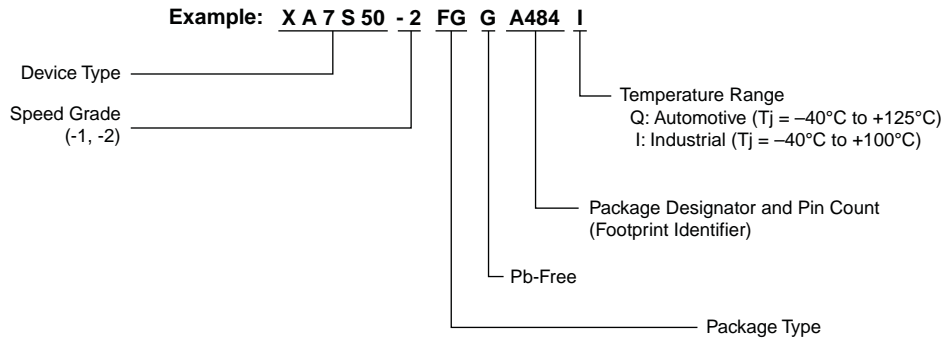
XA Spartan-7 FPGA の注文情報

表 3 に、XA Spartan-7 FPGA で提供されているスピード グレードおよび温度グレードを示します。一部のデバイスでは、入手可能なスピード グレードと温度グレードに制限があります。

表 3: XA Spartan-7 FPGA のスピード グレードと温度仕様

デバイス ファミリ	デバイス	スピード グレード、温度範囲、動作電圧	
		インダストリアル (I) -40°C ~ +100°C	オートモーティブ (Q) -40°C ~ +125°C
XA Spartan-7	すべて	-2I (1.0V)	
		-1I (1.0V)	-1Q (1.0V)

図 1 に、XA Spartan-7 FPGA の注文情報を示します。デバイス パッケージ マーキングの詳細は、『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475: [英語版](#)、[日本語版](#)) の「パッケージ マーク」を参照してください。



DS171_01_031417

図 1: XA Spartan-7 FPGA の注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年3月14日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとし、また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、japan.xilinx.com/legal.htm#tosで見られるザイリンクスの販売条件を参照して下さい。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。