

概要

3つのFPGAファミリで構成されるザイリックス防衛グレード7シリーズFPGAは、低コスト、小型フォームファクター、コスト重視、あるいは量産向けアプリケーションから、超高性能コネクティビティ帯域幅、ロジック容量、信号処理性能を備えて民生品を越えた高い信頼性を満たす必要のあるアプリケーションまであらゆる分野のシステム要件に対応します。防衛グレード7シリーズFPGAの3つのファミリは次のとおりです。

- Artix®-7Qファミリ：大量受注型アプリケーション向け。小型フォームファクターを使用したパッケージで、低コストおよび低消費電力を最重要として最適化
- Kintex®-7Qファミリ：前世代のFPGAと比較して2倍の対価格性能を実現するよう最適化された新しいクラスのFPGA
- Virtex®-7Qファミリ：2倍のシステム性能と容量を実現するよう最適化された最高性能のFPGA

高性能かつ低消費電力(HPL)の28nm High-kメタルゲート(HKMG)プロセステクノロジーを採用した防衛グレード7シリーズFPGAは、1.4Tb/sのI/O帯域幅、98万ロジックセル、4.7TMAC/s DSPデジタル信号処理をサポートする、従来にないシステム性能と50%の消費電力削減を同時に実現した、ASSPやASICに置き換わる完全なプログラマブルデバイスです。

防衛グレード 7 シリーズ FPGA の特長

- 完全な拡張温度範囲でのテスト
- マスクセット制御
- 完全なリード(Pb)コンテンツ
- 高耐久性パッケージ
- 長期的な生産/供給体制
- 偽造防止機能
- 4世代目となる情報保証および改ざん対策サポート
- 完全な6入力のルックアップテーブル(LUT)テクノロジーをベースとする最先端の高性能FPGAロジックは、分散メモリとしても構成可能
- オンチップのデータバッファ用にFIFOロジックを内蔵する36KbデュアルポートブロックRAM
- 最高1,866Mb/sのDDR3インターフェイスをサポートする高性能SelectIO™テクノロジー
- 600Mb/sから最高6.6Gb/s～11.3Gb/sのレートをサポートする内蔵マルチギガビットトランシーバーによる高速シリアルコネクティビティは、チップ間インターフェイス用に低電力モードも提供
- ユーザーが設定可能なアナログインターフェイス(XADC)は、温度および電源計測用のオンチップセンサーを持つ12ビット、1MSPSの汎用アナログ-デジタルコンバーターを2つ備えている
- 25×18乗算器、48ビットアキュムレータ、および対称係数フィルタリングを含む高度なフィルター処理用の前置加算器(乗算器前段の加算器)を備えるDSPスライス
- PLL(位相ロックループ)とMMCM(ミックスドモードクロックマネージャー)ブロックを組み合わせたCMT(クロックマネジメント)によって高精度で低ジッターのクロック制御
- 最高でx8 Gen3のエンドポイントおよびルートポートデザインをサポートするPCI Express®(PCIe)用統合ブロック
- 汎用メモリ、HMAC/SHA-256認証を用いた256ビットAES暗号化、内蔵型SEU検出および訂正のサポートを含む多様なコンフィギュレーションオプション
- ワイヤボンンドでシグナルインテグリティに優れた、リッド付きのフリップチップ高耐久性パッケージは同一パッケージのファミリ間で簡単に移行可能。すべてが鉛パッケージで入手可能
- 高性能かつ最も低い消費電力を実現するよう設計された28nm、HKMG、HPLプロセスを採用

表 1: 防衛グレード 7 シリーズファミリの機能の比較

	Artix-7Qファミリ	Kintex-7Qファミリ	Virtex-7Qファミリ
ロジックセル	215K	407K	979K
ブロックRAM ⁽¹⁾	13Mb	27Mb	54Mb
DSPスライス	740	1,540	3,600
DSPの最大処理速度 ⁽²⁾	814GMAC/s	2,002GMAC/s	4,680GMAC/s
トランシーバー	8	16	48
トランシーバーの最大速度	6.6Gb/s	10.3125Gb/s	11.3Gb/s
最大シリアル帯域幅(全二重)	106Gb/s	330Gb/s	814Gb/s
PCIeインターフェイス	x4 Gen2	x8 Gen2	x8 Gen3
メモリインターフェイス	800Mb/s	1,866Mb/s	1,866Mb/s
I/Oピン	400	500	1,000
I/O電圧	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V
パッケージオプション	ワイヤボンンド、高耐久性フリップチップ	高耐久性フリップチップ	高耐久性フリップチップ

注記:

1. 分散RAMの形で追加のメモリが使用可能です。
2. DSPの最大処理速度は、対称フィルターを実装して算出しています。

Artix-7Q FPGA の機能一覧

表 2 : Artix-7Q FPGA の機能一覧

デバイス	ロジックセル	コンフィギュラブルロジックブロック (CLB)		DSP48E1スライス ⁽²⁾	ブロック RAM ブロック ⁽³⁾			CMT ⁽⁴⁾	PCIe ⁽⁵⁾	GTP	アナログミックスドシグナル (AMS)	総 I/Oバンク ⁽⁶⁾	最大ユーザー I/O ⁽⁷⁾
		スライス ⁽¹⁾	最大分散 RAM (Kb)		18Kb	36Kb	最大 (Kb)						
XQ7A50T	52,160	8,150	600	120	150	75	2,700	5	1	4	1	5	250
XQ7A100T	101,440	15,850	1,188	240	270	135	4,860	6	1	4	1	6	285
XQ7A200T	215,360	33,650	2,888	740	730	365	13,140	10	1	8	1	8	400

- 注記 :
1. 防衛グレード 7 シリーズ FPGA の各スライスには、4 つの LUT と 8 つのフリップフロップが含まれ、一部のスライスでのみ LUT を分散 RAM または SRL として使用できます。
 2. 各 DSP スライスには 25 × 18 乗算器、加算器、アキュムレータが 1 つずつ含まれます。
 3. ブロック RAM は基本的に 36Kb ですが、2 つの独立した 18Kb ブロックとしても使用できます。
 4. 各 CMT には MMCM と PLL が 1 つずつ含まれます。
 5. Artix-7Q FPGA の PCI Express 用インターフェイス ブロックは最高 ×4 Gen 2 をサポートします。
 6. コンフィギュレーションバンク 0 は含まれません。
 7. 記載の数値に GTP トランシーバーは含まれません。

表 3 : Artix-7Q デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ	CS324		CS325		RS484		FG484 ⁽¹⁾		RB484 ⁽¹⁾		RB676	
サイズ (mm)	15 x 15		15 x 15		19 x 19		23 x 23		23 x 23		27 x 27	
ボールピッチ (mm)	0.8		0.8		0.8		1.0		1.0		1.0	
デバイス	GTP	I/O	GTP	I/O	GTP	I/O	GTP	I/O	GTP	I/O	GTP	I/O
		HR ⁽²⁾		HR ⁽²⁾		HR ⁽²⁾		HR ⁽²⁾		HR ⁽²⁾		HR ⁽²⁾
XQ7A50T			4	150			4	250				
XQ7A100T	0	210					4	285				
XQ7A200T					4	285			4	285	8	400

- 注記 :
1. FG484 と RB484 のデバイスは、フットプリントに互換性があります。
 2. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。

Kintex-7Q FPGA の機能一覧

表 4 : Kintex-7Q FPGA の機能一覧

デバイス	ロジックセル	コンフィギュラブルロジックブロック (CLB)		DSPスライス ⁽²⁾	ブロック RAM ブロック ⁽³⁾			CMT ⁽⁴⁾	PCIe ⁽⁵⁾	GTX	XADCブロック	総 I/Oバンク ⁽⁶⁾	最大ユーザー I/O ⁽⁷⁾
		スライス ⁽¹⁾	最大分散 RAM (Kb)		18Kb	36Kb	最大 (Kb)						
XQ7K325T	326,080	50,950	4,000	840	890	445	16,020	10	1	16	1	10	500
XQ7K410T	406,720	63,550	5,663	1,540	1,590	795	28,620	10	1	16	1	10	500

- 注記 :
1. 防衛グレード 7 シリーズ FPGA の各スライスには、4 つの LUT と 8 つのフリップフロップが含まれ、一部のスライスでのみ LUT を分散 RAM または SRL として使用できます。
 2. 各 DSP スライスには 25 × 18 乗算器、加算器、アキュムレータが 1 つずつ含まれます。
 3. ブロック RAM は基本的に 36Kb ですが、2 つの独立した 18Kb ブロックとしても使用できます。
 4. 各 CMT には MMCM と PLL が 1 つずつ含まれます。
 5. Kintex-7Q FPGA の PCI Express 用インターフェイス ブロックは最高 ×8 Gen 2 をサポートします。
 6. コンフィギュレーションバンク 0 は含まれません。
 7. 記載の数値に GTX トランシーバーは含まれません。

表 5 : Kintex-7Q デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ	RF676			RF900		
サイズ (mm)	27 x 27			31 x 31		
ボールピッチ (mm)	1.0			1.0		
デバイス	GTX	I/O		GTX	I/O	
		HR(1)	HP(2)		HR(1)	HP(2)
XQ7K325T	8	250	150	16	350	150
XQ7K410T	8	250	150	16	350	150

注記 :

1. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
2. HP は High Performance I/O で、1.2V から 1.8V の I/O 電圧をサポートします。

Virtex-7Q FPGA の機能一覧

表 6 : Virtex-7Q FPGA の機能一覧

デバイス	ロジックセル	コンフィギュラブルロジックブロック (CLB)		DSPスライス(2)	ブロック RAM ブロック(3)			CMT(4)	PCIe(5)	GTX	GTH	GTZ	XADCブロック	総 I/Oバンク(6)	最大ユーザー I/O(7)
		スライス(1)	最大分散 RAM (Kb)		18Kb	36Kb	最大 (Kb)								
XQ7V585T	582,720	91,050	6,938	1,260	1,590	795	28,620	18	3	36	0	0	1	17	850
XQ7VX330T	326,400	51,000	4,388	1,120	1,500	750	27,000	14	2	0	28	0	1	14	700
XQ7VX485T	485,760	75,900	8,175	2,800	2,060	1,030	37,080	14	2	28	0	0	1	14	700
XQ7VX690T	693,120	108,300	10,888	3,600	2,940	1,470	52,920	20	3	0	48	0	1	20	1,000
XQ7VX980T	979,200	153,000	13,838	3,600	3,000	1,500	54,000	18	2	0	24	0	1	18	900

注記 :

1. 防衛グレード 7 シリーズ FPGA の各スライスには、4 つの LUT と 8 つのフリップフロップが含まれ、一部のスライスでのみ LUT を分散 RAM または SRL として使用できます。
2. 各 DSP スライスには 25 x 18 乗算器、加算器、アキュムレータが 1 つずつ含まれます。
3. ブロック RAM は基本的に 36Kb ですが、2 つの独立した 18Kb ブロックとしても使用できます。
4. 各 CMT には MMCM と PLL が 1 つずつ含まれます。
5. Virtex-7Q T FPGA の PCI Express 用インターフェイスブロックは最高 x8 Gen 2 をサポートします。Virtex-7Q XT の PCI Express 用インターフェイスブロックは最高で x8 Gen 3 をサポートします (ただし、XQ7VX485 デバイスは x8 Gen 2 をサポート)。
6. コンフィギュレーションバンク 0 は含まれません。
7. 記載の数値に GTX、GTH、または GTZ トランシーバーは含まれません。

表 7 : Virtex-7Q デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ	RF1157				RF1158				RF1761				RF1930		
サイズ (mm)	35 x 35				35 x 35				42.5 x 42.5				45 x 45		
ボールピッチ	1.0				1.0				1.0				1.0		
デバイス	GTX	GTH	I/O		GTX	GTH	I/O		GTX	GTH	I/O		GTX	GTH	I/O
			HR(1)	HP(2)			HR(1)	HP(2)			HR(1)	HP(2)			
XQ7V585T	20	0	0	600					36	0	100	750			
XQ7VX330T	0	20	0	600					0	28	50	650			
XQ7VX485T									28	0	0	700	24	0	700
XQ7VX690T	0	20	0	600	0	48	0	350	0	36	0	850	0	24	1,000
XQ7VX980T													0	24	900

注記 :

1. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
2. HP は High Performance I/O で、1.2V から 1.8V の I/O 電圧をサポートします。

CLB、スライス、および LUT

CLB アーキテクチャの主な特長は次のとおりです。

- 完全な 6 入力ルックアップ テーブル (LUT)
- LUT 内のメモリ機能
- レジスタおよびシフトレジスタ機能

防衛グレード 7 シリーズ FPGA のルックアップ テーブル (LUT) は、出力が 1 つの 6 入力 LUT (64 ビット ROM) として、または出力が別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT (32 ビット ROM) として構成できます。各 LUT 出力はオプションとしてフリップフロップでラッチできます。このような LUT が 4 つ、それらのフリップフロップ 8 つ、マルチプレクサー、そして演算キャリー ロジックがスライスを構成し、2 つのスライスが CLB (コンフィギュラブル ロジック ブロック) を構成します。各スライスの 8 つのフリップフロップのうち 4 つ (各 LUT から 1 つずつ) は、ラッチとして構成できます。

全スライスの 25 ~ 50% が LUT を 64 ビットの分散 RAM として、あるいは 32 ビットのシフトレジスタ (SRL32) か 2 つの SRL16 として使用できます。最近の合成ツールでは、このような高効率のロジック、演算、およびメモリ機能を活かした合成が実行されます。

クロック管理

クロック マネージメント アーキテクチャの主な特長は次のとおりです。

- 低スキューのクロック分配を実現する高速バッファおよび配線
- 周波数合成および位相シフト
- 低ジッターのクロック生成およびジッターのフィルタリング

各防衛グレード 7 シリーズ FPGA には最大 20 個の CMT (クロック マネージメント タイル) が含まれ、各 CMT は MMCM (ミックスド モード クロック マネージャー) と PLL (位相ロック ループ) 1 つずつで構成されています。

MMCM および PLL

MMCM と PLL には共通の特長が多数あります。これらは共に、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。これらのコンポーネントの中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、これらにはプログラム可能な 3 つの周波数分周回路 (D、M、O) があります。前置分周器 D (コンフィギュレーションおよび DRP を介してプログラム可能) は入力周波数を低減させ、従来の PLL 位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M (コンフィギュレーションおよび DRP を介してプログラム可能) は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つ (PLL の場合は O0 ~ O5 の 6 つ、MMCM の場合は O0 ~ O6 の 7 つ) を駆動するよう選択できます。これらの各分周器は、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM および PLL には入力ジッターのフィルター モードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、位相オフセットが最小になりません。広帯域モードでは位相オフセットが優先され、ジッターの減衰が最大にはなりません。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM のその他のプログラマブル機能

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。

MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。

クロック分配

各防衛グレード 7 シリーズ FPGA は異なる 6 タイプのクロック ライン (BUFG、BUFR、BUFIO、BUFH、BUFMR、高性能クロック) を提供し、大きなファンアウト、短い伝搬遅延、非常に小さなスキューなどのさまざまなクロッキング要件に対応します。

グローバル クロック ライン

各防衛グレード 7 シリーズ FPGA が備える 32 のグローバル クロック ラインは最大のファンアウトを提供し、全フリップフロップ クロック、クロック イネーブル、セット/リセット、および多数のロジック入力に使用できます。クロック領域には 12 のグローバル クロック ラインがあり、並行ラインのクロック バッファ (BUFH) で駆動されます。これらの BUFH はそれぞれを独立して有効あるいは無効にできることから、ある領域内にあるクロックをオフにでき、これによってクロック領域の消費電力を細かく制御できるようになります。これらのラインはグローバル クロック バッファで駆動できるだけでなく、グリッチなしでクロックを多重伝送したり、クロック イネーブルとしての機能を果たします。グローバル クロックは、通常 CMT から駆動されるため、基本的なクロック分散遅延が完全に削除されます。

リージョナル クロック

リージョナル クロックは、それがあある領域の全クロックを駆動できます。領域は、I/O 50 個分と CLB 50 個分の高さ、およびデバイスの半分の幅を持つ任意のエリアと定義されます。防衛グレード 7 シリーズ FPGA には 6 ~ 20 の領域があり、すべての領域に 4 つのリージョナル クロックトラックがあります。各リージョナル クロック バッファは、4 つの CC (クロック兼用) 入力ピンのいずれかから駆動でき、周波数はオプションとして 1 ~ 8 の任意の整数で分周可能です。

I/O クロック

I/O クロックは非常に高速で、I/O ロジックおよびシリアライザー/デシリアライザー (SerDes) 回路にのみ使用します (「I/O ロジック」参照)。防衛グレード 7 シリーズ デバイスには、低ジッターで高性能なインターフェイス用に MMCM から I/O への直接接続がありません。

ブロック RAM

ブロック RAM の主な特長は次のとおりです。

- 最大ポート幅が 72 ビットのデュアルポート 36Kb ブロック RAM
- プログラム可能な FIFO ロジック
- オプションとして内蔵型エラー訂正回路

すべての防衛グレード 7 シリーズ FPGA に 75 ~ 1,500 個のデュアルポート ブロック RAM があり、それぞれが 36Kb を格納します。各ブロック RAM には、格納されたデータを共有する以外は完全に独立した 2 つのポートがあります。

同期動作

読み出しまたは書き込みのメモリ アクセスは、クロックによって制御されます。すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付きます。クロックなしではいかなる動作も生じません。入力アドレスは常にクロックされ、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。

書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。

プログラム可能なデータ幅

各ポートは 32K × 1、16K × 2、8K × 4、4K × 9 (または 8)、2K × 18 (または 16)、1K × 36 (または 32)、512 × 72 (または 64) のいずれかに構成できます。2 つのポートには別々の比率を指定でき、これに対する制限はありません。

各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを 16K × 1 ~ 512 × 36 の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。

シンプル デュアルポート (SDP) モードでのみ、18 ビット (18Kb RAM の場合) または 36 ビット (36Kb RAM の場合) 以上のデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。

デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。

2 つの隣接した 36Kb ブロック RAM をカスケード接続し、追加ロジックなしで 64K × 1 のデュアルポート RAM として構成できます。

エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミングコード ビットを生成、格納、そして使用でき、読み出し中にシングルビット エラーの訂正、ダブルビット エラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

FIFO コントローラー

シングル クロック (同期) またはデュアル クロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Almost Full、Almost Empty の 4 つのフラグを提供します。Almost Full および Almost Empty フラグは自由にプログラムできます。ブロック RAM と同様に、FIFO の幅およびワード数はプログラム可能ですが、書き込みポートと読み出しポートの幅は常に同一です。

First-Word Fall-Through モードでは、最初の読み出し前でも最初に書き込まれたワードがデータ出力に現れます。そして、最初のワードが読み出された後は、通常モードと同様に動作します。

デジタル信号処理 - DSP スライス

DSP の主な特長は次のとおりです。

- 25 × 18 の 2 の補数乗算器/48 ビットの高分解能アキュムレータによる信号処理
- 対称フィルター アプリケーションに最適化され、消費電力を抑えることが可能な前置加算器
- その他の高度な機能: パイプライン化オプション、ALU オプション、専用カスケード接続

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。すべての防衛グレード 7 シリーズ FPGA は、専用で完全にカスタマイズされた低消費電力 DSP スライスを数多く装備し、システム デザインの柔軟性を維持しながら、高速処理および小型化を実現しています。

各 DSP スライスは基本的に、専用の 25 × 18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成され、これらは共に 650MHz での動作を可能にする性能を持ちます。乗算器は動作中にバイパスでき、2つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2つの 10 個の異なるロジック ファンクションから任意の 1つを作成可能なロジック ユニットに入力できます。

DSP には、通常対称フィルターに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。また、収束丸め (偶数丸めとも呼ばれる) あるいは対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジック ユニットと併用する場合には、96 ビット幅のロジック ファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度、そして効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミック シフター、メモリ アドレス ジェネレーター、多入力マルチプレクサー、メモリ マップされた I/O レジスタ ファイルが含まれます。また、アキュムレータは同期のアップ/ダウン カウンターとしても使用可能です。

入力/出力

入力/出力の主な特長は次のとおりです。

- 最高 1,866Mb/s の DDR3 インターフェイスをサポートする高性能 SelectIO テクノロジー
- シグナル インテグリティを向上させたパッケージに高周波数デカップリング キャパシタを搭載
- 低消費電力かつ高速な I/O 動作にトライステートにすることができるデジタル制御インピーダンス

I/O ピン数は、デバイスおよびパッケージサイズによって異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。電源ピンおよび一部のコンフィギュレーション専用ピンを除き、すべてのパッケージピンは同一の I/O 性能を持ち、特定のバンク規則によってのみ制約されます。防衛グレード 7 シリーズ FPGA の I/O は High Range (HR) または High Performance (HP) のいずれかに分類されます。HR I/O は、1.2 ~ 3.3V までの最も広範な I/O 電圧をサポートします。HP I/O は最高性能の動作向けに最適化されており、1.2 ~ 1.8V の電圧をサポートします。

防衛グレード 7 シリーズ デバイスの HR および HP I/O ピンは、各バンクに 50 ピンずつ分割されています。各バンクには 1つの共通 V_{CCO} 出力電源があり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには、内部生成の、あるいは外部に基準電圧 (V_{REF}) が必要です。バンクあたり 2つの V_{REF} ピンがありますが (コンフィギュレーション バンク 0 は除く)、1つのバンクで使用できる V_{REF} 電圧値は 1つのみです。

ザイリンクス防衛グレード 7 シリーズ FPGA は、最もコストが低い小型フォーム ファクターのワイヤボンド パッケージ、高性能な従来型のフリップチップ パッケージ、小型フォーム ファクターと高性能のバランスを兼ね備えるフリップチップ パッケージまで、ユーザーのニーズに応える多様なパッケージで入手可能です。フリップチップ パッケージの場合、シリコン デバイスは高度なフリップチップ プロセスでパッケージ サブストレートに実装されます。ESR 調整キャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナル インテグリティが最適化されます。

I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 V_{CCO} は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルー レートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピン ペアが、差動入力ペアまたは出力ペアとしてコンフィギュレーションできます。さらに、差動入力ペアを 100Ω の内部抵抗で終端できるオプションもあります。防衛グレード 7 シリーズのすべてのデバイスは LVDS 以外の差動規格として HT、RSDS、BLVDS、差動 SSTL、差動 HSTL をサポートします。

各 I/O は、シングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。SSTL I/O 規格は、データ レートが 1,866Mb/s までの DDR3 インターフェイス アプリケーションをサポート可能です。

トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス (T_DCI) は、出力駆動インピーダンス (直列終端) を制御したり、あるいは V_{CC0} に対して入力信号を並列終端、 $V_{CC0}/2$ に対して分割 (テブナン) 終端を構成可能です。T_DCI を使用した信号には、オフチップの終端は不要です。これはボード スペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリ インターフェイスの実装時に、低消費電力化を図ることができます。

I/O ロジック

入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブル データ レート (DDR) が全入力および出力でサポートされています。すべての入力および一部の出力は、それぞれを 78ps または 52ps 単位で最大 32 タップ分個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。

ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビット シリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O 構造内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには 8 ビットの IOSERDES (ISERDES と OSERDES) があり、2、3、4、5、6、7、または 8 ビットの幅 (プログラム可能) でシリアルからパラレル、あるいはパラレルからシリアルへデータを変換します。さらに、2 つの隣接したピン (通常は差動 I/O) からの IOSERDES を 1 つずつカスケード接続することで、10 および 14 ビットの幅の広い変換がサポートされます。ISERDES には、1.25Gb/s LVDS I/O ベースの SGMII インターフェイスなどのアプリケーション向けに非同期データ リカバリをサポートする特別なオーバーサンプリング モードがあります。

低電力ギガビット トランシーバー

低電力ギガビット トランシーバーの主な特長は次のとおりです。

- 最高 6.6Gb/s (GTP)、10.3125Gb/s (GTX)、または 11.3Gb/s (GTH) のライン レート (デバイス ファミリによる) で動作
- チップ間インターフェイス用に最適化された低電力モード
- 高性能な送信プリエンファシスおよびポストエンファシス、受信リニア イコライザー (CTLE)、長距離伝送やバックプレーン アプリケーション用の判定帰還等化 (DFE)。シリアル リンクの調整を容易にするレシーバーのイコライゼーションでの自動適応およびオンチップのアイスキャン

光モジュールへの超高速シリアル データ転送はもとより、同一 PCB 上の IC 間、バックプレーン経由、あるいはさらに長距離間の超高速シリアル データ転送が一般的になっており、これらはデータ レート 100Gb/s やさらに高速な 400Gb/s まで拡張するカスタム ラインカードを実現する上で重要です。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要となります。

防衛グレード 7 シリーズ FPGA には、Artix-7Q ファミリで最大 8 個、Kintex-7Q ファミリで最大 16 個、Virtex-7Q ファミリで最大 48 個のトランシーバー回路が搭載されています。各シリアル トランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。防衛グレード 7 シリーズの各デバイスのシリアル トランシーバーは、リング オシレーターとの組み合わせか LC タンク アーキテクチャを使用でき、デバイス間の IP の移植性を維持しながら柔軟性と性能の最適なバランスを実現しています。サポートされる最大データ レートは防衛グレード 7 シリーズ ファミリによって異なり、GTP で 6.6Gb/s、GTX で 10.3125Gb/s、そして GTH では 11.3Gb/s です。低速なデータ レートは、FPGA ロジックでのオーバーサンプリングによって実現可能です。シリアル トランスミッターおよびレシーバーは高度な PLL アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 100 までの値で逡倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター

トランスミッターは基本的に、変換比率が 16、20、32、40、64、または 80 のパラレル/シリアル コンバーターです。さらに GTZ トランスミッターの場合は、最大 160 ビット データ幅をサポートします。このため、データパス幅とタイミング マージンのトレードオフによって高性能が要求されるデザインにも対応できます。トランスミッターの出力は、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビットシリアル出力信号は、差動信号によって 2 つのパッケージピンを駆動します。この出力信号ペアは、信号振幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー

レシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 16、20、32、40、64、または 80 ビット幅の平行ストリーム ワードに変換するシリアル/平行コンバーターです。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは入力差動データ ストリームを受け取って、それを (PC ボードやほかのインターコネクタ特性を補うため) プログラム可能なリニア イコライザーおよび DFE を介し、基準クロック入力を使用してクロックの認識を開始します。データ パターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ移行が生じるようにします。平行データは RXUSRCLK クロックを使用して FPGA ロジックに転送されます。短いチャネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。

Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCI Express および SATA/SAS のアプリケーションで有用です。

PCI Express デザイン用の統合インターフェイス ブロック

PCI Express 用統合ブロックの主な特長は次のとおりです。

- PCI Express Base Specification 2.1 または 3.0 (デバイス ファミリによる) に準拠し、エンドポイントとルート ポート機能に対応
- Gen1 (2.5Gb/s)、Gen2 (5Gb/s)、および Gen3 (8Gb/s) をサポート (デバイス ファミリによる)
- アドバンス コンフィギュレーション オプション、アドバンス エラー レポート (AER)、および End-to-End CRC (ECRC) のアドバンス エラー レポートと ECRC 機能
- マルチ ファンクションおよび SR-IOV (Single Root I/O Virtualization) をソフト ロジック ラッパーを使用してサポートまたはデバイス ファミリによっては統合ブロックに組み込み

すべての防衛グレード 7 シリーズ デバイスには、PCI Express Base Specification Revision 2.1 または 3.0 に準拠するよう設計され、エンドポイントまたはルート ポートとしてコンフィギュレーション可能な、PCI Express 用の統合ブロックが最低 1 つ搭載されています。ルート ポートは、ルート コンプレックス相当の機能を提供し、PCI Express プロトコルを用いた FPGA 間のカスタム通信を可能にするだけでなく、イーサネット コントローラーやファイバー チャネル HBA などの ASSP エンドポイント デバイスを FPGA に接続します。

このブロックはシステム デザイン要件に従うよう高度にコンフィギュレーション可能で、2.5Gb/s、5.0Gb/s、および 8.0Gb/s のデータ レートで 1、2、4、または 8 レーンの動作をサポートします。高性能アプリケーション向けには、ブロックを高度にバッファーすることで、1,024 バイトまでの柔軟性に優れた最大ペイロード サイズを提供します。また、シリアル コネクティビティ用に統合された高速トランシーバーと、データ バッファー用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データ リンク層、そしてトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCI Express 用統合ブロック、トランシーバー、ブロック RAM、クロック リソース) をエンドポイントまたはルート ポート ソリューションに活用できるようにする軽量、コンフィギュラブル、かつ簡単に使用できる LogiCORE™ IP ラッパーを提供しています。レーン幅、最大ペイロード サイズ、FPGA ロジック インターフェイス速度、基準クロック周波数、およびベース アドレス レジスタのデコードとフィルタリングなど、数多くのコンフィギュレーション可能なパラメーターをシステム設計者が制御できます。

ザイリンクスは AXI4-Stream およびメモリ マップされた AXI4 用の 2 つのラッパーを提供しています。防衛グレード 7 シリーズ デバイスの場合、PCI Express 用統合ブロックで従来の TRN/ローカル リンクは使用できません。AXI4-Stream は、このブロックを既に使用しているデザイン用に設計されたもので、TRN から AXI4-Stream への移行を容易にします。メモリ マップされた AXI4 はザイリンクス Platform Studio/EDK デザイン フローおよび MicroBlaze™ プロセッサ ベースのデザイン用に提供されているものです。

PCI Express デザインのソリューションに関する資料および詳細は、<http://japan.xilinx.com/technology/protocols/pciexpress.htm> から入手できます。

コンフィギュレーション

ザイリンクス 7 シリーズ FPGA は、次のような高度なコンフィギュレーション機能を備えています。

- 高速 SPI および BPI (平行 NOR) コンフィギュレーション
- ビルトイン MultiBoot およびセーフ アップデート機能
- HMAC/SHA-256 認証を使用した 256 ビット AES 暗号化
- ビルトイン SEU 検出および訂正
- パーシャル リコンフィギュレーション

ザイリンクス防衛グレード 7 シリーズ FPGA は、カスタマイズしたコンフィギュレーション データを SRAM タイプの内部ラッチに格納します。コンフィギュレーション ビット数は、デバイス サイズおよびユーザー デザインのインプリメンテーション オプションによって 17Mb ~ 270Mb です。コンフィギュレーション データは揮発性の媒体に格納されるため、FPGA への電源投入ごとに再ロードする

必要があります。格納されたデータは、PROGRAM_B ピンを Low にすることで、随時再ロードできます。コンフィギュレーション データは複数の方法およびデータ形式でロード可能で、これは 3 つのモード ピンで決定します。

SPI インターフェイス (×1、×2、および ×4 モード) と BPI インターフェイス (パラレル NOR ×8 および ×16) の 2 つは、FPGA のコンフィギュレーションによく使用される方法です。この方法では、ユーザーが SPI または BPI フラッシュを FPGA に直接接続し、FPGA 内部のコンフィギュレーション ロジックがフラッシュからビットストリームを読み出して、その FPGA をコンフィギュレーションします。FPGA がオンザフライで自動的にバス幅を検出するため、外部からの制御や切り替えは不要で、サポートされるバス幅は、SPI では ×1、×2、×4、BPI では ×8 と ×16 です。また、バス幅が広いほど、コンフィギュレーション速度は高くなり、電源を投入してから FPGA が起動するまでに必要な時間が短縮されます。

マスター モードの場合、FPGA は内部生成されたクロックからコンフィギュレーション クロックを駆動可能ですが、コンフィギュレーションをより高速で実行するため、外部のコンフィギュレーション クロック ソースを使用することもできます。これにより、マスターモードの使い易さを活かしたコンフィギュレーションが可能になります。一方、最大 32 ビット幅のスレーブ モードもサポートされており、これは特にプロセッサによるコンフィギュレーションの場合に有用です。

FPGA は、SPI または BPI フラッシュを使用して別のイメージでリコンフィギュレーションできるため、外部コントローラーは不要となります。データ送信時にエラーが生じた場合でも、FPGA は元のデザインを再ロードできるため、その処理の最後には動作可能な FPGA としてコンフィギュレーションされます。これは特に、最終的な製品が出荷された後でデザインを更新する際に役立ちます。つまり、初期バージョンのデザインで製品が出荷できるため、製品をいち早く市場に投入できることとなります。この機能によって、製品がすでにフィールドにある状態で、最新のデザインをエンドユーザーに提供し続けることが可能となります。

ダイナミック リコンフィギュレーション ポート (DRP) により、システム設計者は、MMCM、PLL、XADC、トランシーバー、PCI Express 用統合ブロックのコンフィギュレーションレジスタおよびステータスレジスタに簡単にアクセスできます。DRP はメモリにマップされたレジスタのように動作し、ブロック固有のコンフィギュレーションビット、ステータスレジスタ、制御レジスタへのアクセスおよび変更が可能です。

暗号化、リードバック、パーシャル リコンフィギュレーション

すべての防衛グレード 7 シリーズ デバイスでは、重要なカスタマー IP を含む FPGA ビットストリームを、256 ビットの AES 暗号化および HMAC/SHA-256 認証を使用して保護し、デザインの不正なコピーを防止します。FPGA はコンフィギュレーション中に、内部に格納された 256 ビットのキーを用いて、これをオンザフライで復号化します。このキーは、バッテリ バックアップに使用する RAM か非揮発性の eFUSE に保存できます。

ほとんどのコンフィギュレーション データは、システム動作に影響を与えることなくリードバック可能です。通常はすべてをコンフィギュレーションするか、まったくコンフィギュレーションしないかのどちらかですが、ザイリンクス防衛グレード 7 シリーズ FPGA はパーシャル リコンフィギュレーションをサポートしています。これは、FPGA の一部のみを変更し、ほかの部分はそのまま維持することを可能にする非常に有益で柔軟性に優れた機能です。設計者はリコンフィギュレーション可能な部分を時分割で処理し、より小さなデバイスにさらに多くの IP を含めることができるため、コストおよび消費電力の削減につながります。パーシャル リコンフィギュレーションを適用できるデザインでは、FPGA の多様性は大幅に向上します。

XADC (Analog-to-Digital Converter)

XADC アーキテクチャの主な特長は次のとおりです。

- 2 個の 12 ビット、1MSPS のアナログ/デジタル コンバーター (ADC)
- 最大 17 個の柔軟でユーザー コンフィギュレーション可能なアナログ入力
- オンチップ リファレンスまたは外部リファレンスを選択可能
- オンチップの温度 (±4°C 最大エラー /I グレード、±6°C 最大エラー /M グレード) および電源 (±1% 最大エラー /I グレード、±2°C 最大エラー /M グレード) センサー
- JTAG を介して連続的に ADC の計測結果にアクセス

すべてのザイリンクス防衛グレード 7 シリーズ FPGA は、XADC と呼ばれる、柔軟性に優れた新しいアナログ インターフェイスを備えています。防衛グレード 7 シリーズ FPGA が持つプログラマブル ロジックの性能と組み合わせることにより、データ取得と計測に関する幅広い要件に対応します。詳細は、<http://japan.xilinx.com/ams> を参照してください。

XADC には専用のトラックおよびホールド アンプを持つ 12 ビットで 1MSPS の ADC が 2 つと、1 つのオンチップアナログ マルチプレクサー (最大 17 の外部アナログ入力チャネルをサポート)、オンチップ温度/電源電圧センサーが含まれます。2 つの ADC は、2 つの外部アナログ入力チャネルを同時にサンプルするように構成できます。トラックおよびホールド アンプは、単極、双極、差動の幅広いアナログ入力をサポートします。アナログ入力は、1MSPS のサンプルレートで 500KHz 以上の信号帯域幅をサポートします。専用のアナログ入力を用いて外部アナログ マルチプレクサー モードを使用すると、さらに広いアナログ帯域幅をサポートできます (『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1MSPS アナログ-デジタル コンバーター ユーザー ガイド』(UG480) 参照)。

XADC は、オプションとしてオンチップの基準回路 (±1%) を使用するため、温度や電源レールの基本的なオンチップ モニタリング用に外部にアクティブなコンポーネントは必要ありません。ADC の 12 ビットの性能を十分に発揮させるには、外部に 1.25V のリファレンス IC を使用することを推奨します。

XADC をデザインにインスタンスシートしない場合のデフォルトでは、XADC はすべてのオンチップ センサーの出力をデジタル化します。最も新しい計測結果は、最大および最小の測定結果と共に専用のレジスタに格納され、JTAG インターフェイスを介して常時アクセスできます。また、ユーザー定義のアラームしきい値によって超過温度イベントおよび許容外の温度変動を自動的に知らせることができ、ユーザーが指定した制限値 (100°C など) を用いて自動的に電源を切断するようにもできます。

防衛グレード 7 シリーズ FPGA の関連資料

防衛グレード 7 シリーズ FPGA の資料は、次のページを参照してください。

<http://japan.xilinx.com/applications/aerospace-and-defense/index.htm>

防衛グレード 7 シリーズ FPGA 注文情報

表 8 に、このデバイス ファミリーで提供されているスピード グレードおよび温度グレードを示します。一部のデバイスでは、入手可能なスピード グレードと温度グレードに制限があります。

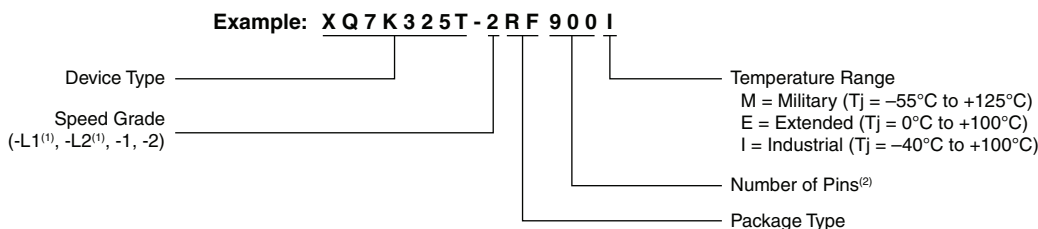
表 8: 防衛グレード 7 シリーズのスピード グレードと温度仕様

デバイス ファミリー	デバイス	スピード グレードと温度範囲		
		ミリタリ (M) -55°C ~ +125°C	拡張 (E) 0°C ~ +100°C	インダストリアル (I) -40°C ~ +100°C
Artix-7Q	XQ7A50T	-1		-1、-1L ⁽¹⁾ 、-2
	XQ7A100T	-1		-1、-1L ⁽¹⁾ 、-2
	XQ7A200T	-1		-1、-1L ⁽¹⁾ 、-2
Kintex-7Q	XQ7K325T	-1、-1L ⁽¹⁾⁽²⁾	-2L ⁽³⁾	-1、-2、-2L
	XQ7K410T	-1	-2L ⁽³⁾	-1、-2、-2L
Virtex-7Q T	XQ7V585T	-1	-2L	-1、-2
Virtex-7Q XT	XQ7VX330T	-1	-2L	-1、-2
	XQ7VX485T	-1	-2L	-1、-2
	XQ7VX690T			-1、-2
	XQ7VX980T		-2L	-1

注記:

1. XQ7A50T 3、XQ7A100T、XQ7A200T の -1L スピード グレード製品は V_{CCINT} = 0.95V で動作し、XQ7K325T の場合は V_{CCINT} = 1V で動作します。詳細は、『Artix-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS181) または『Kintex-7 FPGA データシート: DC 特性および AC スイッチ特性』(DS182) を参照してください。
2. XQ7K325T の -1L スピード グレード製品は、RF676 パッケージでのみ入手可能です。
3. -2L スピード グレードは最大消費電力を削減します。Kintex-7Q FPGA はより低いコア電圧で動作可能です。

図 1 に示す Artix-7Q、Kintex-7Q、および Virtex-7Q FPGA の注文情報は、すべてのパッケージに適用されます。デバイス パッケージ マークの詳細は、『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) の「パッケージ マーク」を参照してください。



1) -L1 and -L2 are the ordering codes for the lower power -1L and -2L speed grades, respectively.
 2) Some package names do not exactly match the number of pins present on that package.
 See UG475: 7 Series FPGAs Packaging and Pinout User Guide for package details.

DS185_01_061715

図 1: 注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015年7月2日	1.2	表 1 のトランシーバーの数を更新。表 6 に記載の PCIe およびトランシーバーの情報を更新。「低電力ギガビット トランシーバー」を更新。表 7 に RF1158 パッケージを追加。表 8 に記載のスピードグレードと温度範囲を更新。図 1 を更新。
2014年6月18日	1.1	表 2、表 3、および表 8 に XQ7A50T を追加。表 3 に CS325 パッケージを追加。「リージョナルクロック」、「ブロック RAM」、「入力/出力」、および「コンフィギュレーション」を更新。
2013年5月10日	1.0	初版

Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。