

XA Zynq-7000 SoC の第一世代アーキテクチャ

XA Zynq™-7000 オートモーティブ ファミリは、ザイリンクスの SoC アーキテクチャで構成されています。この製品は、豊富な機能を備えたデュアル コア Arm® Cortex™-A9 ベースのプロセッシング システム (PS) とザイリンクスの 28nm プログラマブル ロジック (PL) を 1 つのデバイスに組み合わせたものです。PS は Arm Cortex-A9 CPU を中核として、オンチップ メモリ、外部メモリ インターフェイス、幅広い周辺接続インターフェイスを備えています。統合性、柔軟性、電力最適化のすべての面に優れたこのソリューションは、高性能が求められる演算負荷の高いアプリケーションに理想的です。このファミリはオートモーティブ アプリケーションに焦点を当てており、Z-7010、Z-7020、および Z-7030 で構成されています。

プロセッシング システム (PS)

デュアル コア Arm Cortex-A9 ベースのアプリケーション プロセッサ ユニット (APU)

- 各 CPU につき 2.5DMIPS/MHz
- CPU 周波数: 最大 667MHz
- コヒーレンスを維持したマルチプロセッサをサポート
- ARMv7-A アーキテクチャ
 - TrustZone セキュリティ
 - Thumb-2 命令セット
- Jazelle RCT 実行環境アーキテクチャ
- NEON メディア処理エンジン
- 単精度および倍精度のベクター浮動小数点ユニット (VFPv3)
- CoreSight™ テクノロジーおよびプログラム トレース マクロセル (PTM)
- タイマーと割り込み
 - 3 つのウォッチドッグ タイマー
 - 1 つのグローバル タイマー
 - 2 つのトリプル タイマー カウンター

キャッシュ

- 32KB、レベル 1 で 4 ウェイ (連想度) セット アソシエイティブ方式の命令/データ キャッシュ (CPU ごとに独立)
- 512KB、レベル 2 で 8 ウェイ セット アソシエイティブ方式のキャッシュ (両方の CPU で共有)
- バイト パリティをサポート

オンチップ メモリ

- オンチップ ブート ROM
- 256KB オンチップ RAM (OCM)
- バイト パリティをサポート

外部メモリ インターフェイス

- マルチプロトコル ダイナミック メモリ コントローラー

- DDR3L/DDR3/DDR2/LPDDR2 メモリへの 16 ビットまたは 32 ビット インターフェイス
- 16 ビット モードで ECC をサポート
- シングル ランクの 8 ビット、16 ビット、または 32 ビット幅のメモリで 1GB のアドレス空間
- スタティック メモリ インターフェイス
 - 8 ビットの SRAM データバス (最大 64MB をサポート)
 - パラレル NOR フラッシュをサポート
 - ONFI1.0 NAND フラッシュをサポート (1 ビット ECC)
 - 1 ビット SPI、2 ビット SPI、4 ビット SPI (クワッド SPI)、または 2 つのクワッド SPI (8 ビット) シリアル NOR フラッシュ

8 チャンネル DMA コントローラー

- メモリ間、メモリからペリフェラル、ペリフェラルからメモリ、スキャッター ギャザーのトランザクションをサポート

I/O ペリフェラルおよびインターフェイス

- IEEE802.3 および IEEE1588 rev 2.0 をサポートする 2 つの 10/100/1000 トライモード イーサネット MAC ペリフェラル
 - スキャッター ギャザー DMA 機能
 - 1588 rev. 2 PTP フレームを認識
 - GMII および RGMII インターフェイス
- 最大 12 のエンドポイントをサポートする 2 つの USB 2.0 OTG ペリフェラル
 - USB 2.0 準拠のデバイス IP コア
 - On-the-Go (OTG)、高速、フル速度、低速モードをサポート
 - Intel EHCI 準拠の USB ホスト
 - 外部 PHY の接続用の 8 ビット ULPI インターフェイス
- CAN 2.0B に完全に準拠した 2 つの CAN バス インターフェイス
 - CAN 2.0A、CAN 2.0B、ISO 11898-1 規格に準拠
 - 外部 PHY インターフェイス

© Copyright 2012-2018 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの保有者に帰属します。PCI、PCIe、および PCI Express は、PCI-SIG の商標であり、ライセンスに基づいて使用されています。

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

- SD/SDIO 2.0/MMC3.31 に準拠した 2 つのコントローラー
- 3 つのペリフェラル チップ セレクトを備えた 2 つの全二重 SPI ポート
- 2 つの高速 UART (最大 1Mb/s)
- 2 つのマスターおよびスレーブ I2C インターフェイス
- 4 つの 32 ビット バンクを備えた GPIO。そのうち最大 54 ビット (1 つのバンクから 32b、別のバンクから 22b) は PS I/O と使用可能で、最大 64 ビット (32b バンク 2 つ) をプログラマブル ロジック (PL) に接続可能
- 最大 54 の多目的 I/O (MIO) によりペリフェラル ピンを柔軟に割り当て

プログラマブル ロジック (PL)

コンフィギュラブル ロジック ブロック (CLB)

- ルックアップ テーブル (LUT)
- フリップフロップ
- カスケード接続可能な加算器

36Kb ブロック RAM

- 完全なデュアル ポート
- 最大 72 ビット幅
- 2 つの 18Kb ブロック RAM として構成可能

DSP ブロック

- 18 × 25 符号付き乗算
- 48 ビット加算/累算器
- 25 ビット前置加算器

プログラマブル I/O ブロック

- LVCMOS、LVDS、SSTL をサポート
- 1.2V ~ 3.3V の I/O
- プログラム可能な I/O 遅延および SerDes

JTAG バウンダリスキャン

- IEEE1149.1 準拠のテスト インターフェイス

2 つの 12 ビット A/D コンバーター (ADC)

- オンチップの電圧および温度検出
- 最大 17 チャンネルの外部差動入力
- 最大 1MSPS の変換レート

オートモーティブの温度範囲

- I グレード: $T_j = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$
- Q グレード: $T_j = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

オートモーティブの規格

- AEC-Q100 認定 (AEC-Q100 認定以外の規格も要求に応じて利用可能)
- PPAP (Production Part Approval Process: 製造部品承認プロセス) 資料

インターコネクト

- PS 内部および PS と PL 間を広帯域接続
- Arm AMBA AXI ベース
- タイミングの厳しいマスターに対して QoS をサポートし、レイテンシおよび帯域幅を制御

シリアル トランシーバー

- 最大 4 個のレシーバーとトランスミッター
- 最大 6.6Gb/s のデータ レートをサポート

PCI Express® ブロック

- ルート コンプレックスおよびエンドポイントとして構成
- Gen2 のレートまでサポート
- 最大 4 レーンをサポート

機能一覧

表 1: XA Zynq-7000 SoC

	デバイス名	Z-7010	Z-7020	Z-7030
	デバイス番号	XA7Z010	XA7Z020	XA7Z030
プロセッシングシステム	プロセッサ コア	CoreSight テクノロジを統合した Arm Cortex-A9 MPCore デュアル コア プロセッサ		
	プロセッサの拡張機能	各プロセッサに NEON および単精度/倍精度浮動小数点ユニット		
	最大周波数	667MHz (-1)		
	L1 キャッシュ	各プロセッサに 32KB 命令キャッシュと 32KB データ キャッシュ		
	L2 キャッシュ	512KB		
	オンチップ メモリ	256KB		
	外部メモリ サポート ⁽¹⁾	DDR3L、DDR3、DDR2、LPDDR2		
	外部スタティック メモリ サポート ⁽¹⁾	クワッド SPI x2、NAND、NOR		
	DMA チャンネル	8 (4 つはプログラマブル ロジック専用)		
	ペリフェラル ⁽¹⁾	UART x2、CAN 2.0B x2、I2C x2、SPI x2、32b GPIO x4		
	DMA 内蔵ペリフェラル ⁽¹⁾	USB 2.0 (OTG) x2、トライモード ギガビット イーサネット x2、SD/SDIO x2		
	セキュリティ ⁽²⁾	AES および SHA 256b によるデバイス セキュリティ		
PS と PL のインターフェイス ポート (プライマリ インターフェイスおよび 割り込みのみ)	AXI 32b マスター x2、AXI 32b スレーブ x2 AXI 64b/32b メモリ x4 AXI 64b ACP 16 個の割り込み			
プログラマブルロジック	相当するザイリンクス 7 シリーズ プログラマブル ロジック	Artix®-7 FPGA	Artix-7 FPGA	Kintex® FPGA
	プログラマブル ロジック セル (ASIC ゲート相当数) ⁽³⁾	28K ロジック セル (~430K)	85K ロジック セル (~1.3M)	125K ロジック セル (~1.9M)
	ルックアップ テーブル (LUT)	17,600	53,200	78,600
	フリップフロップ	35,200	106,400	157,200
	エクステンシブルブロック RAM (36Kb ブロックの数)	240KB (60)	560KB (140)	1,060KB (265)
	プログラマブル DSP スライス (18 × 25 MACC)	80	220	400
	DSP の最大処理速度 (対称 FIR)	100GMACs	276GMACs	593GMACs
	PCI Express (ルートコンプレックス およびエンドポイント)	—	—	Gen2 x4
	アナログ ミックスド シグナル (AMS)/ XADC	最大 17 の差動入力を備えた 12 ビット 1MSPS ADC x 2		
	セキュリティ ⁽²⁾	AES および SHA 256b によるブート コードおよび PL のコンフィギュレーション、 復号、認証		

注記:

1. CLG225 パッケージの場合は制限があります。詳細は、『Zynq-7000 SoC テクニカル リファレンス マニュアル』(UG585: 英語版、日本語版) を参照してください。
2. セキュリティはプロセッシング システムとプログラマブル ロジックで共有します。
3. ASIC ゲート相当数は実装する機能によって異なります。ここでは、1 ロジック セル = 約 15 ASIC ゲートとして算出しています。

デバイスとパッケージの組み合わせ

表 2 に、XA Zynq-7000 SoC のデバイスとパッケージの各組み合わせを示します。

表 2: デバイスとパッケージの組み合わせ

パッケージ ⁽¹⁾	CLG225		CLG400		CLG484		FBG484/FBV484			
サイズ	13 x 13mm		17 x 17mm		19 x 19mm		23 x 23mm			
ボールピッチ	0.8mm		0.8mm		0.8mm		1.0mm			
デバイス	PS I/O ⁽²⁾	SelectIO™	PS I/O ⁽²⁾	SelectIO	PS I/O ⁽²⁾	SelectIO	PS I/O ⁽²⁾	GTX	SelectIO	
		HR		HR ⁽³⁾		HR ⁽³⁾			HR	HP ⁽⁴⁾
XA7Z010	86	54	130	100						
XA7Z020			130	125	130	200				
XA7Z030							130	4	100	63

注記:

1. 記載されているパッケージはすべて鉛フリーです。
2. PS I/O にはユーザー I/O および DDR I/O が含まれます。
3. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
4. HP は High Performance I/O で、1.2V から 1.8V の I/O 電圧をサポートします。

XA Zynq-7000 ファミリの説明

XA Zynq-7000 ファミリは FPGA の柔軟性とスケーラビリティ、そして ASIC や ASSP レベルの性能、消費電力、使いやすさを兼ね備えた製品です。XA Zynq-7000 SoC ファミリには幅広いデバイスが用意されており、業界標準ツールを使用して 1 つのプラットフォームで、コスト重視から高性能なものまで各種アプリケーションを設計できます。各デバイスに搭載されている PS は XA Zynq-7000 ファミリ全体で共通ですが、PL と I/O リソースはデバイスによって異なります。

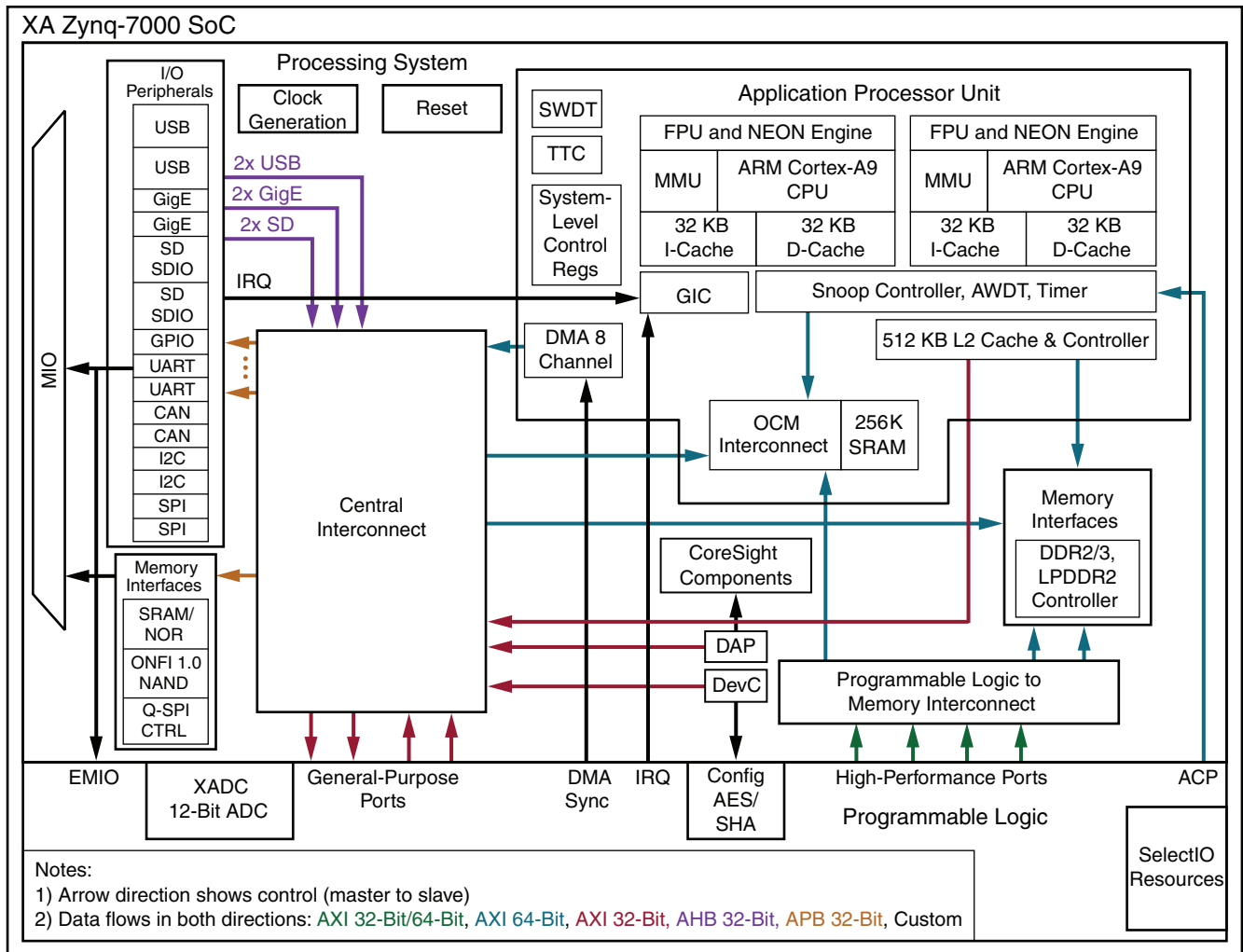
XA Zynq-7000 アーキテクチャでは、カスタム ロジックを PL に、カスタム ソフトウェアを PS にそれぞれインプリメントでき、差別化を図った独自のシステム機能が実現可能です。PS と PL が統合されているため、ASSP と FPGA などを組み合わせた 2 チップ ソリューションのように I/O 帯域幅、レイテンシ、消費電力バジェットに制約がなく、はるかに高い性能が達成されます。

ザイリンクスは、XA Zynq-7000 ファミリ向けに多数のソフト IP を提供しています。PS および PL 内のペリフェラルには、スタンドアロンおよび Linux のデバイスドライバが使用可能です。開発環境として受賞歴を持つ ISE® Design Suite: System Edition を使用することで、ソフトウェア エンジニア、ハードウェア エンジニア、システム エンジニアを問わず短期間で製品開発が完了します。また、Arm ベースの PS を採用しているため、ザイリンクスの既存の PL エコシステムに加え、幅広いサードパーティから提供されるツールや IP を利用できます。

アプリケーション プロセッサを統合したことで、Linux など高レベルのオペレーティング システムにも対応します。XA Zynq-7000 ファミリでは、その他に Cortex-A9 プロセッサで使用できる標準的なオペレーティング システムを利用可能です。

PS と PL は別々の電源ドメインに属しているため、必要に応じて PL のみ電源を遮断して消費電力を抑えることができます。必ず PS 内のプロセッサから起動し、PL はソフトウェア主導のアプローチでコンフィギュレーションされます。PL コンフィギュレーションは CPU で動作するソフトウェアによって管理されるため、ASSP と同じような方式で起動します。

図 1 に、XA Zynq-7000 SoC のファンクションブロックを示します。各ファンクションブロックの詳細は、『Zynq-7000 SoC テクニカル リファレンス マニュアル』(UG585: [英語版](#)、[日本語版](#)) を参照してください。



DS188_01_070218

図 1: XA Zynq-7000 SoC 概要

プロセッシング システム (PS) の説明

PS は主に 4 つのブロックで構成されています (図 1)。

- アプリケーション プロセッサ ユニット (APU)
- メモリ インターフェイス
- I/O ペリフェラル (IOP)
- インターコネクト

アプリケーション プロセッサ ユニット (APU)

APU の主な特長は次のとおりです。

- Arm Cortex-A9 MPCore が 2 個含まれており、各コアの機能は次のとおりです。
 - 2.5DMIPS/MHz
 - 動作周波数範囲
 - Z-7010/Z-7020 (ワイヤボンド)、Z-7030 (フリップチップ): 最大 667MHz (-1)
 - 動作モード: シングル プロセッサ、対称デュアル プロセッサ、非対称デュアル プロセッサ
 - 各コアで最大 2.0MFLOPS/MHz の単精度および倍精度浮動小数点演算
 - NEON メディア処理エンジンで SIMD をサポート
 - Thumb-2 によるコード圧縮
 - レベル 1 キャッシュ (命令とデータが独立、各 32KB)
 - 4 ウェイのセット アソシエイティブ方式
 - 読み出し/書き込みキャッシュ ミスを最大 4 つまで許容するノンブロッキング キャッシュ システム
 - メモリ管理ユニット (MMU) を内蔵
 - TrustZone によるセキュア モード動作
- アクセラレータ コヒーレンシポート (ACP) インターフェイスによって、PL から CPU メモリ空間への整合が取れたアクセスが可能
- 統合されたレベル 2 キャッシュ (512KB)
 - 8 ウェイのセット アソシエイティブ方式
 - TrustZone によるセキュア モード動作
- デュアル ポートのオンチップ RAM (256KB)
 - CPU および PL からアクセス可能
 - CPU からのアクセスが低レイテンシ
- 8 チャンネル DMA
 - 複数の転送タイプをサポート: メモリ間、メモリからペリフェラル、ペリフェラルからメモリ、スキャッター ギャザー
 - 64 ビット AXI インターフェイスによる高スループット DMA 転送が可能
 - 4 チャンネルは PL 専用
 - TrustZone によるセキュア モード動作
 - 2 つのレジスタ アクセス インターフェイスによって、セキュア アクセスと非セキュア アクセスの分離が実現
- 割り込みおよびタイマー
 - グローバル割り込みコントローラー (GIC)
 - 3 つのウォッチ ドック タイマー (WDT) (各 CPU に 1 つずつ、システム用に 1 つ)
 - 2 つのトリプル タイマー / カウンター (TTC)
- CoreSight による Cortex-A9 のデバッグおよびトレースをサポート
 - 命令およびトレース用のプログラム トレース マクロセル (PTM)
 - クロストリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能

メモリ インターフェイス

メモリ インターフェイス ユニットには、ダイナミック メモリ コントローラーとスタティック メモリ インターフェイス モジュールがあります。ダイナミック メモリ コントローラーは DDR3L、DDR3、DDR2、LPDDR2 メモリをサポートします。スタティック メモリ コントローラーは NAND フラッシュ インターフェイス、クワッド SPI フラッシュ インターフェイス、パラレル データ バス、パラレル NOR フラッシュ インターフェイスをサポートします。

ダイナミック メモリ インターフェイス

マルチプロトコルの DDR メモリ コントローラーは、8 ビット、16 ビット、または 32 ビット DRAM メモリのシングル ランク コンフィギュレーションを使用し、1GB アドレス空間へ 16 ビットまたは 32 ビット幅でアクセスするように設定できます。16 ビットのバス アクセス モードでは ECC がサポートされています。PS には、DDR コントローラーおよび専用 I/O などを含む、それに関連する PHY が統合されています。DDR3L および DDR3 は最大 1066Mb/s までサポートします。

DDR メモリ コントローラーには複数のポートが接続されているため、プロセッシング システムとプログラマブル ロジックが同じメモリへのアクセスを共有できます。この際、DDR コントローラーは、次に示す 4 つの AXI スレーブ ポートを使用します。

- L2 キャッシュ コントローラーを介する Arm CPU 専用の 64 ビット幅のポートが ×1、これは低レイテンシとして設定可能
- PL アクセス用の 64 ビット幅ポート ×2
- 中央のインターコネクトを介するほかの AXI マスターすべてで共有される 64 ビットの AXI ポート ×1

スタティック メモリ インターフェイス

スタティック メモリ インターフェイスは外部のスタティック メモリをサポートします。

- 8 ビットの SRAM データ バス (最大 64MB をサポート)
- 8 ビットのパラレル NOR フラッシュ (最大 64MB をサポート)
- 1 ビット ECC の ONFi 1.0 NAND フラッシュをサポート
- 1 ビット SPI、2 ビット SPI、4 ビット SPI (クワッド SPI)、または 2 つのクワッド SPI (8 ビット) シリアル NOR フラッシュ

I/O ペリフェラル (IOP)

IOP ユニットには、データ通信ペリフェラルが含まれます。IOP の主な特長は次のとおりです。

- IEEE802.3 および IEEE1588 rev 2.0 をサポートする 2 つの 10/100/1000 トライモード イーサネット MAC ペリフェラル
 - スキャッター ギャザー DMA 機能
 - 1588 rev. 2 PTP フレームを認識
 - 外部の PHY インターフェイスをサポート
- 最大 12 のエンドポイントをサポートする 2 つの USB 2.0 OTG ペリフェラル
 - 高速モードおよび最高速モードをホスト、デバイス、On-The-Go コンフィギュレーションでサポート
 - USB 2.0 完全準拠のホスト側 IP コアおよびデバイス側 IP コア
 - 32 ビットの AHB DMA マスターおよび AHB スレーブ インターフェイスを使用
 - 外部 PHY との接続用に 8 ビットの ULPI を提供
 - Intel EHCI 準拠の USB ホスト コントローラーのレジスタおよびデータ構造
- CAN 2.0B に完全に準拠した 2 つの CAN バス インターフェイス コントローラー
 - BOSCH GmbH が制定した CAN 2.0-B 規格
 - ISO 118981-1
 - 1 つの外部 PHY インターフェイス
- SD/SDIO 2.0 準拠の 2 つの SD/SDIO コントローラー (DMA 内蔵)
- 3 つのペリフェラル チップ セレクトを備えた 2 つの全二重 SPI ポート
- 2 つの UART
- 2 つのマスターおよびスレーブ I2C インターフェイス
- 最大 118 GPIO ビット

TrustZone システムを使用する場合、2 つのイーサネット、2 つの SDIO、および 2 つの USB ポート (すべてマスター デバイス) をセキュアあるいは非セキュアとして設定できます。

IOP ペリフェラルは、共有リソースである最大 54 ピンの専用多目的 I/O (MIO) を介して外部デバイスと通信します。各ペリフェラルは、あらかじめ定義されたピングループの 1 つに割り当てることができ、同時に複数のデバイスを柔軟に割り当てることが可能です。すべての I/O ペリフェラルを同時に使用するには 54 ピンでは不十分ですが、ほとんどの IOP インターフェイス信号は PL で使用可能なため、適切に電源投入してコンフィギュレーションすれば、標準の PL I/O ピンが利用できます。すべての MIO ピンは、2.5V/3.3V の規格のほかに 1.8V の HSTL および LVCMOS 規格をサポートしています。

インターコネクト

APU、メモリ インターフェイス ユニット、および IOP はすべて相互接続し、複数層の Arm AMBA AXI インターコネクトを使用して PL と接続しています。このインターコネクトは、ノンブロッキング型で同時に複数のマスター/スレーブ トランザクションをサポートします。

Arm CPU などのレイテンシの影響を受けやすいマスター デバイスはメモリへの最短パスを割り当て、PL マスター デバイスとなる可能性がある帯域幅が重視されるマスター デバイスにはスレーブ デバイスとの接続が高スループットとなるようにインターコネクトは設計されています。

このインターコネクトを通過するトラフィックは、インターコネクト内の QoS (Quality of Service) ブロックで制御されます。QoS 機能を使用して、CPU、DMA コントローラー、および IOP のマスターに相当する統合されたエンティティで生成されたトラフィックを制御します。

PS インターフェイス

PS の外部インターフェイス

XA Zynq-7000 SoC の PS 外部インターフェイスは、PL ピンとして割り当てることができない専用ピンを使用します。これらのピンは次のとおりです。

- クロック、リセット、ブート モード、基準電圧
- 最大 54 の専用多目的 I/O (MIO) ピン (内部の I/O ペリフェラルやスタティック メモリ コントローラーへ接続するためにソフトウェアで設定を変更できる)
- 32 ビット/16 ビットの DDR2/DDR3L/DDR3/LPDDR2 メモリ

MIO の概要

MIO は、PS 内のペリフェラルおよびスタティック メモリ インターフェイスから PS ピンへ、コンフィギュレーションレジスタで定義されたとおりに多重アクセスする役割を果たします。PS の IOP およびスタティック メモリ インターフェイスが使用できるピンは最大 54 本あります。表 3 にペリフェラルピンのマッピングを示します。図 2 には MIO モジュールのブロック図を示します。

54 ピン以上の I/O が必要な場合は、PL を経由して PL に関連する I/O への配線が可能です。これらの I/O は EMIO (拡張可能な多目的 I/O) として分類されます。

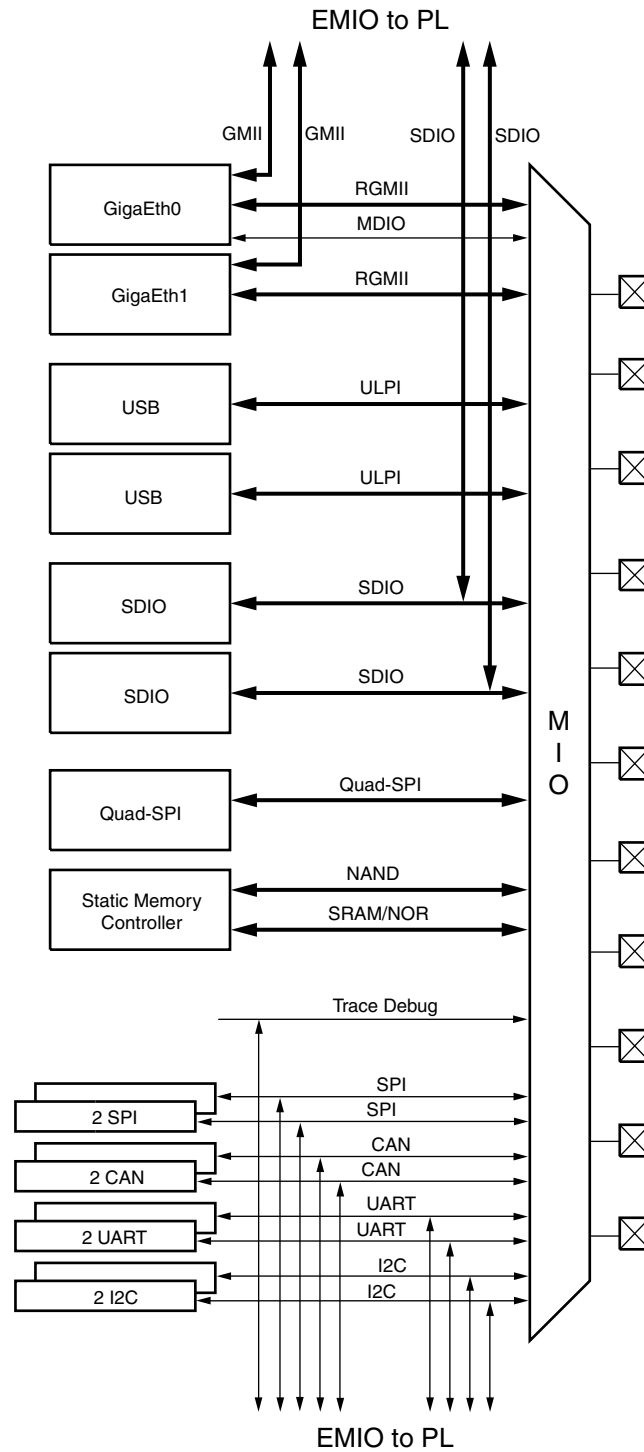
ポート マッピングは複数の位置に割り当てることができます。たとえば、CAN ピンの場合は最大 12 箇所のポート マッピングが可能です。ペリフェラルおよびスタティック メモリのピン マッピングには、XPS Zynq-7000 SoC の PS MIO コンフィギュレーション ツールを使用します。

表 3: MIO ペリフェラル インターフェイスのマッピング

ペリフェラル インターフェイス	MIO	EMIO
クワッド SPI NOR/SRAM NAND	あり	なし
USB 0、1	Yes — 外部 PHY	なし
SDIO 0、1	Yes — 50MHz	Yes — 25MHz
SPI: 0、1 I2C: 0、1 CAN: 0、1 GPIO	あり CAN: 外部 PHY GPIO: 最大 54 ビット	あり CAN: 外部 PHY GPIO: 最大 64 ビット
GigE: 0、1	RGMII v2.0 外部 PHY	プログラマブル ロジックで GMII、RGMII v2.0 (HSTL)、RGMII v1.3、MII をサポート
UART: 0、1	簡易 UART: 2 ピンのみ (TX と RX)	フル機能 UART (TX、RX、DTR、DCD、DSR、RI、RTS、CTS) は、次のいずれかの使用が必要 <ul style="list-style-type: none"> • MIO を介す 2 つのプロセッシング システム ピン (RX、TX) と 6 つのプログラマブル ロジック ピン、または • 8 つのプログラマブル ロジック ピン
デバッグ トレース ポート	Yes — 最大 16 トレース ビット	Yes — 最大 32 トレース ビット
プロセッサ JTAG	あり	あり

注記:

1. CLG225 パッケージの場合は制限があります。詳細は、『Zynq-7000 SoC テクニカル リファレンス マニュアル』(UG585: 英語版、日本語版) を参照してください。



DS188_02_090712

図 2: MIO モジュールのブロック図

PS-PL インターフェイス

PS-PL インターフェイスの特長は次のとおりです。

- プライマリ データ通信用の **AMBA AXI** インターフェイス
 - 32 ビット **AXI** マスター インターフェイス × 2
 - 32 ビット **AXI** スレーブ インターフェイス × 2
 - **DDR** メモリおよび **OCM** へ直接アクセスできる、64 ビット/32 ビットに設定可能なバッファ付き **AXI** スレーブ インターフェイス × 4 (高性能 **AXI** ポートとも呼ばれる)
 - **CPU** への整合性の取れたアクセスを可能にする 64 ビット **AXI** スレーブ インターフェイス (**ACP** ポート) × 1
- **DMA**、割り込み、イベント信号
 - **CPU** へイベント情報の信号を与えるためのプロセッサ イベント バス
 - **PS GIC** への **PL** ペリフェラル **IP** 割り込み信号
 - **PL** 用の 4 つの **DMA** チャンネル信号
 - 非同期のトリガー信号
- マップされていない **PS** ペリフェラルから **PL I/O** へのアクセスを可能にする **EMIO**
- クロックおよびリセット
 - **PL** への **PS** クロック出力 (開始/停止制御付き) × 4
 - **PL** への **PS** リセット出力 × 4
- コンフィギュレーション、その他
 - フル/パーシャル **PL** コンフィギュレーションおよび **PS** ブート イメージの復号化や認証機能をサポートするプロセッサ コンフィギュレーションアクセス ポート (**PCAP**)
 - **JTAG** インターフェイス

PS と **PL** 間の最も高性能なデータ転送インターフェイスは、高性能 **AXI** ポートおよび **ACP** インターフェイスの 2 つです。高性能 **AXI** ポートは、**PS** と **PL** 間の高スループットデータ転送に使用されます。コヒーレンスは、必要に応じてソフトウェアで管理されます。**CPU** メモリへのアクセスでハードウェアレベルのコヒーレンスが必要な場合は、**ACP** ポートを使用してください。

高性能 AXI ポート

高性能 **AXI** ポートは、**PL** から **PS** の **DDR** および **OCM** へのアクセスに利用できます。**PL** から **PS** への 4 つの専用 **AXI** メモリ ポートは、32 ビットまたは 64 ビットのインターフェイスとしてコンフィギュレーション可能です。図 3 に示すとおり、これらのインターフェイスは **FIFO** コントローラーを介して **PL** とメモリ インターコネクトを接続しています。3 つの出力ポートのうち 2 つは **DDR** メモリ コントローラーへ接続され、3 つ目のポートはデュアルポートのオンチップ メモリ (**OCM**) へ接続されています。

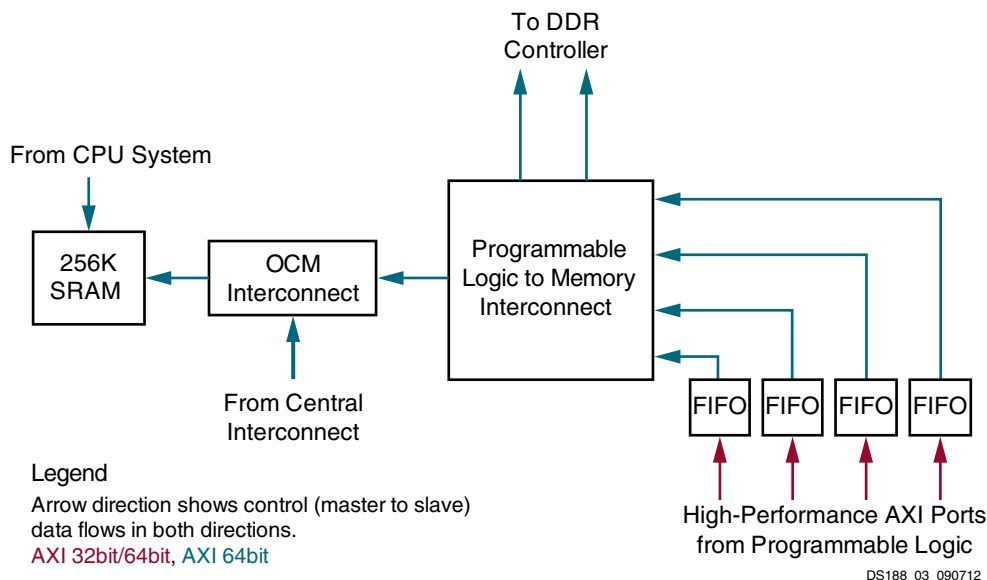


図 3: PS メモリ サブシステムとの PL インターフェイス

各高性能 AXI ポートの特長は次のとおりです。

- PL とプロセッシング システム メモリ間のレイテンシを削減
- 深さ 1KB の FIFO
- 32 ビットまたは 64 ビットの AXI インターフェイスとして設定可能
- 読み出し受け入れ用に最大 32 ワードのバッファをサポート
- AXI インターコネクットの帯域幅をより効率的に使用するため、書き込みアクセスにデータ リリース制御機能をサポート
- DDR および OCM への複数の AXI コマンド発行をサポート

アクセラレータ コヒーレンシ ポート (ACP)

Zynq-7000 SoC のアクセラレータ コヒーレンシ ポート (ACP) は、64 ビットの AXI スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACP は、PL を Arm Cortex-A9 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、L1 および L2 キャッシュの CPU データへ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。

プログラマブル ロジック (PL) の説明

PL の主な特長は次のとおりです。

- CLB
 - 1 つの CLB に 8 個の LUT があり、ロジックをインプリメントするか分散メモリを構築可能
 - メモリ LUT は、64 × 1 または 32 × 2 ビットの RAM として、またはシフトレジスタ (SRL) として使用可能
 - 各 CLB に 16 個のフリップフロップ
 - 演算用のカスケード接続可能な 4 ビット加算器が 2 個
- 36Kb ブロック RAM
 - 完全なデュアルポート
 - 最大 36 ビット幅
 - 2 つの 18Kb ブロック RAM として構成可能
- DSP スライス
 - 18 × 25 符号付き乗算
 - 48 ビット加算/累算器
- プログラマブル I/O ブロック
 - LVCMOS、LVDS、SSTL などの一般的な I/O 規格をサポート
 - 1.2V ~ 3.3V の I/O
 - プログラム可能な I/O 遅延を内蔵
- 2 つの 12 ビット XADC (アナログ/デジタル コンバーター)
 - オンチップ電圧および温度管理
 - 最大 17 チャンネルの外部差動入力
- PL コンフィギュレーション モジュール
- 低電力シリアル トランシーバー (一部の Zynq-7000 SoC のみ)
- PCI Express 用のエンドポイント/ルートポート (PS へ接続した場合はルート コンプレックス) ブロックを統合 (一部の Zynq-7000 SoC のみ)

CLB、スライス、および LUT

CLB アーキテクチャの主な特長は次のとおりです。

- 完全な 6 入力 LUT
- LUT 内のメモリ機能
- レジスタおよびシフトレジスタ機能

XA Zynq-7000 SoC のルックアップ テーブル (LUT) は、出力が 1 つの 6 入力 LUT (64 ビット ROM) として、または出力は別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT (32 ビット ROM) として構成できます。各 LUT 出力はオプションとしてフリップフロップでラッチできます。このような LUT が 4 つ、それらのフリップフロップ 8 つ、マルチプレクサー、そして演算キャリア ロジックがスライスを構成し、2 つのスライスが CLB (コンフィギュラブルロジック ブロック) を構成します。各スライスの 8 つのフリップフロップのうち 4 つ (各 LUT から 1 つずつ) は、ラッチとして構成できます。

全スライスの 25 ~ 50% が LUT を 64 ビットの分散 RAM として、あるいは 32 ビットのシフトレジスタ (SRL32) か 2 つの SRL16 として使用できます。最近の合成ツールでは、このような高効率のロジック、演算、およびメモリ機能を活かした合成が実行されます。

クロック管理

クロック マネージメント アーキテクチャの主な特長は次のとおりです。

- 低スキューのクロック分配を実現する高速バッファおよび配線
- 周波数合成および位相シフト
- 低ジッターのクロック生成およびジッターのフィルタリング

各 XA Zynq-7000 SoC には最大 5 個の CMT (クロック マネージメント タイル) が含まれ、各 CMT は MMCM (ミックスド モード クロック マネージャー) と PLL (位相ロック ループ) 1 つずつで構成されています。

表 4: MMCM および PLL の数

デバイス	MMCM	PLL
XA7Z010	2	2
XA7Z020	4	4
XA7Z030	5	5

MMCM および PLL

MMCM と PLL には共通の特長が多数あります。これらは共に、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。これらのコンポーネントの中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、これらにはプログラム可能な 3 つの周波数分周回路 (D、M、O) があります。前置分周器 D (コンフィギュレーションおよび DRP を介してプログラム可能) は入力周波数を低減させ、従来の PLL 位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M (コンフィギュレーションおよび DRP を介してプログラム可能) は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があります。それぞれが出力分周器の 1 つ (PLL の場合は O0 ~ O5 の 6 つ、MMCM の場合は O0 ~ O6 の 7 つ) を駆動するよう選択できます。これらの各分周器は、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM および PLL には入力ジッターのフィルター モードとして、狭帯域モード (ジッターの削減を優先)、広帯域モード (位相オフセットを優先)、最適化モード (ツールで最適な設定を選択) の 3 つがあります。

MMCM のその他のプログラマブル機能

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。

MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1,200MHz では 15ps となります。

クロック分配

各 XA Zynq-7000 SoC は異なる 6 タイプのクロックライン (BUFG、BUFR、BUFIO、BUFH、BUFMR、高性能クロック) を提供し、大きなファンアウト、短い伝搬遅延、非常に小さなスキューなどのさまざまなクロッキング要件に対応します。

グローバル クロック ライン

各 XA Zynq-7000 SoC が備える 32 のグローバル クロック ラインは最大のファンアウトを提供し、全フリップフロップ クロック、クロック イネーブル、セット/リセット、および多数のロジック入力に使用できます。クロック領域には 12 のグローバル クロック ラインがあり、並行ラインのクロック バッファ (BUFH) で駆動されます。これらの BUFH はそれぞれを独立して有効または無効にできることから、ある領域内にあるクロックをオフにでき、これによってクロック領域の消費電力を細かく制御できるようになります。これらのラインはグローバル クロック バッファで駆動できるだけでなく、グリッチなしでクロックを多重伝送したり、クロック イネーブルとしての機能を果たします。グローバル クロックは、通常 CMT から駆動されるため、基本的なクロック分散遅延が完全に削除されます。

リージョナル クロック

リージョナル クロックは、それがある領域の全クロックを駆動できます。領域は、I/O 50 個分と CLB 50 個分の高さ、およびデバイスの半分の幅を持つ任意のエリアと定義されます。XA Zynq-7000 SoC には 8 ~ 24 の領域があり、すべての領域に 4 つのリージョナル クロックトラックがあります。各リージョナル クロック バッファは、4 つの CC (クロック兼用) 入力ピンのいずれかから駆動でき、周波数はオプションとして 1 ~ 8 の任意の整数で分周可能です。

I/O クロック

I/O クロックは非常に高速で、I/O ロジックにのみ使用します (「I/O ロジック」参照)。XA Zynq-7000 SoC には、低ジッターで高性能なインターフェイス用に MMCM から I/O への直接接続があります。

ブロック RAM

ブロック RAM の主な特長は次のとおりです。

- 最大ポート幅が 72 ビットのデュアルポート 36Kb ブロック RAM
- プログラム可能な FIFO ロジック
- オプションとして内蔵型エラー訂正回路

XA Zynq-7000 SoC のすべてのデバイスに 60 ~ 265 個のデュアルポートブロック RAM があり、それぞれが 36Kb を格納します。各ブロック RAM には、格納されたデータを共有する以外は完全に独立した 2 つのポートがあります。

同期動作

読み出しまたは書き込みのメモリ アクセスは、クロックによって制御されます。すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付きません。入力アドレスは常にクロックされ、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。

書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。

プログラム可能なデータ幅

各ポートは 32K × 1、16K × 2、8K × 4、4K × 9 (または 8)、2K × 18 (または 16)、1K × 36 (または 32)、512 × 72 (または 64) のいずれかに構成できます。2 つのポートには別々の比率を指定でき、これに対する制限はありません。

各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを 16K × 1 ~ 512 × 36 の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。

シンプルデュアルポート (SDP) モードでのみ、18 ビット (18Kb RAM の場合) または 36 ビット (36Kb RAM の場合) 以上のデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。

デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。

2 つの隣接した 36Kb ブロック RAM をカスケード接続し、追加ロジックなしで 64K × 1 のデュアルポート RAM として構成できます。

エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

FIFO コントローラー

シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Almost Full、Almost Empty の 4 つのフラグを提供します。Almost Full および Almost Empty フラグは自由にプログラムできます。ブロック RAM と同様に、FIFO の幅およびワード数はプログラム可能ですが、書き込みポートと読み出しポートの幅は常に同一です。

First-Word Fall-Through モードでは、最初の読み出し前でも最初に書き込まれたワードがデータ出力に現れます。そして、最初のワードが読み出された後は、通常モードと同様に動作します。

デジタル信号処理 - DSP スライス

DSP の主な特長は次のとおりです。

- 25 × 18 の 2 の補数乗算器/48 ビットの高分解能アキュムレータによる信号処理
- 対称フィルタ アプリケーションに最適化され、消費電力を抑えることが可能な前置加算器
- その他の高度な機能: パイプライン化オプション、ALU オプション、専用カスケード接続

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。すべての XA Zynq-7000 SoC は、専用で完全にカスタマイズされた低消費電力 DSP スライスを数多く装備し、システム デザインの柔軟性を維持しながら、高速処理と小型化を実現しています。

各 DSP スライスは基本的に、専用の 25 × 18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成され、これらは共に 464MHz での動作を可能にする性能を持ちます。乗算器は動作中にバイパスでき、2 つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2 つの 10 個の異なるロジックファンクションから任意の 1 つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルタに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。また、収束丸め (偶数丸めとも呼ばれる) または対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96 ビット幅のロジックファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミックシフター、メモリアドレスジェネレーター、多入力マルチプレクサー、メモリマップされた I/O レジスタファイルが含まれます。また、アキュムレータは同期のアップ/ダウンカウンタとしても使用可能です。

入力/出力

PL 入力/出力の主な特長は次のとおりです。

- 最高 800Mb/s の DDR3 インターフェイスをサポートする高性能 SelectIO テクノロジー
- シグナルインテグリティを向上させたパッケージに高周波数デカップリングキャパシタを搭載
- 低消費電力かつ高速な I/O 動作にトライステートにすることができるデジタル制御インピーダンス

I/O ピン数は、デバイスおよびパッケージサイズによって異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。電源ピンおよび一部のコンフィギュレーション専用ピンを除き、すべての PL ピンは同一の I/O 性能を持ち、特定のバンク規則によってのみ制約されます。XA Zynq-7000 SoC の SelectIO リソースは HR (High Range) に分類されます。HR I/O は 1.2V ~ 3.3V までの I/O 電圧をサポートします。

全 I/O ピンは、各バンクに 50 ピンずつ分割されています。各バンクには 1 つの共通 V_{CC0} 出力電源があり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには、内部生成の、あるいは外部に基準電圧 (V_{REF}) が必要です。バンクあたり 2 つの V_{REF} ピンがありますが (コンフィギュレーションバンク 0 は除く)、1 つのバンクで使用できる V_{REF} 電圧値は 1 つのみです。

XA Zynq-7000 SoC では、低コストを実現するためにスモールフォームファクターのワイヤボンダおよびフリップチップパッケージを採用しています。

I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 V_{CC0} は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルーレートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ピンのペアを 100Ω の内部抵抗で終端できるオプションもあります。XA Zynq-7000 SoC のすべてのデバイスは、LVDS 以外の差動規格として HT、RSDS、BLVDS、差動 SSTL、差動 HSTL をサポートします。

各 I/O は、シングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。SSTL I/O 規格は、データレートが 667Mb/s までの DDR3 (-1Q グレード) インターフェイスアプリケーションをサポート可能です。

トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス (T_{DCI}) は、出力駆動インピーダンス (直列終端) を制御したり、あるいは V_{CC0} に対して入力信号を並列終端、 $V_{CC0}/2$ に対して分割 (テブナン) 終端を構成可能です。 T_{DCI} を使用した信号には、オフチップの終端は不要です。これはボードスペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリインターフェイスの実装時に、低消費電力化を図ることができます。

I/O ロジック

入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブル データ レート (DDR) が全入力および出力でサポートされています。すべての入力および一部の出力は、それぞれを 78ps または 52ps 単位で最大 32 タップ分個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。

ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビット シリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O 構造内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには 8 ビットの IOSERDES (ISERDES と OSERDES) があり、2、3、4、5、6、7、または 8 ビットの幅 (プログラム可能) でシリアルからパラレル、あるいはパラレルからシリアルへデータを変換します。さらに、2 つの隣接したピン (通常は差動 I/O) からの IOSERDES を 1 つずつカスケード接続することで、10 および 14 ビットの幅の広い変換がサポートされます。ISERDES には、1.25Gb/s LVDS I/O ベースの SGMII インターフェイスなどのアプリケーション向けに非同期データ リカバリをサポートする特別なオーバーサンプリング モードがあります。

低電力シリアル トランシーバー

低電力シリアル トランシーバーの主な特長は次のとおりです。

- リッドレス フリップチップ パッケージで最大 6.6Gb/s のレートをサポートする高性能 トランシーバー
- チップ間 インターフェイス用に最適化された低電力モード
- 高性能な送信プリエンファシスおよびポストエンファシス、受信リニア イコライザー (CTLE)、およびマージンを増加させるための適応等化回路を含む判定帰還等化 (DFE)

光モジュールへの超高速シリアル データ転送はもとより、同一 PCB 上の IC 間、バックプレーン経由、あるいはさらに長距離間の超高速シリアル データ転送が一般的になっており、これらはデータレート 200Gb/s のカスタム ライン カードを実現する上で重要です。このような転送には、高データレートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要となります。

Zynq-7000 SoC には、デバイスによって 0 ~ 4 個の トランシーバー回路が搭載されています。各シリアル トランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。Zynq-7000 の各デバイスのシリアル トランシーバーは、リング オシレーターと LC タンク アーキテクチャの組み合わせを使用でき、デバイス間の IP の移植性を維持しながら柔軟性と性能の最適なバランスを実現しています。低速なデータ レートは、Zynq-7000 ロジックでのオーバーサンプリングによって実現可能です。シリアル トランスミッターおよびレシーバーは高度な PLL アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で通倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター

トランスミッターは基本的に、変換比率が 16、20、32、40、64、または 80 のパラレル/シリアル コンバーターです。このため、データパス幅とタイミング マージンのトレードオフによって高性能が要求されるデザインにも対応できます。トランスミッターの出力は、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビット シリアル出力信号は、差動信号によって 2 つのパッケージ ピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー

レシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 16、20、32、40、64、または 80 ビット幅のパラレル ストリーム ワードに変換するシリアル/パラレル コンバーターです。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは入力差動データ ストリームを受け取って、それを (PC ボードやほかのインターコネクト特性を補うため) プログラム可能なリニア イコライザーおよび DFE を介し、基準クロック入力を使用してクロックの認識を開始します。データ パターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。パラレル データは RXUSRCLK クロックを使用して PL に転送されます。短いチャネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力をさらに削減できます。

Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCI Express および SATA/SAS のアプリケーションで有用です。

PCI Express デザイン用統合ブロック

PCI Express 用統合ブロックの主な特長は次のとおりです。

- PCI Express Base Specification 2.1 に準拠し、エンドポイントとルートポート機能に対応
- Gen1 (2.5Gb/s) および Gen2 (5Gb/s) をサポート
- アドバンス コンフィギュレーション オプション、アドバンス エラー レポート (AER)、および End-to-End CRC (ECRC) のアドバンス エラー レポートと ECRC 機能

トランシーバーを備えるすべての Zynq-7000 SoC には、PCI Express Base Specification Revision 2.1 または 3.0 に準拠するよう設計され、エンドポイントまたはルートポートとしてコンフィギュレーション可能な、PCI Express 用の統合ブロックが 1 つ搭載されています。ルートポートは、ルートコンプレックス相当の機能を提供し、PCI Express プロトコルを用いた Zynq-7000 SoC とその他のデバイス間のカスタム通信を可能にするだけでなく、イーサネットコントローラーやファイバーチャネル HBA などの ASSP エンドポイントデバイスを Zynq-7000 SoC に接続します。

このブロックはシステムデザイン要件に従うよう高度にコンフィギュレーション可能で、2.5Gb/s および 5.0Gb/s のデータレートで 1、2、または 4 レーンの動作をサポートします。高性能アプリケーション向けには、ブロックを高度にバッファリングすることで、1,024 バイトまでの柔軟性に優れた最大ペイロードサイズを提供します。また、シリアルコネクティビティ用に統合された高速トランシーバーと、データバッファリング用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データリンク層、そしてトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCI Express 用統合ブロック、トランシーバー、ブロック RAM、クロックリソース) をエンドポイントまたはルートポートソリューションに活用できるようにする軽量、コンフィギュラブル、かつ簡単に使用できる LogiCORE™ IP ラッパーを提供しています。レーン幅、最大ペイロードサイズ、PL インターフェイス速度、基準クロック周波数、ベースアドレスレジスタのデコードとフィルタリングなど、数多くのパラメータをシステム設計者が制御できます。

ザイリンクスは、メモリマップされた AXI4 の統合ブロック用ラッパーを提供しています。メモリマップされた AXI4 はザイリンクス Platform Studio/EDK デザインフローおよび MicroBlaze™ プロセッサベースのデザイン用に提供されているものです。

PCI Express デザインのソリューションに関する資料および詳細は、<https://japan.xilinx.com/technology/protocols/pciexpress.htm> から入手できます。

XADC (Analog-to-Digital Converter)

I グレード温度仕様の XADC アーキテクチャの機能は次のとおりです。

- 2 個の 12 ビット、1MSPS のアナログ/デジタルコンバーター (ADC)
- 最大 17 個の柔軟でユーザーコンフィギュレーション可能なアナログ入力
- オンチップリファレンスまたは外部リファレンスを選択可能
- オンチップの温度 (最大誤差 $\pm 4^{\circ}\text{C}$) および電源電圧 (最大誤差 $\pm 1\%$) センサー
- JTAG を介して連続的に ADC の計測結果にアクセス

すべての XA Zynq-7000 SoC は XADC と呼ばれる、柔軟性に優れた新しいアナログインターフェイスを備えています。XA Zynq-7000 SoC が持つプログラマブルロジックの性能と組み合わせることにより、データ取得と計測に関する幅広い要件に対応できます。詳細は、<https://japan.xilinx.com/ams> を参照してください。

XADC には専用のトラックおよびホールドアンプを持つ 12 ビットで 1MSPS の ADC が 2 つと、1 つのオンチップアナログマルチプレクサー (最大 17 の外部アナログ入力チャネルをサポート)、オンチップ温度/電源電圧センサーが含まれます。2 つの ADC は、2 つの外部アナログ入力チャネルを同時にサンプルするように構成できます。トラックおよびホールドアンプは、単極、双極、差動の幅広いアナログ入力をサポートします。アナログ入力は、1MSPS のサンプルレートで 500kHz 以上の信号帯域幅をサポートします。専用のアナログ入力を用いて外部アナログマルチプレクサーモードを使用すると、さらに広いアナログ帯域幅をサポートできます (『7 シリーズ FPGA および Zynq-7000 SoC XADC デュアル 12 ビット 1MSPS アナログ-デジタルコンバーターユーザーガイド』(UG480: 英語版、日本語版) 参照)。

XADC は、オプションとしてオンチップの基準回路 ($\pm 1\%$) を使用するため、温度や電源レールの基本的なオンチップモニタリング用に外部にアクティブなコンポーネントは必要ありません。ADC の 12 ビットの性能を十分に発揮させるには、外部に 1.25V のリファレンス IC を使用することを推奨します。

XADC をデザインにインスタンス化しない場合のデフォルトでは、XADC はすべてのオンチップセンサーの出力をデジタル化します。最も新しい計測結果は、最大および最小の測定結果と共に専用のレジスタに格納され、JTAG インターフェイスを介して常時アクセスできます。また、ユーザー定義のアラームしきい値によって超過温度イベントおよび許容外の温度変動を自動的に知らせることができ、ユーザーが指定した制限値 (100°C など) を用いて自動的に電源を切断するようにもできます。

システム レベルの機能

次の機能は、PS および PL の両範囲で担われています。

- リセット管理
- クロック管理
- デバイス コンフィギュレーション
- ハードウェア/ソフトウェアのデバッグ サポート
- 消費電力管理

リセット管理

リセット管理機能を使用すると、デバイス全体またはデバイス内のユニットを個別にリセットできます。PS は次のリセット機能およびリセット信号をサポートしています。

- 外部および内部のパワーオン リセット信号
- ウォーム リセット
- ウォッチドック タイマー リセット
- PL のユーザー リセット
- ソフトウェア、ウォッチドック タイマー、または JTAG によるリセット
- セキュリティ違反によるリセット (ロックダウン リセット)

クロック管理

Zynq-7000 製品ファミリの PS には、3つの位相ロック ループ (PLL) があり、PS 内でクロック ドメインを柔軟に設定できるようになっています。PS 内には 3つの主要クロック ドメインがあり、これらには APU、DDR コントローラー、I/O ペリフェラル (IOP) が含まれます。これらすべてのドメインの周波数はソフトウェアで個別に設定できます。

PS ブートおよびデバイス コンフィギュレーション

XA Zynq-7000 SoC は複数ステージのブート プロセスを使用し、非セキュア ブートおよびセキュア ブートをサポートしています。PS は、ブート プロセスとコンフィギュレーション プロセスのマスターとなります。セキュア ブートの場合は、PL 内にあるセキュリティ ブロックの使用を有効にするために PL に電源を投入する必要があります。このブロックによって 256 ビットの AES および SHA 復号/認証が提供されます。

リセット時にデバイス モード ピンが読み出されて、使用されるプライマリ ブート デバイス (NOR、NAND、クワッド SPI、SD または JTAG) が判断されます。JTAG は非セキュア ブート ソースとしてのみ使用可能で、デバッグを目的としています。いずれか一方の Arm Cortex-A9 CPU がオンチップ ROM からのコードを実行し、ブート デバイスから OCM へ FSBL (第 1 段階ブートローダー) をコピーします。

FSBL が OCM へコピーされると、プロセッサが FSBL を実行します。ザイリンクスはサンプル FSBL を提供していますが、ユーザーが独自の FSBL を作成することも可能です。FSBL によって PS のブートが開始し、PL のロードまたはコンフィギュレーションを実行できるようになります。PL コンフィギュレーションは、後に実行することもできます。FSBL は通常、ユーザー アプリケーションをロードするか、オプションとして U-Boot などの SSBL (第 2 段階ブートローダー) をロードします。SSBL はザイリンクスまたはサードパーティから入手できますが、独自のものを作成することも可能です。SSBL は、いずれかのプライマリ ブート デバイス、または USB、イーサネットなどその他のソースからコードをロードすることでブート プロセスを継続します。FSBL で PL をコンフィギュレーションしなかった場合は SSBL でそれを行うことができますが、ここでも先延ばしにしておくことができます。

スタティック メモリ インターフェイス コントローラー (NAND、NOR、またはクワッド SPI) および SDIO は、デフォルト設定でコンフィギュレーションされます。デバイスのコンフィギュレーション速度を上げるために、ブート イメージ ヘッダーにある情報でこれらの設定を変更可能です。ブート後に ROM のブート イメージをユーザーが読み出したり、呼び出すことはできません。

ハードウェアおよびソフトウェアのデバッグ サポート

XA Zynq-7000 SoC で使用されるデバッグ システムは、Arm 社の CoreSight アーキテクチャに基づいています。このシステムは、エンベデッド トレース バッファー (ETB)、プログラム トレース マクロセル (PTM)、およびインスツルメント トレース マクロセル (ITM) などを含む Arm CoreSight コンポーネントを使用します。これは命令トレース機能のほかに、ハードウェア ブレークポイントやトリガーもサポートします。プログラマブル ロジックは、ザイリンクスの ChipScope™ Pro に組み込まれたロジック アナライザーでデバッグできます。

デバッグ ポート

JTAG ポートは 2 つあり、チェーン接続して使用するか個別に使用できます。チェーン接続した場合には、1 つのポートを使用して、Arm プロセッサ コードのダウンロードやランタイム制御動作、PL コンフィギュレーション、および ChipScope Pro に組み込まれたロジックアナライザを使用する PL デバッグが可能です。これにより、ザイリンクスのソフトウェア開発キット (SDK) や ChipScope Pro アナライザなどのツールがザイリンクスが提供する 1 つのダウンロード ケーブルを共有できます。

JTAG チェーンがわかれていた場合、一方のポートは Arm DAP インターフェイスへのダイレクト アクセスなどの PS サポート用に使用されます。CoreSight インターフェイスによって、Arm 準拠のデバッグ ツールや Development Studio5 (DS-5) などのソフトウェア開発ツールが使用可能になります。もう一方の JTAG ポートは、コンフィギュレーションビットストリームのダウンロードや ChipScope Pro アナライザを使用したデバッグなど、ザイリンクス FPGA ツールによって PL アクセスするために使用されます。このモードの場合、ユーザーはスタンドアロン FPGA と同じ方法でダウンロードおよび PL のデバッグが可能です。

パワー マネージメント

PS と PL は異なる電源プレーン上にあります。このため、それぞれ専用の電源ピンを備えた別々の電源レールへ接続できます。PL のパワーオフ モードが必要な場合は、PS と PL の電源レールを結合できます。PS がパワーオフ モードの間、PL は永続的なリセット状態に保持されます。PL の電力制御は PL への外部ピンを介して実行されます。電力は外部のパワー マネージメント回路を使用して制御され、この回路はソフトウェアと PS GPIO で制御できます。

電力モード

XA Zynq-7000 SoC で使用できる省電力モードには次があります。

- プログラマブルロジック パワー オフ (スリープ)
 - PS と PL は異なる電源プレーン上にあるため、PL の電源がオフの状態でも PS は動作可能です。セキュリティ上の理由から、PL の電源は PS より先に投入できません。PL は電源投入のたびにリコンフィギュレーションが必要です。この省電力モードを使用する場合、PL のコンフィギュレーション時間を考慮しなければなりません。
- PS クロック制御
 - 内部 PLL を使用すると、PS の動作クロック レートを 30MHz まで下げることができます。クロック レートは動的に変更可能です。動作中にクロック レートを変更する場合は、PS クロック制御レジスタまたはクロック生成制御レジスタへアクセスするために、システム制御レジスタのロックを解除する必要があります。
- シングルプロセッサ モード
 - このモードでは、クロック ゲーティング機能を使用して 2 つ目の Cortex-A9 CPU をオフにし、1 つ目の CPU をフル稼働させます。

電力例

XA Zynq-7000 SoC の消費電力は、PL リソースの使用率および PS と PL の動作周波数によって異なります。消費電力の概算には、https://japan.xilinx.com/products/design_tools/logic_design/xpe.htm からダウンロード可能な Xilinx Power Estimator (XPE) を使用してください。

メモリ マップ

XA Zynq-7000 SoC は、表 5 に示すような構成の 4GB アドレス空間をサポートしています。

表 5: メモリ マップ

開始アドレス	サイズ (MB)	説明
0x0000_0000	1,024	DDR DRAM およびオンチップ メモリ (OCM)
0x4000_0000	1,024	PL AXI スレーブ ポート #0
0x8000_0000	1,024	PL AXI スレーブ ポート #1
0xE000_0000	256	IOP デバイス
0xF000_0000	128	予約
0xF800_0000	32	AMBA APB バス経由のプログラム可能なレジスタ アクセス
0xFA00_0000	32	予約
0xFC00_0000	64MB ~ 256KB	クワッド SPI リニア アドレスのベース アドレス (OCM の最高位 256KB を除く)、64MB 予約領域、現時点では 32MB のみサポート
0xFFFC_0000	256KB	高位アドレス空間へマップされる場合は OCM

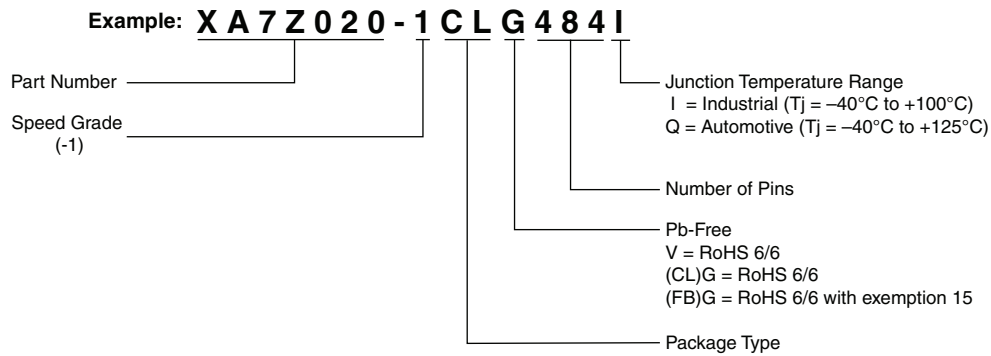
注文情報

表 6 に、このデバイス ファミリで提供されているスピード グレードおよび温度グレードを示します。一部のデバイスでは、入手可能なスピード グレードと温度グレードに制限があります。

表 6: スピード グレードとジャンクション温度範囲

デバイス	スピード グレードとジャンクション温度範囲	
	インダストリアル (I) -40°C ~ +100°C	オートモーティブ (Q) -40°C ~ +125°C
XA Zynq-7000	-1	-1

図 4 に示す注文情報は、鉛フリー パッケージを含むすべてのパッケージに適用されます。



DS188_04_092915

図 4: 注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2018年7月2日	1.3.2	タイポ修正。
2016年7月8日	1.3.1	タイポ修正。
2015年10月15日	1.3	Advance 製品仕様から Production 製品仕様に変更。表 2 を更新。「注文情報」を更新。
2014年10月10日	1.2	DDR3L を「外部メモリ インターフェイス」、表 1、「メモリ インターフェイス」、「ダイナミックメモリ インターフェイス」、および「PS の外部インターフェイス」「I/O ペリフェラル (IOP)」および「クロック管理」を更新。
2014年6月4日	1.1	Z-7030 デバイスを、「シリアル トランシーバー」、「PCI Express® ブロック」、表 4、「低電力シリアル トランシーバー」、「PCI Express デザイン用統合ブロック」に追加。 表 1、表 2、「アプリケーション プロセッサ ユニット (APU)」、「プログラマブル ロジック (PL) の説明」、「クロック管理」、「ブロック RAM」、「入力/出力」、「電力例」(表 4 の削除を含む)、および「XADC (Analog-to-Digital Converter)」を更新。
2012年10月15日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2) ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。