

概要

Spartan®-7 FPGA には、-2、-1、-1L のスピード グレードがあり、-2 スピード グレードのパフォーマンスが最も高くなっています。Spartan-7 FPGA は主に 1.0V のコア電圧で動作します。-1L デバイスはより低い最大スタティック消費電力でスクリーニング評価され、ダイナミック消費電力が低い場合は -1 デバイスよりも低いコア電圧で動作できます。-1L デバイスは、0.95V の V_{CCINT} と 0.95V の V_{CCBRAM} でのみ動作し、スピード仕様は -1 スピード グレードと同じです。

Spartan-7 FPGA の DC 特性および AC 特性は、コマーシャルおよびインダストリアルグレードの温度範囲に対して指定されていますが、特記のない限り、同一スピード グレードのパラメーターの値は、動作温度範囲を除いてコマーシャルとインダストリアルで同じです。つまり、-1I インダストリアルスピード グレード デバイスと -1C コマーシャルスピード グレード デバイスのタイミング特性は同じです。ただし、スピード グレードやデバイスによっては、インダストリアルデバイスで入手できない場合があります。たとえば、-1L スピード グレードはインダストリアル (I) 温度範囲でしか入手できません。

電源電圧およびジャンクション温度の仕様はすべて、ワースト ケースの値です。ここに記載されたパラメーターは、頻繁に使用されるデザインや一般的なアプリケーションに共通のものです。

使用可能なデバイスとパッケージの組み合わせは、『7 シリーズ FPGA データシート: 概要』(DS180) [参照 1] に記載されています。

この Spartan-7 FPGA データシートを含む、7 シリーズ FPGA に関するすべての資料は、ザイリンクスのウェブサイト (japan.xilinx.com/documentation) から入手できます。

DC 特性

表 1: 絶対最大定格⁽¹⁾

シンボル	説明	最小	最大	単位
FPGA ロジック				
V_{CCINT}	内部電源電圧	-0.5	1.1	V
V_{CCAUX}	補助電源電圧	-0.5	2.0	V
V_{CCBRAM}	ブロック RAM メモリの電源電圧	-0.5	1.1	V
V_{CCO}	HR I/O バンクの出力ドライバー電源電圧	-0.5	3.6	V
V_{REF}	入力基準電圧	-0.5	2.0	V
$V_{IN}^{(2)(3)(4)}$	I/O 入力電圧	-0.4	$V_{CCO} + 0.55$	V
	V_{REF} 、および TMD5_33 ⁽⁵⁾ を除く差動 I/O 規格の I/O 入力電圧 ($V_{CCO} = 3.3V$ のとき)	-0.4	2.625	V
V_{CCBATT}	キー メモリ用のバックアップ バッテリー 電源電圧	-0.5	2.0	V
XADC				
V_{CCADC}	GNDADC に対する XADC 電源電圧	-0.5	2.0	V
V_{REFP}	GNDADC に対する XADC 基準入力	-0.5	2.0	V
温度				
T_{STG}	ストレージ温度 (周囲)	-65	150	°C

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

表 1: 絶対最大定格⁽¹⁾ (続き)

シンボル	説明	最小	最大	単位
T _{SOL}	Pb/Sn コンポーネントの最大はんだ付け温度 ⁽⁶⁾	-	+220	°C
	Pb フリー コンポーネントの最大はんだ付け温度 ⁽⁶⁾	-	+260	°C
T _j	最大ジャンクション温度 ⁽⁶⁾	-	+125	°C

注記:

- この表の絶対最大定格を超える条件下では、デバイスが恒久的に破損する可能性があります。ここに示す値は最大定格値であり、この条件および推奨動作条件以外の状態でデバイスが動作することを示すものではありません。また、デバイスを絶対最大定格の状態です長時間使用すると、デバイスの信頼性が低下する可能性があります。
- より低い絶対電圧値が常に適用されます。
- I/O の動作は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471) [参照 2] を参照してください。
- 最大定格の制限は DC 信号に適用されます。最大のアンダーシュート/オーバーシュート AC 仕様については、表 4 を参照してください。
- TMDS_33 仕様は、表 9 を参照してください。
- はんだ付けのガイドラインおよび温度条件は、『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) [参照 3] を参照してください。

 表 2: 推奨動作条件⁽¹⁾⁽²⁾

シンボル	説明	最小	標準	最大	単位
FPGA ロジック					
V _{CCINT} ⁽³⁾	-2、-1 (1.0V) デバイス: 内部電源電圧	0.95	1.00	1.05	V
	-1L (0.95V) デバイス: 内部電源電圧	0.92	0.95	0.98	V
V _{CCAUX}	補助電源電圧	1.71	1.80	1.89	V
V _{CCBRAM} ⁽³⁾	-2、-1 (1.0V) デバイス: ブロック RAM 電源電圧	0.95	1.00	1.05	V
	-1L (0.95V) デバイス: ブロック RAM 電源電圧	0.92	0.95	0.98	V
V _{CCO} ⁽⁴⁾⁽⁵⁾	HR I/O バンクの電源電圧	1.14	-	3.465	V
V _{IN} ⁽⁶⁾	I/O 入力電圧	-0.20	-	V _{CCO} + 0.20	V
	V _{REF} 、および TMDS_33 ⁽⁷⁾ を除く差動 I/O 規格の I/O 入力電圧 (V _{CCO} = 3.3V のとき)	-0.20	-	2.625	V
I _{IN} ⁽⁸⁾	クランプダイオードが順方向バイアスであるときの、電源がオンあるいはオフのバンクにあるピンの最大電流	-	-	10	mA
V _{CCBATT} ⁽⁹⁾	バッテリー電圧	1.0	-	1.89	V
XADC					
V _{CCADC}	GNDADC に対する XADC 電源電圧	1.71	1.80	1.89	V
V _{REFP}	外部の基準電源電圧	1.20	1.25	1.30	V
温度					
T _j	コマーシャル (C) 温度仕様デバイスのジャンクション温度範囲	0	-	85	°C
	インダストリアル (I) 温度仕様デバイスのジャンクション温度範囲	-40	-	100	°C

注記:

- すべての電圧はグラウンドを基準としています。
- 電源分配システムのデザインについては、『7 シリーズ FPGA PCB デザイン ガイド』(UG483) [参照 4] を参照してください。
- V_{CCINT} および V_{CCBRAM} が統一電圧で動作する場合、V_{CCINT} と V_{CCBRAM} は同じ電源に接続できます。
- V_{CCO} が 0V まで低下しても、コンフィギュレーションデータは保持されます。
- 1.2V、1.35V、1.5V、1.8V、2.5V、および 3.3V ±5% の V_{CCO} を含みます。
- より低い絶対電圧値が常に適用されます。
- TMDS_33 仕様は、表 9 を参照してください。
- 各バンクの合計が 200mA を超えないようにしてください。
- V_{CCBATT} は、ビットストリームの暗号化を使用する場合にのみ必要です。バッテリーを使用しない場合、V_{CCBATT} をグラウンドまたは V_{CCAUX} に接続してください。

表 3: 推奨動作条件下での DC 特性

シンボル	説明	最小	標準 ⁽¹⁾	最大	単位
V_{DRINT}	データを保持するための V_{CCINT} 電圧 (この電圧未満では、コンフィギュレーション データが失われる可能性がある)	0.75	–	–	V
V_{DRI}	データを保持するための V_{CCAUX} 電圧 (この電圧未満では、コンフィギュレーション データが失われる可能性がある)	1.5	–	–	V
I_{REF}	各ピンの V_{REF} リーク電流	–	–	15	μA
I_L	各ピンの入力または出力リーク電流 (サンプル テスト)	–	–	15	μA
$C_{IN}^{(2)}$	パッドのダイ入力の容量	–	–	8	pF
I_{RPU}	$V_{IN} = 0\text{V}$ 、 $V_{CCO} = 3.3\text{V}$ の場合のパッド プルアップ (選択した場合)	90	–	330	μA
	$V_{IN} = 0\text{V}$ 、 $V_{CCO} = 2.5\text{V}$ の場合のパッド プルアップ (選択した場合)	68	–	250	μA
	$V_{IN} = 0\text{V}$ 、 $V_{CCO} = 1.8\text{V}$ の場合のパッド プルアップ (選択した場合)	34	–	220	μA
	$V_{IN} = 0\text{V}$ 、 $V_{CCO} = 1.5\text{V}$ の場合のパッド プルアップ (選択した場合)	23	–	150	μA
	$V_{IN} = 0\text{V}$ 、 $V_{CCO} = 1.2\text{V}$ の場合のパッド プルアップ (選択した場合)	12	–	120	μA
I_{RPD}	$V_{IN} = 3.3\text{V}$ の場合のパッド プルダウン (選択した場合)	68	–	330	μA
I_{CCADC}	アナログ電源電流、パワーアップ状態のアナログ回路	–	–	25	mA
$I_{BATT}^{(3)}$	バッテリー電源の電流	–	–	150	nA
$R_{IN_TERM}^{(4)}$	$V_{CCO}/2$ (UNTUNED_SPLIT_40) に対するプログラム可能な入力終端のテブナン等価抵抗	28	40	55	Ω
	$V_{CCO}/2$ (UNTUNED_SPLIT_50) に対するプログラム可能な入力終端のテブナン等価抵抗	35	50	65	Ω
	$V_{CCO}/2$ (UNTUNED_SPLIT_60) に対するプログラム可能な入力終端のテブナン等価抵抗	44	60	83	Ω
n	温度ダイオードの理想係数	–	1.010	–	–
r	温度ダイオードの直列抵抗	–	2	–	Ω

注記:

- 標準値は、標準電圧および 25°C の条件で指定されています。
- ここで示した計測結果はパッドのダイ容量であり、パッケージは含まれません。
- 最大値は、25°C のワースト ケースで指定されています。
- $V_{CCO}/2$ レベルへの終端抵抗です。

表 4: HR I/O バンクの AC 電圧オーバーシュート/アンダーシュートの V_{IN} 最大許容値⁽¹⁾⁽²⁾

AC 電圧オーバーシュート	-40°C ~ 100°C の UI (%)	AC 電圧アンダーシュート	-40°C ~ 100°C の UI (%)
$V_{CC0} + 0.55$	100	-0.40	100
		-0.45	61.7
		-0.50	25.8
		-0.55	11.0
$V_{CC0} + 0.60$	46.6	-0.60	4.77
$V_{CC0} + 0.65$	21.2	-0.65	2.10
$V_{CC0} + 0.70$	9.75	-0.70	0.94
$V_{CC0} + 0.75$	4.55	-0.75	0.43
$V_{CC0} + 0.80$	2.15	-0.80	0.20
$V_{CC0} + 0.85$	1.02	-0.85	0.09
$V_{CC0} + 0.90$	0.49	-0.90	0.04
$V_{CC0} + 0.95$	0.24	-0.95	0.02

注記:

- 各バンクの合計が 200mA を超えないようにしてください。
- オーバーシュート/アンダーシュートのピーク電圧、および $V_{CC0} + 0.20V$ を超える時間または $GND - 0.20V$ を下回る時間がこの表の値を超えないようにしてください。

 表 5: 標準静止電流⁽¹⁾⁽²⁾⁽³⁾

シンボル	説明	デバイス	スピード グレード			単位
			1.0V		0.95V	
			-2C/-2I	-1C/-1I	-1LI	
I_{CCINTQ}	V_{CCINT} 静止電流	XC7S6				mA
		XC7S15				mA
		XC7S25	48	48	43	mA
		XC7S50	95	95	58	mA
		XC7S75				mA
		XC7S100				mA
I_{CCOQ}	V_{CC0} 静止電流	XC7S6				mA
		XC7S15				mA
		XC7S25	1	1	1	mA
		XC7S50	1	1	1	mA
		XC7S75				mA
		XC7S100				mA
I_{CCAUXQ}	V_{CCAUX} 静止電流	XC7S6				mA
		XC7S15				mA
		XC7S25	14	14	14	mA
		XC7S50	22	22	19	mA
		XC7S75				mA
		XC7S100				mA

表 5: 標準静止電流⁽¹⁾⁽²⁾⁽³⁾ (続き)

シンボル	説明	デバイス	スピード グレード			単位
			1.0V		0.95V	
			-2C/-2I	-1C/-1I	-1LI	
I _{CCBRAMQ}	V _{CCBRAM} 静止電流	XC7S6				mA
		XC7S15				mA
		XC7S25	2	2	1	mA
		XC7S50	2	2	1	mA
		XC7S75				mA
		XC7S100				mA

注記:

- 標準値は、シングルエンド SelectIO™ リソースの標準電圧およびジャンクション温度 85°C (T_j) で指定されています。
- これらの値は「ブランク」のコンフィギュレーションファイルを使用したデバイスにおけるもので、出力電流の負荷、アクティブな入力プルアップ抵抗はありません。また、すべての I/O ピンはトライステートおよびフローティング状態です。
- 記載されていない条件におけるスタティック消費電力を概算するには、Xilinx Power Estimator スプレッドシート ツール [参照 5] を使用してください。

電源投入/切断シーケンス

電源投入時に流れる電流が最小となり、I/O がトライステートとなるように、電源は V_{CCINT}、V_{CCBRAM}、V_{CCAUX}、V_{CCO} の順に投入することを推奨しています。電源切断については逆が適用されます。V_{CCINT} および V_{CCBRAM} の推奨電圧レベルが同一の場合、これらと同じ電源を使用して同時に立ち上げることができます。V_{CCAUX} および V_{CCO} の推奨電圧レベルが同一の場合、これらと同じ電源を使用して同時に立ち上げることができます。

HR I/O バンクおよびコンフィギュレーション バンク 0 で V_{CCO} が 3.3V の場合、次の条件が適用されます。

- V_{CCO} と V_{CCAUX} 間の電圧差は、デバイスの信頼性レベルを維持するために電源投入/切断の各サイクルで T_{VCCO2VCCAUX} 時間以上 2.625V を超過しないようにします。
- T_{VCCO2VCCAUX} 時間は電源投入と電源切断の間であればいずれの比率も割り当てることができます。

このセクションに記載されている以外に推奨される電源シーケンスはありません。

表 6 に、Spartan-7 デバイスの電源投入とコンフィギュレーションに最低限必要な電流値および I_{CCQ} を示します。表 5 および表 6 に示す最小電流を満たすと、4つの電源すべてがパワーオンリセットしきい値を超えた後に、デバイスに電源が投入されます。FPGA は、 V_{CCINT} が投入されるまでコンフィギュレーションできません。初期化およびコンフィギュレーション後に、Xilinx Power Estimator スプレッドシート ツール[参照 5]を使用してこれらの電源のドレイン電流を概算してください。

表 6: Spartan-7 デバイスの電源投入時の電流

デバイス	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	$I_{CCBRAMMIN}$	単位
XC7S6	$I_{CCINTQ} + 120$	$I_{CCAUXQ} + 40$	各バンクで $I_{CCOQ} + 40mA$	$I_{CCBRAMQ} + 60$	mA
XC7S15	$I_{CCINTQ} + 120$	$I_{CCAUXQ} + 40$	各バンクで $I_{CCOQ} + 40mA$	$I_{CCBRAMQ} + 60$	mA
XC7S25	$I_{CCINTQ} + 120$	$I_{CCAUXQ} + 40$	各バンクで $I_{CCOQ} + 40mA$	$I_{CCBRAMQ} + 60$	mA
XC7S50	$I_{CCINTQ} + 120$	$I_{CCAUXQ} + 40$	各バンクで $I_{CCOQ} + 40mA$	$I_{CCBRAMQ} + 60$	mA
XC7S75	$I_{CCINTQ} + 170$	$I_{CCAUXQ} + 40$	各バンクで $I_{CCOQ} + 40mA$	$I_{CCBRAMQ} + 60$	mA
XC7S100	$I_{CCINTQ} + 170$	$I_{CCAUXQ} + 40$	各バンクで $I_{CCOQ} + 40mA$	$I_{CCBRAMQ} + 60$	mA

表 7: 電源の立ち上がり時間

シンボル	説明	条件	最小	最大	単位
T_{VCCINT}	GND から V_{CCINT} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCO}	GND から V_{CCO} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCAUX}	GND から V_{CCAUX} の 90% までの立ち上がり時間		0.2	50	ms
$T_{VCCBRAM}$	GND から V_{CCBRAM} の 90% までの立ち上がり時間		0.2	50	ms
$T_{VCCO2VCCAUX}$	$V_{CCO} - V_{CCAUX} > 2.625V$ の場合の各パワー サイクルにおける許容時間	$T_J = 125^{\circ}C^{(1)}$	-	300	ms
		$T_J = 100^{\circ}C^{(1)}$	-	500	ms
		$T_J = 85^{\circ}C^{(1)}$	-	800	ms

注記:

- V_{CCO} が標準値の 3.3V で 240,000 パワー サイクル、またはワースト ケースの 3.465V で 36,500 パワー サイクルに基づく値です。

DC 入力および出力レベル

V_{IL} および V_{IH} の値は推奨入力電圧値です。 I_{OL} および I_{OH} の値は、 V_{OL} および V_{OH} のテストポイントにおける推奨動作条件で保証されています。テストは、すべての規格で仕様が満たされていることが確認できるように一部の規格を選択し、最小 V_{CCO} およびそれぞれの V_{OL} と V_{OH} 電圧レベルで実施しています。選択された以外の規格に対しては、サンプルテストを実施しています。

 表 8: SelectIO DC 入力および出力レベル⁽¹⁾⁽²⁾⁽³⁾

I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA、最大	mA、最小
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.00	-8.00
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.00	-8.00
HSTL_II	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16.00	-16.00
HSTL_II_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16.00	-16.00
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.10	-0.10
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注記 4	注記 4
LVC MOS15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	25% V_{CCO}	75% V_{CCO}	注記 5	注記 5
LVC MOS18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注記 6	注記 6
LVC MOS25	-0.300	0.7	1.700	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注記 5	注記 5
LVC MOS33	-0.300	0.8	2.000	3.450	0.400	$V_{CCO} - 0.400$	注記 5	注記 5
LV TTL	-0.300	0.8	2.000	3.450	0.400	2.400	注記 6	注記 6
MOBILE_DDR	-0.300	20% V_{CCO}	80% V_{CCO}	$V_{CCO} + 0.300$	10% V_{CCO}	90% V_{CCO}	0.10	-0.10
PCI33_3	-0.400	30% V_{CCO}	50% V_{CCO}	$V_{CCO} + 0.500$	10% V_{CCO}	90% V_{CCO}	1.50	-0.50
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	13.00	-13.00
SSTL135_R	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.90	-8.90
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	13.00	-13.00
SSTL15_R	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	8.90	-8.90
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	8.00	-8.00
SSTL18_II	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.600$	$V_{CCO}/2 + 0.600$	13.40	-13.40

注記:

- 適切な仕様に基づいてテストを実施しています。
- 3.3V および 2.5V 規格は HR I/O バンクでのみサポートされています。
- 特定のインターフェイスにおける DC 電圧レベルの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471) [参照 2] を参照してください。
- HR I/O バンクでは、4、8、または 12mA の駆動電流をサポートしています。
- HR I/O バンクでは、4、8、12、または 16mA の駆動電流をサポートしています。
- HR I/O バンクでは、4、8、12、16、または 24mA の駆動電流をサポートしています。

表 9: 差動 SelectIO の DC 入力および出力レベル

I/O 規格	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$			$V_{OCM}^{(3)}$			$V_{OD}^{(4)}$		
	V、最小	V、標準	V、最大	V、最小	V、標準	V、最大	V、最小	V、標準	V、最大	V、最小	V、標準	V、最大
BLVDS_25	0.300	1.200	1.425	0.100	–	–	–	1.250	–	注記 5		
MINI_LVDS_25	0.300	1.200	V_{CCAUX}	0.200	0.400	0.600	1.000	1.200	1.400	0.300	0.450	0.600
PPDS_25	0.200	0.900	V_{CCAUX}	0.100	0.250	0.400	0.500	0.950	1.400	0.100	0.250	0.400
RSDS_25	0.300	0.900	1.500	0.100	0.350	0.600	1.000	1.200	1.400	0.100	0.350	0.600
TMDS_33	2.700	2.965	3.230	0.150	0.675	1.200	$V_{CCO} - 0.405$	$V_{CCO} - 0.300$	$V_{CCO} - 0.190$	0.400	0.600	0.800

注記:

- V_{ICM} は入力同相電圧です。
- V_{ID} は入力差動電圧 ($Q - \bar{Q}$) です。
- V_{OCM} は出力同相電圧です。
- V_{OD} は出力差動電圧 ($Q - \bar{Q}$) です。
- BLVDS の V_{OD} はトポロジおよび負荷によって大きく異なります。

表 10: 相補差動 SelectIO の DC 入力および出力レベル

I/O 規格	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$		$V_{OL}^{(3)}$	$V_{OH}^{(4)}$	I_{OL}	I_{OH}
	V、最小	V、標準	V、最大	V、最小	V、最大	V、最大	V、最小	mA、最大	mA、最小
DIFF_HSTL_I	0.300	0.750	1.125	0.100	–	0.400	$V_{CCO} - 0.400$	8.00	–8.00
DIFF_HSTL_I_18	0.300	0.900	1.425	0.100	–	0.400	$V_{CCO} - 0.400$	8.00	–8.00
DIFF_HSTL_II	0.300	0.750	1.125	0.100	–	0.400	$V_{CCO} - 0.400$	16.00	–16.00
DIFF_HSTL_II_18	0.300	0.900	1.425	0.100	–	0.400	$V_{CCO} - 0.400$	16.00	–16.00
DIFF_HSUL_12	0.300	0.600	0.850	0.100	–	20% V_{CCO}	80% V_{CCO}	0.100	–0.100
DIFF_MOBILE_DDR	0.300	0.900	1.425	0.100	–	10% V_{CCO}	90% V_{CCO}	0.100	–0.100
DIFF_SSTL135	0.300	0.675	1.000	0.100	–	$(V_{CCO}/2) - 0.150$	$(V_{CCO}/2) + 0.150$	13.0	–13.0
DIFF_SSTL135_R	0.300	0.675	1.000	0.100	–	$(V_{CCO}/2) - 0.150$	$(V_{CCO}/2) + 0.150$	8.9	–8.9
DIFF_SSTL15	0.300	0.750	1.125	0.100	–	$(V_{CCO}/2) - 0.175$	$(V_{CCO}/2) + 0.175$	13.0	–13.0
DIFF_SSTL15_R	0.300	0.750	1.125	0.100	–	$(V_{CCO}/2) - 0.175$	$(V_{CCO}/2) + 0.175$	8.9	–8.9
DIFF_SSTL18_I	0.300	0.900	1.425	0.100	–	$(V_{CCO}/2) - 0.470$	$(V_{CCO}/2) + 0.470$	8.00	–8.00
DIFF_SSTL18_II	0.300	0.900	1.425	0.100	–	$(V_{CCO}/2) - 0.600$	$(V_{CCO}/2) + 0.600$	13.4	–13.4

注記:

- V_{ICM} は入力同相電圧です。
- V_{ID} は入力差動電圧 ($Q - \bar{Q}$) です。
- V_{OL} はシングルエンド低出力電圧です。
- V_{OH} はシングルエンド高出力電圧です。

LVDS DC 仕様 (LVDS_25)

 表 11: LVDS_25 DC 仕様⁽¹⁾

シンボル	DC パラメーター	条件	最小	標準	最大	単位
V_{CCO}	電源電圧		2.375	2.500	2.625	V
V_{OH}	Q および \bar{Q} の最大出力電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	–	–	1.675	V
V_{OL}	Q および \bar{Q} の最小出力電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	0.700	–	–	V
V_{ODIFF}	差動出力電圧 (Q – \bar{Q})、Q = High (\bar{Q} – Q)、 \bar{Q} = High	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	247	350	600	mV
V_{OCM}	出力同相電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	1.000	1.250	1.425	V
V_{IDIFF}	差動入力電圧 (Q – \bar{Q})、Q = High (\bar{Q} – Q)、 \bar{Q} = High		100	350	600	mV
V_{ICM}	入力同相電圧		0.300	1.200	1.500	V

注記:

1. LVDS_25 の差動入力は、出力の要求レベルと異なる V_{CCO} レベルのバンクに配置できます。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザーガイド』(UG471) [参照 2] を参照してください。

AC スイッチ特性

このデータシートに記載のすべての値は、表 12 に示されている Vivado® Design Suite のスピード仕様に基づいています。

表 12: デバイス別のスピード仕様

2016.4	デバイス
1.16	XC7S6、XC7S15、XC7S25、XC7S50、XC7S75、XC7S100

スイッチ特性はスピード グレードごとに指定され、Advance、Preliminary、Production のいずれかに該当します。それぞれの定義を次に示します。

Advance 製品仕様

シミュレーションにのみ基づいており、通常、デバイスの設計仕様の決定直後に入手可能です。この特性のスピード グレードは比較的安定しており、余裕を持たせた設定ですが、実際の遅延が大きくなることがあります。

Preliminary 製品仕様

ES (エンジニアリング サンプル) シリコン特性評価に基づいています。デバイスおよびスピード グレードは、量産シリコンのパフォーマンスにより近いものとなります。Advance と比較すると、実際の遅延の方が大きくなる可能性は低くなっています。

Production 製品仕様

特定のデバイス ファミリの十分な量産を経た上で特性評価が行われ、リリースされています。スピード ファイルには、デバイスの実際の遅延に即した値が記載されています。また、以降の変更はカスタマーに正式に通知されます。通常、遅いスピード グレードから先に Production スピード ファイルが提供されます。

AC スイッチ特性のテスト

内部タイミング パラメーターは、内部テスト パターンで計測されて求められています。すべての AC スイッチ特性は、ワースト ケースの電源電圧およびジャンクション温度条件での値です。

より具体的な条件での正確で確定的なワースト ケース データを得るには、スタティック タイミング解析ツールを使用してシミュレーション ネットリストにバックアノテートした値を使用してください。特記のない限り、これらの値はすべての Spartan-7 FPGA に適用されます。

スピード グレード

デバイスはそれぞれ生産時期が異なるため、カテゴリの移行は各デバイスの製造プロセスのステータスによって決定されます。表 13 に、Spartan-7 デバイスのステータスをスピード グレードに基づいて示します。

表 13: Spartan-7 デバイスのスピード グレード

デバイス	スピード グレード、温度範囲、および V _{CCINT} 動作電圧		
	Advance	Preliminary	Production
XC7S6	-2C (1.0V)、-2I (1.0V)、-1C (1.0V)、 -1I (1.0V)、および -1LI (0.95V) ⁽¹⁾		
XC7S15	-2C (1.0V)、-2I (1.0V)、-1C (1.0V)、 -1I (1.0V)、および -1LI (0.95V) ⁽¹⁾		
XC7S25	-2C (1.0V)、-2I (1.0V)、-1C (1.0V)、 -1I (1.0V)、および -1LI (0.95V) ⁽¹⁾		
XC7S50		-2C (1.0V)、-2I (1.0V)、-1C (1.0V)、-1I (1.0V)、および -1LI (0.95V) ⁽¹⁾	
XC7S75	-2C (1.0V)、-2I (1.0V)、-1C (1.0V)、 -1I (1.0V)、および -1LI (0.95V) ⁽¹⁾		
XC7S100	-2C (1.0V)、-2I (1.0V)、-1C (1.0V)、 -1I (1.0V)、および -1LI (0.95V) ⁽¹⁾		

注記:

- V_{CCINT} = 0.95V の場合の、消費電力が最も低い -1LI デバイスは、Vivado Design Suite では -1LV と示されます。

Production シリコンおよびソフトウェアのステータス

特定のファミリ (およびスピード グレード) は、それに正しく対応するスピード仕様 (Advance、Preliminary、Production) のリリース前に、Production としてリリースされる場合があります。このような不一致は、その後にリリースされるスピード仕様で修正されます。

表 14 に示されている Spartan-7 デバイス、スピード グレード、ソフトウェア ツール、およびスピード仕様は、Production で最小限必要になるリリースで、後続のツールおよびスピード仕様すべてを使用できます。

表 14: Spartan-7 デバイスの Production 仕様のソフトウェアおよびスピード仕様のバージョン

デバイス	V _{CCINT} 動作電圧、スピード グレード、温度範囲		
	1.0V		0.95V
	-2C/-2I	-1C/-1I	-1LI
XC7S6			
XC7S15			
XC7S25			
XC7S50			
XC7S75			
XC7S100			

パフォーマンス特性

ここでは、Spartan-7 FPGA にインプリメントされた一般的なファンクションおよびデザインのパフォーマンス特性を示します。また、10 ページの「AC スイッチ特性」に記載されているガイドラインにも従っています。

表 15: ネットワーク アプリケーション インターフェイスのパフォーマンス

説明	V _{CCINT} 動作電圧、スピード グレード、温度範囲			単位
	1.0V		0.95V	
	-2C/-2I	-1C/-1I	-1LI	
SDR LVDS トランスミッター (OSERDES を使用、DATA_WIDTH = 4 ~ 8)	680	600	600	Mb/s
DDR LVDS トランスミッター (OSERDES を使用、DATA_WIDTH = 4 ~ 14)	1250	950	950	Mb/s
SDR LVDS レシーバー ⁽¹⁾	680	600	600	Mb/s
DDR LVDS レシーバー ⁽¹⁾	1250	950	950	Mb/s

注記:

1. LVDS レシーバーの性能は通常、ダイナミック位相アライメント (DPA) アルゴリズムを使用しているかどうかによって依存します。

表 16: メモリ インターフェイス ジェネレーターで利用可能なメモリ インターフェイス IP の最大物理インターフェイス (PHY) レート ⁽¹⁾

メモリ規格	V _{CCINT} 動作電圧、スピード グレード、温度範囲			単位
	1.0V		0.95V	
	-2C/-2I	-1C/-1I	-1LI	
4:1 メモリ コントローラー				
DDR3	800	667	667	Mb/s
DDR3L	800	667	667	Mb/s
DDR2	800	667	667	Mb/s
2:1 メモリ コントローラー				
DDR3	800	667	667	Mb/s
DDR3L	800	667	667	Mb/s
DDR2	800	667	667	Mb/s
LPDDR2	667	533	533	Mb/s

注記:

1. V_{REF} のトラッキングが必要です。詳細は、『Zynq-7000 AP SoC および 7 シリーズ デバイス メモリ インターフェイス ソリューション ユーザー ガイド』(UG586) [参照 6] を参照してください。

IOB パッド入力/出力/トライステート

表 17 に、各 I/O 規格のパッドからのデータ入力遅延調整、パッドまでのデータ出力遅延、およびトライステート遅延の値を示します。

- T_{IOPI} は、IOB パッドから入力バッファerを通過して IOB パッドの I ピンに達するまでの遅延です。遅延値は、SelectIO 入力バッファerの機能に依存します。
- T_{IOOP} は、O ピンから IOB パッドの出力バッファerを通過して IOB パッドに達するまでの遅延です。遅延値は、SelectIO 出力バッファerの機能に依存します。
- T_{IOTP} は、トライステートが無効な場合の、T ピンから IOB パッドの出力バッファerを通過して IOB パッドに達するまでの遅延です。遅延値は、出力バッファerの SelectIO の機能に依存します。HR I/O バンクでは、INTERMDISABLE ピン使用時の IN_TERM 終端がオンになるまでの時間は常に T_{IOTP} よりも高速です。

表 17: IOB High Range (HR) のスイッチ特性

I/O 規格	T_{IOPI}			T_{IOOP}			T_{IOTP}			単位			
	V_{CCINT} 動作範囲、スピード グレード												
	1.0V			0.95V			1.0V				0.95V		
	-2	-1	-1L	-2	-1	-1L	-2	-1	-1L		-2	-1	-1L
LVTTTL_S4	1.34	1.41	1.41	3.93	4.18	4.18	3.96	4.20	4.20	ns			
LVTTTL_S8	1.34	1.41	1.41	3.66	3.92	3.92	3.69	3.93	3.93	ns			
LVTTTL_S12	1.34	1.41	1.41	3.65	3.90	3.90	3.68	3.91	3.91	ns			
LVTTTL_S16	1.34	1.41	1.41	3.19	3.45	3.45	3.22	3.46	3.46	ns			
LVTTTL_S24	1.34	1.41	1.41	3.41	3.67	3.67	3.44	3.68	3.68	ns			
LVTTTL_F4	1.34	1.41	1.41	3.38	3.64	3.64	3.41	3.65	3.65	ns			
LVTTTL_F8	1.34	1.41	1.41	2.87	3.12	3.12	2.90	3.13	3.13	ns			
LVTTTL_F12	1.34	1.41	1.41	2.85	3.10	3.10	2.88	3.12	3.12	ns			
LVTTTL_F16	1.34	1.41	1.41	2.68	2.93	2.93	2.71	2.95	2.95	ns			
LVTTTL_F24	1.34	1.41	1.41	2.65	2.90	2.90	2.68	2.91	2.91	ns			
LVDS_25	0.81	0.88	0.88	1.41	1.67	1.67	1.44	1.68	1.68	ns			
MINI_LVDS_25	0.81	0.88	0.88	1.40	1.65	1.65	1.43	1.66	1.66	ns			
BLVDS_25	0.81	0.88	0.88	1.96	2.21	2.21	1.99	2.23	2.23	ns			
RSDS_25 (Point to Point)	0.81	0.88	0.88	1.40	1.65	1.65	1.43	1.66	1.66	ns			
PPDS_25	0.81	0.88	0.88	1.41	1.67	1.67	1.44	1.68	1.68	ns			
TMDS_33	0.81	0.88	0.88	1.54	1.79	1.79	1.57	1.80	1.80	ns			
PCI33_3	1.32	1.39	1.39	3.22	3.48	3.48	3.25	3.49	3.49	ns			
HSUL_12_S	0.75	0.82	0.82	1.93	2.18	2.18	1.96	2.20	2.20	ns			
HSUL_12_F	0.75	0.82	0.82	1.41	1.67	1.67	1.44	1.68	1.68	ns			
DIFF_HSUL_12_S	0.76	0.83	0.83	1.93	2.18	2.18	1.96	2.20	2.20	ns			
DIFF_HSUL_12_F	0.76	0.83	0.83	1.41	1.67	1.67	1.44	1.68	1.68	ns			
MOBILE_DDR_S	0.84	0.91	0.91	1.80	2.06	2.06	1.83	2.07	2.07	ns			
MOBILE_DDR_F	0.84	0.91	0.91	1.51	1.76	1.76	1.54	1.77	1.77	ns			
DIFF_MOBILE_DDR_S	0.78	0.85	0.85	1.82	2.07	2.07	1.85	2.09	2.09	ns			
DIFF_MOBILE_DDR_F	0.78	0.85	0.85	1.57	1.82	1.82	1.60	1.84	1.84	ns			
HSTL_I_S	0.75	0.82	0.82	1.74	1.99	1.99	1.77	2.01	2.01	ns			
HSTL_II_S	0.73	0.80	0.80	1.54	1.79	1.79	1.57	1.80	1.80	ns			

表 17: IOB High Range (HR) のスイッチ特性 (続き)

I/O 規格	T_{IOPI}			T_{IOOP}			T_{IOTP}			単位
	V_{CCINT} 動作範囲、スピード グレード									
	1.0V		0.95V	1.0V		0.95V	1.0V		0.95V	
	-2	-1	-1L	-2	-1	-1L	-2	-1	-1L	
HSTL_I_18_S	0.75	0.82	0.82	1.41	1.67	1.67	1.44	1.68	1.68	ns
HSTL_II_18_S	0.75	0.81	0.81	1.54	1.79	1.79	1.57	1.80	1.80	ns
DIFF_HSTL_I_S	0.76	0.83	0.83	1.71	1.96	1.96	1.74	1.98	1.98	ns
DIFF_HSTL_II_S	0.76	0.83	0.83	1.63	1.88	1.88	1.66	1.90	1.90	ns
DIFF_HSTL_I_18_S	0.79	0.86	0.86	1.51	1.76	1.76	1.54	1.77	1.77	ns
DIFF_HSTL_II_18_S	0.78	0.85	0.85	1.58	1.84	1.84	1.61	1.85	1.85	ns
HSTL_I_F	0.75	0.82	0.82	1.22	1.48	1.48	1.25	1.49	1.49	ns
HSTL_II_F	0.73	0.80	0.80	1.24	1.49	1.49	1.27	1.51	1.51	ns
HSTL_I_18_F	0.75	0.82	0.82	1.26	1.51	1.51	1.29	1.52	1.52	ns
HSTL_II_18_F	0.75	0.81	0.81	1.24	1.49	1.49	1.27	1.51	1.51	ns
DIFF_HSTL_I_F	0.76	0.83	0.83	1.30	1.56	1.56	1.33	1.57	1.57	ns
DIFF_HSTL_II_F	0.76	0.83	0.83	1.33	1.59	1.59	1.36	1.60	1.60	ns
DIFF_HSTL_I_18_F	0.79	0.86	0.86	1.33	1.59	1.59	1.36	1.60	1.60	ns
DIFF_HSTL_II_18_F	0.78	0.85	0.85	1.33	1.59	1.59	1.36	1.60	1.60	ns
LVCOS33_S4	1.34	1.41	1.41	3.93	4.18	4.18	3.96	4.20	4.20	ns
LVCOS33_S8	1.34	1.41	1.41	3.65	3.90	3.90	3.68	3.91	3.91	ns
LVCOS33_S12	1.34	1.41	1.41	3.21	3.46	3.46	3.24	3.48	3.48	ns
LVCOS33_S16	1.34	1.41	1.41	3.52	3.77	3.77	3.55	3.79	3.79	ns
LVCOS33_F4	1.34	1.41	1.41	3.38	3.64	3.64	3.41	3.65	3.65	ns
LVCOS33_F8	1.34	1.41	1.41	2.87	3.12	3.12	2.90	3.13	3.13	ns
LVCOS33_F12	1.34	1.41	1.41	2.68	2.93	2.93	2.71	2.95	2.95	ns
LVCOS33_F16	1.34	1.41	1.41	2.68	2.93	2.93	2.71	2.95	2.95	ns
LVCOS25_S4	1.20	1.27	1.27	3.26	3.51	3.51	3.29	3.52	3.52	ns
LVCOS25_S8	1.20	1.27	1.27	3.01	3.26	3.26	3.04	3.27	3.27	ns
LVCOS25_S12	1.20	1.27	1.27	2.60	2.85	2.85	2.63	2.87	2.87	ns
LVCOS25_S16	1.20	1.27	1.27	2.94	3.20	3.20	2.97	3.21	3.21	ns
LVCOS25_F4	1.20	1.27	1.27	2.87	3.12	3.12	2.90	3.13	3.13	ns
LVCOS25_F8	1.20	1.27	1.27	2.30	2.56	2.56	2.33	2.57	2.57	ns
LVCOS25_F12	1.20	1.27	1.27	2.29	2.54	2.54	2.32	2.55	2.55	ns
LVCOS25_F16	1.20	1.27	1.27	2.13	2.39	2.39	2.16	2.40	2.40	ns
LVCOS18_S4	0.83	0.89	0.89	1.74	1.99	1.99	1.77	2.01	2.01	ns
LVCOS18_S8	0.83	0.89	0.89	2.30	2.56	2.56	2.33	2.57	2.57	ns
LVCOS18_S12	0.83	0.89	0.89	2.30	2.56	2.56	2.33	2.57	2.57	ns
LVCOS18_S16	0.83	0.89	0.89	1.65	1.90	1.90	1.68	1.91	1.91	ns
LVCOS18_S24	0.83	0.89	0.89	1.72	1.98	1.98	1.75	1.99	1.99	ns

表 17: IOB High Range (HR) のスイッチ特性 (続き)

I/O 規格	T_{IOPI}			T_{IOOP}			T_{IOTP}			単位
	V_{CCINT} 動作範囲、スピード グレード									
	1.0V		0.95V	1.0V		0.95V	1.0V		0.95V	
	-2	-1	-1L	-2	-1	-1L	-2	-1	-1L	
LVC MOS18_F4	0.83	0.89	0.89	1.57	1.82	1.82	1.60	1.84	1.84	ns
LVC MOS18_F8	0.83	0.89	0.89	1.80	2.06	2.06	1.83	2.07	2.07	ns
LVC MOS18_F12	0.83	0.89	0.89	1.80	2.06	2.06	1.83	2.07	2.07	ns
LVC MOS18_F16	0.83	0.89	0.89	1.52	1.77	1.77	1.55	1.79	1.79	ns
LVC MOS18_F24	0.83	0.89	0.89	1.46	1.71	1.71	1.49	1.73	1.73	ns
LVC MOS15_S4	0.86	0.93	0.93	2.18	2.43	2.43	2.21	2.45	2.45	ns
LVC MOS15_S8	0.86	0.93	0.93	2.21	2.46	2.46	2.24	2.48	2.48	ns
LVC MOS15_S12	0.86	0.93	0.93	1.71	1.96	1.96	1.74	1.98	1.98	ns
LVC MOS15_S16	0.86	0.93	0.93	1.71	1.96	1.96	1.74	1.98	1.98	ns
LVC MOS15_F4	0.86	0.93	0.93	1.97	2.23	2.23	2.00	2.24	2.24	ns
LVC MOS15_F8	0.86	0.93	0.93	1.72	1.98	1.98	1.75	1.99	1.99	ns
LVC MOS15_F12	0.86	0.93	0.93	1.47	1.73	1.73	1.50	1.74	1.74	ns
LVC MOS15_F16	0.86	0.93	0.93	1.46	1.71	1.71	1.49	1.73	1.73	ns
LVC MOS12_S4	0.95	1.02	1.02	2.69	2.95	2.95	2.72	2.96	2.96	ns
LVC MOS12_S8	0.95	1.02	1.02	2.21	2.46	2.46	2.24	2.48	2.48	ns
LVC MOS12_S12	0.95	1.02	1.02	1.91	2.17	2.17	1.94	2.18	2.18	ns
LVC MOS12_F4	0.95	1.02	1.02	2.10	2.35	2.35	2.13	2.37	2.37	ns
LVC MOS12_F8	0.95	1.02	1.02	1.66	1.92	1.92	1.69	1.93	1.93	ns
LVC MOS12_F12	0.95	1.02	1.02	1.51	1.76	1.76	1.54	1.77	1.77	ns
SSTL135_S	0.75	0.82	0.82	1.47	1.73	1.73	1.50	1.74	1.74	ns
SSTL15_S	0.68	0.75	0.75	1.43	1.68	1.68	1.46	1.69	1.69	ns
SSTL18_I_S	0.75	0.82	0.82	1.79	2.04	2.04	1.82	2.06	2.06	ns
SSTL18_II_S	0.75	0.82	0.82	1.43	1.68	1.68	1.46	1.70	1.70	ns
DIFF_SSTL135_S	0.76	0.83	0.83	1.47	1.73	1.73	1.50	1.74	1.74	ns
DIFF_SSTL15_S	0.76	0.83	0.83	1.43	1.68	1.68	1.46	1.69	1.69	ns
DIFF_SSTL18_I_S	0.79	0.86	0.86	1.80	2.06	2.06	1.83	2.07	2.07	ns
DIFF_SSTL18_II_S	0.79	0.86	0.86	1.51	1.76	1.76	1.54	1.77	1.77	ns
SSTL135_F	0.75	0.82	0.82	1.24	1.49	1.49	1.27	1.51	1.51	ns
SSTL15_F	0.68	0.75	0.75	1.19	1.45	1.45	1.22	1.46	1.46	ns
SSTL18_I_F	0.75	0.82	0.82	1.24	1.49	1.49	1.27	1.51	1.51	ns
SSTL18_II_F	0.75	0.82	0.82	1.24	1.49	1.49	1.27	1.51	1.51	ns
DIFF_SSTL135_F	0.76	0.83	0.83	1.24	1.49	1.49	1.27	1.51	1.51	ns
DIFF_SSTL15_F	0.76	0.83	0.83	1.19	1.45	1.45	1.22	1.46	1.46	ns
DIFF_SSTL18_I_F	0.79	0.86	0.86	1.35	1.60	1.60	1.38	1.62	1.62	ns
DIFF_SSTL18_II_F	0.79	0.86	0.86	1.33	1.59	1.59	1.36	1.60	1.60	ns

表 18 に、 T_{IOTPHZ} および $T_{IOIBUFDISABLE}$ の値を示します。 T_{IOTPHZ} は、ハイ インピーダンス ステートのようにトライステートが有効な場合の、T ピンから IOB パッドの出力バッファを通して IOB パッドに達するまでの遅延です。 $T_{IOIBUFDISABLE}$ は、IBUFDISABLE から O 出力までの IOB 遅延です。HR I/O バンクでは、INTERMDISABLE ピン使用時の内部 IN_TERM 終端がオフになるまでの時間は常に T_{IOTPHZ} よりも高速です。

表 18: IOB トライステート出力のスイッチ特性

シンボル	説明	V_{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T_{IOTPHZ}	T 入力からパッドのハイ インピーダンス	2.19	2.37	2.37	ns
$T_{IOIBUFDISABLE}$	IBUFDISABLE から O 出力までの IBUF ターンオン時間	2.30	2.60	2.60	ns

I/O 規格での調整計測方法

入力遅延の計測

表 19 に、入力遅延の計測に使用するテスト セットアップ パラメーターを示します。

表 19: 入力遅延の計測方法

説明	I/O 規格の属性	$V_L^{(1)}$	$V_H^{(1)}$	$V_{MEAS}^{(3)(5)}$	$V_{REF}^{(2)(4)}$
LVC MOS、1.2V	LVC MOS12	0.1	1.1	0.6	–
LVC MOS、1.5V	LVC MOS15	0.1	1.4	0.75	–
LVC MOS、1.8V	LVC MOS18	0.1	1.7	0.9	–
LVC MOS、2.5V	LVC MOS25	0.1	2.4	1.25	–
LVC MOS、3.3V	LVC MOS33	0.1	3.2	1.65	–
LVTTL、3.3V	LVTTL	0.1	3.2	1.65	–
MOBILE_DDR、1.8V	MOBILE_DDR	0.1	1.7	0.9	–
PCI33、3.3V	PCI33_3	0.1	3.2	1.65	–
HSTL (高速トランシーバー ロジック)、クラス I、1.2V	HSTL_I_12	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.60
HSTL、クラス I および II、1.5V	HSTL_I、HSTL_II	$V_{REF} - 0.65$	$V_{REF} + 0.65$	V_{REF}	0.75
HSTL、クラス I および II、1.8V	HSTL_I_18、HSTL_II_18	$V_{REF} - 0.8$	$V_{REF} + 0.8$	V_{REF}	0.90
HSUL (高速非終端ロジック)、1.2V	HSUL_12	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.60
SSTL (スタブ終端トランシーバー ロジック)、1.2V	SSTL12	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.60
SSTL、1.35V	SSTL135、SSTL135_R	$V_{REF} - 0.575$	$V_{REF} + 0.575$	V_{REF}	0.675
SSTL、1.5V	SSTL15、SSTL15_R	$V_{REF} - 0.65$	$V_{REF} + 0.65$	V_{REF}	0.75
SSTL、クラス I および II、1.8V	SSTL18_I、SSTL18_II	$V_{REF} - 0.8$	$V_{REF} + 0.8$	V_{REF}	0.90
DIFF_MOBILE_DDR、1.8V	DIFF_MOBILE_DDR	$0.9 - 0.125$	$0.9 + 0.125$	$0^{(5)}$	–
DIFF_HSTL、クラス I、1.2V	DIFF_HSTL_I_12	$0.6 - 0.125$	$0.6 + 0.125$	$0^{(5)}$	–
DIFF_HSTL、クラス I および II、1.5V	DIFF_HSTL_I、DIFF_HSTL_II	$0.75 - 0.125$	$0.75 + 0.125$	$0^{(5)}$	–
DIFF_HSTL、クラス I および II、1.8V	DIFF_HSTL_I_18、DIFF_HSTL_II_18	$0.9 - 0.125$	$0.9 + 0.125$	$0^{(5)}$	–
DIFF_HSUL、1.2V	DIFF_HSUL_12	$0.6 - 0.125$	$0.6 + 0.125$	$0^{(5)}$	–

表 19: 入力遅延の計測方法 (続き)

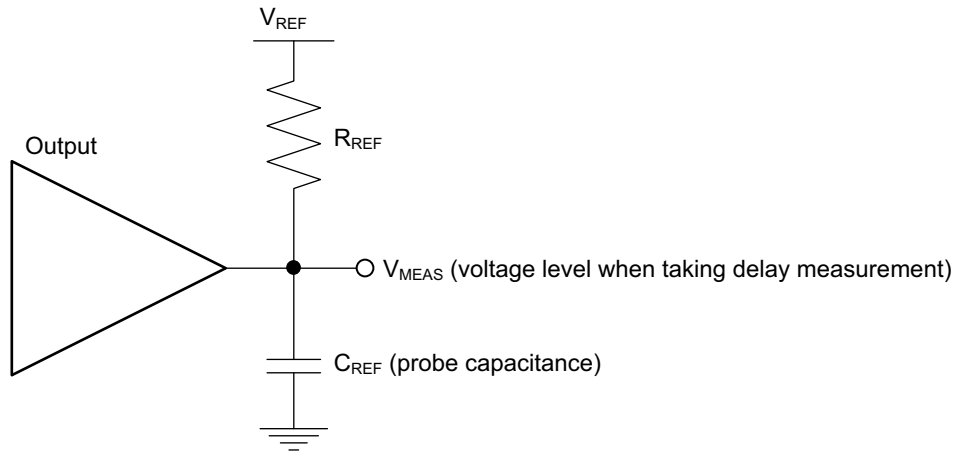
説明	I/O 規格の属性	$V_L^{(1)}$	$V_H^{(1)}$	$V_{MEAS}^{(3)(5)}$	$V_{REF}^{(2)(4)}$
DIFF_SSTL135/ DIFF_SSTL135_R、1.35V	DIFF_SSTL135、 DIFF_SSTL135_R	0.675 – 0.125	0.675 + 0.125	0 ⁽⁵⁾	–
DIFF_SSTL15/ DIFF_SSTL15_R、1.5V	DIFF_SSTL15、 DIFF_SSTL15_R	0.75 – 0.125	0.75 + 0.125	0 ⁽⁵⁾	–
DIFF_SSTL18_I/ DIFF_SSTL18_II、1.8V	DIFF_SSTL18_I、 DIFF_SSTL18_II	0.9 – 0.125	0.9 + 0.125	0 ⁽⁵⁾	–
LVDS_25、2.5V	LVDS_25	1.2 – 0.125	1.2 + 0.125	0 ⁽⁵⁾	–
BLVDS_25、2.5V	BLVDS_25	1.25 – 0.125	1.25 + 0.125	0 ⁽⁵⁾	–
MINI_LVDS_25、2.5V	MINI_LVDS_25	1.25 – 0.125	1.25 + 0.125	0 ⁽⁵⁾	–
PPDS_25	PPDS_25	1.25 – 0.125	1.25 + 0.125	0 ⁽⁵⁾	–
RSDS_25	RSDS_25	1.25 – 0.125	1.25 + 0.125	0 ⁽⁵⁾	–
TMDS_33	TMDS_33	3 – 0.125	3 + 0.125	0 ⁽⁵⁾	–

注記:

1. 入力波形は V_L と V_H 間で切り替わります。
2. 標準、最小、最大それぞれの V_{REF} 値が計測されます。レポートされる遅延は、これら計測値のワースト ケースを反映します。記載されている V_{REF} 値は標準値です。
3. 計測を開始する入力電圧レベルです。
4. IBIS モデルで使用される、および/または [図 1](#) に示す V_{REF}/V_{MEAS} パラメーターとは無関係の入力基準電圧です。
5. 記載されている値は差動入力電圧です。

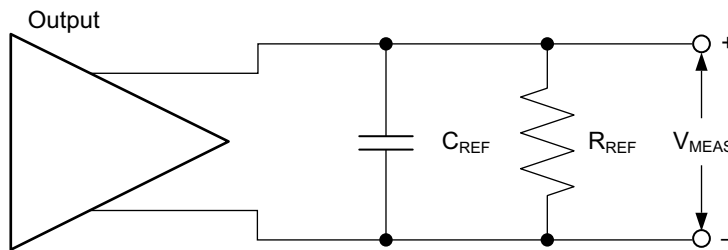
出力遅延の計測

出力遅延は、短い出力トレースで計測されます。すべてのテストで標準の終端を使用しました。トレースの伝搬遅延は個別に特性評価され、最終的な計測値から差し引かれるため、[図 1](#)および[図 2](#)に示す一般的なテスト セットアップには含まれていません。



X16654-092616

図 1: シングルエンドのテスト セットアップ



X16640-092616

図 2: 差動のテスト セットアップ

V_{REF} 、 R_{REF} 、 C_{REF} 、および V_{MEAS} パラメーターによって、各 I/O 規格のテスト条件が完全に設定されます。アプリケーションにおける伝搬遅延は、次の手順に従って IBIS シミュレーションを実行すると最も正確に見積もることができます。

1. [表 20](#) の値を用いて一般的なテスト セットアップに使用される出力ドライバーをシミュレーションします。
2. V_{MEAS} までの時間を記録します。
3. 負荷を示すために適切な IBIS モデルまたは容量値を用いて実際の PCB トレースと負荷に通常使用される出力ドライバーをシミュレーションします。
4. V_{MEAS} までの時間を記録します。
5. [手順 2](#) と [手順 4](#) の結果を比較します。遅延の増加または減少から PCB トレースの実際の伝搬遅延がわかります。

表 20: 出力遅延の計測方法

説明	I/O 規格の属性	R_{REF} (Ω)	$C_{REF}^{(1)}$ (pF)	V_{MEAS} (V)	V_{REF} (V)
LVC MOS、1.2V	LVC MOS12	1M	0	0.6	0
LVC MOS、1.5V	LVC MOS15	1M	0	0.75	0
LVC MOS、1.8V	LVC MOS18	1M	0	0.9	0
LVC MOS、2.5V	LVC MOS25	1M	0	1.25	0
LVC MOS、3.3V	LVC MOS33	1M	0	1.65	0
LV TTL、3.3V	LV TTL	1M	0	1.65	0
PCI33、3.3V	PCI33_3	25	10	1.65	0
HSTL (高速トランシーバー ロジック)、クラス I、1.2V	HSTL_I_12	50	0	V_{REF}	0.6
HSTL、クラス I、1.5V	HSTL_I	50	0	V_{REF}	0.75
HSTL、クラス II、1.5V	HSTL_II	25	0	V_{REF}	0.75
HSTL、クラス I、1.8V	HSTL_I_18	50	0	V_{REF}	0.9
HSTL、クラス II、1.8V	HSTL_II_18	25	0	V_{REF}	0.9
HSUL (高速非終端ロジック)、1.2V	HSUL_12	50	0	V_{REF}	0.6
SSTL12、1.2V	SSTL12	50	0	V_{REF}	0.6
SSTL135/SSTL135_R、1.35V	SSTL135、SSTL135_R	50	0	V_{REF}	0.675
SSTL15/SSTL15_R、1.5V	SSTL15、SSTL15_R	50	0	V_{REF}	0.75
SSTL (スタブ直列終端ロジック)、 クラス I および II、1.8V	SSTL18_I、SSTL18_II	50	0	V_{REF}	0.9
DIFF_MOBILE_DDR、1.8V	DIFF_MOBILE_DDR	50	0	V_{REF}	0.9
DIFF_HSTL、クラス I、1.2V	DIFF_HSTL_I_12	50	0	V_{REF}	0.6
DIFF_HSTL、クラス I および II、1.5V	DIFF_HSTL_I、DIFF_HSTL_II	50	0	V_{REF}	0.75
DIFF_HSTL、クラス I および II、1.8V	DIFF_HSTL_I_18、DIFF_HSTL_II_18	50	0	V_{REF}	0.9
DIFF_HSUL_12、1.2V	DIFF_HSUL_12	50	0	V_{REF}	0.6
DIFF_SSTL135/DIFF_SSTL135_R、1.35V	DIFF_SSTL135、DIFF_SSTL135_R	50	0	V_{REF}	0.675
DIFF_SSTL15/DIFF_SSTL15_R、1.5V	DIFF_SSTL15、DIFF_SSTL15_R	50	0	V_{REF}	0.75
DIFF_SSTL18、クラス I および II、1.8V	DIFF_SSTL18_I、DIFF_SSTL18_II	50	0	V_{REF}	0.9
LVDS、2.5V	LVDS_25	100	0	0 ⁽²⁾	0
BLVDS (バス LVDS)、2.5V	BLVDS_25	100	0	0 ⁽²⁾	0
Mini LVDS、2.5V	MINI_LVDS_25	100	0	0 ⁽²⁾	0
PPDS_25	PPDS_25	100	0	0 ⁽²⁾	0
RS DS_25	RS DS_25	100	0	0 ⁽²⁾	0
TMDS_33	TMDS_33	50	0	0 ⁽²⁾	3.3

注記:

1. C_{REF} はプローブの容量を示し、通常は 0pF です。
2. 記載されている値は差動出力電圧です。

入力/出力ロジックのスイッチ特性

表 21: ILOGIC のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
セットアップ/ホールド					
T _{ICEICK} /T _{ICKCE1}	CE1 ピンの CLK に対するセットアップ/ホールド	0.54/0.02	0.76/0.02	0.76/0.02	ns
T _{ISRCK} /T _{ICKSR}	SR ピンの CLK に対するセットアップ/ホールド	0.70/0.01	1.13/0.01	1.13/0.01	ns
T _{IDOCK} /T _{IOCKD}	D ピンの CLK に対するセットアップ/ホールド (遅延なし)	0.01/0.29	0.01/0.33	0.01/0.33	ns
T _{IDOCKD} /T _{IOCKDD}	DDLJ ピンの CLK に対するセットアップ/ホールド (IDELAY を使用)	0.02/0.29	0.02/0.33	0.02/0.33	ns
組み合わせ					
T _{IDI}	D ピンから O ピンまでの伝搬遅延 (遅延なし)	0.11	0.13	0.13	ns
T _{IDID}	DDLJ ピンから O ピンまでの伝搬遅延 (IDELAY を使用)	0.12	0.14	0.14	ns
シーケンシャル遅延					
T _{IDLO}	フリップフロップをラッチとして使用する場合の D ピンから Q1 ピンまでの遅延 (遅延なし)	0.44	0.51	0.51	ns
T _{IDLOD}	フリップフロップをラッチとして使用する場合の DDLJ ピンから Q1 ピンまでの遅延 (IDELAY を使用)	0.44	0.51	0.51	ns
T _{ICKQ}	CLK から Q 出力までの遅延	0.57	0.66	0.66	ns
T _{RQ_ILOGIC}	SR ピンから OQ/TQ 出力までの遅延	1.08	1.32	1.32	ns
T _{GSRQ_ILOGIC}	グローバルセット/リセットから Q 出力までの遅延	7.60	10.51	10.51	ns
セット/リセット					
T _{RPW_ILOGIC}	最小パルス幅、SR 入力	0.72	0.72	0.72	ns、最小

表 22: OLOGIC のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
セットアップ/ホールド					
T _{ODCK} /T _{OCKD}	D1/D2 ピンの CLK に対するセットアップ/ホールド	0.71/-0.11	0.84/-0.11	0.84/-0.11	ns
T _{OOCECK} /T _{OCKOCE}	OCE ピンの CLK に対するセットアップ/ホールド	0.34/0.58	0.51/0.58	0.51/0.58	ns
T _{OSRCK} /T _{OCKSR}	SR ピンの CLK に対するセットアップ/ホールド	0.44/0.21	0.80/0.21	0.80/0.21	ns
T _{OTCK} /T _{OCKT}	T1/T2 ピンの CLK に対するセットアップ/ホールド	0.73/-0.14	0.89/-0.14	0.89/-0.14	ns
T _{OTCECK} /T _{OCKTCE}	TCE ピンの CLK に対するセットアップ/ホールド	0.34/0.01	0.51/0.01	0.51/0.01	ns
組み合わせ					
T _{ODQ}	D1 から OQ 出力または T1 から TQ 出力までの遅延	0.96	1.16	1.16	ns
シーケンシャル遅延					
T _{OCKQ}	CLK から OQ/TQ 出力までの遅延	0.49	0.56	0.56	ns
T _{RQ_OLOGIC}	SR ピンから OQ/TQ 出力までの遅延	0.80	0.95	0.95	ns
T _{GSRQ_OLOGIC}	グローバルセット/リセットから Q 出力までの遅延	7.60	10.51	10.51	ns
セット/リセット					
T _{RPW_OLOGIC}	最小パルス幅、SR 入力	0.74	0.74	0.74	ns、最小

入カシリアライザー / デシリアライザーのスイッチ特性

表 23: ISERDES のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
制御ラインのセットアップ/ホールド					
T _{ISCKK_BITSLIP} /T _{ISCKC_BITSLIP}	BITSLIP ピンの CLKDIV に対するセットアップ/ホールド	0.02/0.15	0.02/0.17	0.02/0.17	ns
T _{ISCKK_CE} /T _{ISCKC_CE}	CE ピンの CLK に対するセットアップ/ホールド	0.50/-0.01	0.72/-0.01	0.72/-0.01	ns
T _{ISCKK_CE2} /T _{ISCKC_CE2}	CE (CE2) ピンの CLKDIV に対するセットアップ/ホールド	-0.10/0.36	-0.10/0.40	-0.10/0.40	ns
データラインのセットアップ/ホールド					
T _{ISDCK_D} /T _{ISCKD_D}	D ピンの CLK に対するセットアップ/ホールド	-0.02/0.14	-0.02/0.17	-0.02/0.17	ns
T _{ISDCK_DDLY} /T _{ISCKD_DDLY}	DDLY ピンの CLK に対するセットアップ/ホールド (IDELAY を使用) ⁽¹⁾	-0.02/0.14	-0.02/0.17	-0.02/0.17	ns
T _{ISDCK_D_DDR} /T _{ISCKD_D_DDR}	DDR モードでの、D ピンの CLK に対するセットアップ/ホールド	-0.02/0.14	-0.02/0.17	-0.02/0.17	ns
T _{ISDCK_DDLY_DDR} /T _{ISCKD_DDLY_DDR}	DDR モードでの、D ピンの CLK に対するセットアップ/ホールド (IDELAY を使用) ⁽¹⁾	0.14/0.14	0.17/0.17	0.17/0.17	ns
シーケンシャル遅延					
T _{ISCKO_Q}	CLKDIV から Q ピンで出力されるまでの遅延	0.54	0.66	0.66	ns
伝搬遅延					
T _{ISDO_DO}	D 入力から DO 出力ピンまでの遅延	0.11	0.13	0.13	ns

注記:

1. タップが 0 の場合の値です。

出カシリアライザー / デシリアライザーのスイッチ特性

表 24: OSERDES のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
セットアップ/ホールド					
T _{OSDCK_D} /T _{OSCKD_D}	D 入力の CLKDIV に対するセットアップ/ホールド	0.45/0.03	0.63/0.03	0.63/0.03	ns
T _{OSDCK_T} /T _{OSCKD_T}	T 入力の CLK に対するセットアップ/ホールド	0.73/-0.13	0.88/-0.13	0.88/-0.13	ns
T _{OSDCK_T2} /T _{OSCKD_T2}	T 入力の CLKDIV に対するセットアップ/ホールド	0.34/-0.13	0.39/-0.13	0.39/-0.13	ns
T _{OSCKCK_OCE} /T _{OSCKC_OCE}	OCE 入力の CLK に対するセットアップ/ホールド	0.34/0.58	0.51/0.58	0.51/0.58	ns
T _{OSCKCK_S}	SR (リセット) 入力の CLKDIV に対するセットアップ	0.52	0.85	0.85	ns
T _{OSCKCK_TCE} /T _{OSCKC_TCE}	TCE 入力の CLK に対するセットアップ/ホールド	0.34/0.01	0.51/0.01	0.51/0.01	ns
シーケンシャル遅延					
T _{OSCKO_OQ}	CLK から OQ までの Clock-to-Out 遅延	0.42	0.48	0.48	ns
T _{OSCKO_TQ}	CLK から TQ までの Clock-to-Out 遅延	0.49	0.56	0.56	ns
組み合わせ					
T _{OSDO_TTQ}	T 入力から TQ 出力までの遅延	0.92	1.11	1.11	ns

入力/出力遅延のスイッチ特性

表 25: 入力/出力遅延のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
IDELAYCTRL					
T _{DLYCCO_RDY}	IDELAYCTRL のリセットからレディ	3.67	3.67	3.67	μs
F _{IDELAYCTRL_REF}	REFCLK 周波数 = 200.00 ⁽¹⁾	200.00	200.00	200.00	MHz
	REFCLK 周波数 = 300.00 ⁽¹⁾	300.00	300.00	300.00	MHz
	REFCLK 周波数 = 400.00 ⁽¹⁾	400.00	N/A	N/A	MHz
IDELAYCTRL_REF_PRECISION	REFCLK 精度	±10	±10	±10	MHz
T _{IDELAYCTRL_RPW}	最小リセット パルス幅	59.28	59.28	59.28	ns
IDELAY					
T _{IDELAYRESOLUTION}	IDELAY チェーンの遅延精度	1/(32 x 2 x F _{REF})			μs
T _{IDELAYPAT_JIT}	クロック パターンの遅延チェーンにおけるパターン依存周期ジッター ⁽²⁾	0	0	0	ps/ タップ
	ランダム データ パターンの遅延チェーンにおけるパターン依存周期ジッター (PRBS 23) ⁽³⁾	±5	±5	±5	ps/ タップ
	ランダム データ パターンの遅延チェーンにおけるパターン依存周期ジッター (PRBS 23) ⁽⁴⁾	±9	±9	±9	ps/ タップ
T _{IDELAY_CLK_MAX}	IDELAY への CLK 入力の最大周波数	680.00	600.00	600.00	MHz
T _{IDCCK_CE} /T _{IDCKC_CE}	CE ピンの C に対するセットアップ/ホールド (IDELAY を使用)	0.16/0.13	0.21/0.16	0.21/0.16	ns
T _{IDCCK_INC} /T _{IDCKC_INC}	INC ピンの C に対するセットアップ/ホールド (IDELAY を使用)	0.14/0.18	0.16/0.22	0.16/0.22	ns
T _{IDCCK_RST} /T _{IDCKC_RST}	RST ピンの C に対するセットアップ/ホールド (IDELAY を使用)	0.16/0.11	0.18/0.14	0.18/0.14	ns
T _{IDDO_IDATAIN}	IDELAY の伝搬遅延	注記 5	注記 5	注記 5	ps

注記:

1. タップ遅延の平均値は、200MHz で 78ps、300MHz で 52ps、400MHz で 39ps です。
2. HIGH_PERFORMANCE モードが TRUE または FALSE の場合です。
3. HIGH_PERFORMANCE モードが TRUE の場合です。
4. HIGH_PERFORMANCE モードが FALSE の場合です。
5. 遅延は IDELAY タップの設定に依存します。実際の値は、タイミング レポートを参照してください。

表 26: IO_FIFO のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
IO_FIFO の Clock-to-Out 遅延					
T _{OFFCKO_DO}	RDCLK から Q 出力までの遅延	0.60	0.68	0.68	ns
T _{CKO_FLAGS}	クロックから IO_FIFO フラグまでの遅延	0.61	0.77	0.77	ns
セットアップ/ホールド					
T _{CCK_D} /T _{CKC_D}	D 入力から WRCLK	0.51/0.02	0.58/0.02	0.58/0.02	ns
T _{IFFCK_WREN} / T _{IFCKC_WREN}	WREN から WRCLK	0.47/-0.01	0.53/-0.01	0.53/-0.01	ns
T _{OFFCK_RDEN} / T _{OFFCKC_RDEN}	RDEN から RDCLK	0.58/0.02	0.66/0.02	0.66/0.02	ns
最小パルス幅					
T _{PWH_IO_FIFO}	RESET、RDCLK、WRCLK	2.15	2.15	2.15	ns
T _{PWL_IO_FIFO}	RESET、RDCLK、WRCLK	2.15	2.15	2.15	ns
最大周波数					
F _{MAX}	RDCLK および WRCLK	200.00	200.00	200.00	MHz

CLB のスイッチ特性

表 27: CLB のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
組み合わせ遅延					
T _{ILO}	An – Dn LUT アドレスから A までの遅延	0.11	0.13	0.13	ns、最大
T _{ILO_2}	An – Dn LUT アドレスから AMUX/CMUX までの遅延	0.30	0.36	0.36	ns、最大
T _{ILO_3}	An – Dn LUT アドレスから BMUX_A までの遅延	0.46	0.55	0.55	ns、最大
T _{ITO}	An – Dn 入力から A – DQ 出力までの遅延	1.05	1.27	1.27	ns、最大
T _{AXA}	AX 入力から AMUX 出力までの遅延	0.69	0.84	0.84	ns、最大
T _{AXB}	AX 入力から BMUX 出力までの遅延	0.66	0.83	0.83	ns、最大
T _{AXC}	AX 入力から CMUX 出力までの遅延	0.68	0.82	0.82	ns、最大
T _{AXD}	AX 入力から DMUX 出力までの遅延	0.75	0.90	0.90	ns、最大
T _{BXB}	BX 入力から BMUX 出力までの遅延	0.57	0.69	0.69	ns、最大
T _{BXD}	BX 入力から DMUX 出力までの遅延	0.69	0.82	0.82	ns、最大
T _{CXC}	CX 入力から CMUX 出力までの遅延	0.48	0.58	0.58	ns、最大
T _{CXD}	CX 入力から DMUX 出力までの遅延	0.59	0.71	0.71	ns、最大
T _{DXD}	DX 入力から DMUX 出力までの遅延	0.58	0.70	0.70	ns、最大
シーケンシャル遅延					
T _{CKO}	クロックから AQ – DQ 出力までの遅延	0.44	0.53	0.53	ns、最大
T _{SHCKO}	クロックから AMUX – DMUX 出力までの遅延	0.53	0.66	0.66	ns、最大
クロック CLK 前後における CLB フリップフロップのセットアップ/ホールド タイム					
T _{AS} /T _{AH}	A – D フリップフロップの AN – DN 入力から CLK	0.09/0.14	0.11/0.18	0.11/0.18	ns、最小
T _{DICK} /T _{CKDI}	A – D フリップフロップの AX – DX 入力から CLK	0.07/0.21	0.09/0.26	0.09/0.26	ns、最小
	MUX および/またはキャリー ロジックを介する A – D フリップフロップの AX – DX 入力から CLK	0.66/0.09	0.81/0.11	0.81/0.11	ns、最小
T _{CECK_CLB} / T _{CKCE_CLB}	A – D フリップフロップの CE 入力から CLK	0.17/0.00	0.21/0.01	0.21/0.01	ns、最小
T _{SRCK} /T _{CKSR}	A – D フリップフロップの SR 入力から CLK	0.43/0.04	0.53/0.05	0.53/0.05	ns、最小
セット/リセット					
T _{SRMIN}	SR 入力最小パルス幅	0.78	1.04	1.04	ns、最小
T _{RQ}	SR 入力から AQ – DQ フリップフロップまでの遅延	0.59	0.71	0.71	ns、最大
T _{CEO}	CE 入力から AQ – DQ フリップフロップまでの遅延	0.58	0.70	0.70	ns、最大
F _{TOG}	トグル周波数 (エクスポート制御用)	1286	1098	1098	MHz

CLB 分散 RAM のスイッチ特性 (SLICEM のみ)

表 28: CLB 分散 RAM のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
シーケンシャル遅延					
T _{SHCKO}	クロックから A – B 出力までの遅延	1.09	1.32	1.32	ns、最大
T _{SHCKO_1}	クロックから AMUX – BMUX 出力までの遅延	1.53	1.86	1.86	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T _{DS_LRAM} /T _{DH_LRAM}	A – D 入力から CLK	0.60/0.30	0.72/0.35	0.72/0.35	ns、最小
T _{AS_LRAM} /T _{AH_LRAM}	An 入力からクロック	0.30/0.60	0.37/0.70	0.37/0.70	ns、最小
	MUX および/またはキャリー ロジックを介する An 入力からクロック	0.77/0.21	0.94/0.26	0.94/0.26	ns、最小
T _{WS_LRAM} /T _{WH_LRAM}	WE 入力からクロック	0.43/0.12	0.53/0.17	0.53/0.17	ns、最小
T _{CECK_LRAM} /T _{CKCE_LRAM}	CE 入力から CLK	0.44/0.11	0.53/0.17	0.53/0.17	ns、最小
クロック CLK					
T _{MPW_LRAM}	最小パルス幅	1.13	1.25	1.25	ns、最小
T _{MCP}	最小クロック周期	2.26	2.50	2.50	ns、最小

注記:

 1. T_{SHCKO} は CLK から XMUX 出力までの遅延も表します。タイミングレポートで、CLK から XMUX までのパスを参照してください。

CLB シフトレジスタのスイッチ特性 (SLICEM のみ)

表 29: CLB シフトレジスタのスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
シーケンシャル遅延					
T _{REG}	クロックから A – D 出力までの遅延	1.33	1.61	1.61	ns、最大
T _{REG_MUX}	クロックから AMUX – DMUX 出力までの遅延	1.77	2.15	2.15	ns、最大
T _{REG_M31}	クロックから M31 出力を介した DMUX	1.23	1.46	1.46	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T _{WS_SHFREG} /T _{WH_SHFREG}	WE 入力	0.41/0.12	0.51/0.17	0.51/0.17	ns、最小
T _{CECK_SHFREG} /T _{CKCE_SHFREG}	CE 入力から CLK	0.42/0.11	0.52/0.17	0.52/0.17	ns、最小
T _{DS_SHFREG} /T _{DH_SHFREG}	A – D 入力から CLK	0.37/0.37	0.44/0.43	0.44/0.43	ns、最小
クロック CLK					
T _{MPW_SHFREG}	最小パルス幅	0.86	0.98	0.98	ns、最小

ブロック RAM および FIFO のスイッチ特性

表 30: ブロック RAM および FIFO のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
ブロック RAM および FIFO の Clock-to-Out 遅延					
T _{RCKO_DO} および T _{RCKO_DO_REG}	クロック CLK から DOUT 出力までの遅延 (出力レジスタなし) ⁽¹⁾⁽²⁾	2.13	2.46	2.46	ns、最大
	クロック CLK から DOUT 出力までの遅延 (出力レジスタあり) ⁽³⁾⁽⁴⁾	0.74	0.89	0.89	ns、最大
T _{RCKO_DO_ECC} および T _{RCKO_DO_ECC_REG}	ECC を使用した場合のクロック CLK から DOUT 出力 までの遅延 (出力レジスタなし) ⁽¹⁾⁽²⁾	3.04	3.84	3.84	ns、最大
	ECC を使用した場合のクロック CLK から DOUT 出力 までの遅延 (出力レジスタあり) ⁽³⁾⁽⁴⁾	0.81	0.94	0.94	ns、最大
T _{RCKO_DO_CASCOUT} および T _{RCKO_DO_CASCOUT_REG}	カスケード接続した場合のクロック CLK から DOUT 出力までの遅延 (出力レジスタなし) ⁽¹⁾	2.88	3.30	3.30	ns、最大
	カスケード接続した場合のクロック CLK から DOUT 出力までの遅延 (出力レジスタあり) ⁽³⁾	1.28	1.46	1.46	ns、最大
T _{RCKO_FLAGS}	クロック CLK から FIFO フラグ出力までの遅延 ⁽⁵⁾	0.87	1.05	1.05	ns、最大
T _{RCKO_POINTERS}	クロック CLK から FIFO ポインター出力までの遅延 ⁽⁶⁾	1.02	1.15	1.15	ns、最大
T _{RCKO_PARITY_ECC}	エンコード専用モードの ECC を使用した場合の クロック CLK から ECCPARITY までの遅延	0.85	0.94	0.94	ns、最大
T _{RCKO_SDBIT_ECC} および T _{RCKO_SDBIT_ECC_REG}	クロック CLK から BITERR 出力までの遅延 (出力レジスタなし)	2.81	3.55	3.55	ns、最大
	クロック CLK から BITERR 出力までの遅延 (出力レジスタあり)	0.76	0.89	0.89	ns、最大
T _{RCKO_RDADDR_ECC} および T _{RCKO_RDADDR_ECC_REG}	ECC を使用した場合のクロック CLK から RDADDR 出 力までの遅延 (出力レジスタなし)	0.88	1.07	1.07	ns、最大
	ECC を使用した場合のクロック CLK から RDADDR 出 力までの遅延 (出力レジスタあり)	0.93	1.08	1.08	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T _{RCKC_ADDR} /T _{RCKC_ADDR}	ADDR 入力 ⁽⁷⁾	0.49/0.33	0.57/0.36	0.57/0.36	ns、最小
T _{RDCK_DI_WF_NC} / T _{RCKD_DI_WF_NC}	ブロック RAM を WRITE_FIRST または NO_CHANGE モードにコンフィギュレーションした場合のデータ入 力セットアップ/ホールド タイム ⁽⁸⁾	0.65/0.63	0.74/0.67	0.74/0.67	ns、最小
T _{RDCK_DI_RF} /T _{RCKD_DI_RF}	ブロック RAM を READ_FIRST モードにコンフィギュ レーションする場合のデータ入力セットアップ/ホー ルド タイム ⁽⁸⁾	0.22/0.34	0.25/0.41	0.25/0.41	ns、最小
T _{RDCK_DI_ECC} /T _{RCKD_DI_ECC}	標準モードのブロック RAM ECC を使用した場合の DIN 入力 ⁽⁸⁾	0.55/0.46	0.63/0.50	0.63/0.50	ns、最小
T _{RDCK_DI_ECCW} / T _{RCKD_DI_ECCW}	ブロック RAM ECC エンコードのみを使用した場合の DIN 入力 ⁽⁸⁾	1.02/0.46	1.17/0.50	1.17/0.50	ns、最小
T _{RDCK_DI_ECC_FIFO} / T _{RCKD_DI_ECC_FIFO}	標準モードの FIFO ECC を使用した場合の DIN 入力 ⁽⁸⁾	1.15/0.59	1.32/0.64	1.32/0.64	ns、最小
T _{RCKC_INJECTBITERR} / T _{RCKC_INJECTBITERR}	ECC モードでシングル/ダブルビット エラーを挿入	0.64/0.37	0.74/0.40	0.74/0.40	ns、最小

表 30: ブロック RAM および FIFO のスイッチ特性 (続き)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{RCCK_EN} /T _{RCCK_EN}	ブロック RAM のイネーブル (EN) 入力	0.39/0.21	0.45/0.23	0.45/0.23	ns、最小
T _{RCCK_REGCE} /T _{RCCK_REGCE}	出力レジスタの CE 入力	0.29/0.15	0.36/0.16	0.36/0.16	ns、最小
T _{RCCK_RSTREG} / T _{RCCK_RSTREG}	同期 RSTREG 入力	0.32/0.07	0.35/0.07	0.35/0.07	ns、最小
T _{RCCK_RSTRAM} / T _{RCCK_RSTRAM}	同期 RSTRAM 入力	0.34/0.43	0.36/0.46	0.36/0.46	ns、最小
T _{RCCK_WEA} /T _{RCCK_WEA}	ライト イネーブル (WE) 入力 (ブロック RAM のみ)	0.48/0.19	0.54/0.20	0.54/0.20	ns、最小
T _{RCCK_WREN} /T _{RCCK_WREN}	WREN FIFO 入力	0.46/0.35	0.47/0.43	0.47/0.43	ns、最小
T _{RCCK_RDEN} /T _{RCCK_RDEN}	RDEN FIFO 入力	0.43/0.35	0.43/0.43	0.43/0.43	ns、最小
リセット遅延					
T _{RCO_FLAGS}	リセット RST から FIFO フラグ/ポインターまでの遅延 ⁽⁹⁾	0.98	1.10	1.10	ns、最大
T _{RREC_RST} /T _{RREM_RST}	FIFO リセットリカバリおよび削除タイミング ⁽¹⁰⁾	2.07/-0.81	2.37/-0.81	2.37/-0.81	ns、最大
最大周波数					
F _{MAX_BRAM_WF_NC}	SDP RF モードでない場合のブロック RAM (Write First および No Change モード)	460.83	388.20	388.20	MHz
F _{MAX_BRAM_RF_PERFORMANCE}	SDP RF モードの場合のブロック RAM (Read First および Performance モード)、ポート A とポート B 間でアドレス重複なし	460.83	388.20	388.20	MHz
F _{MAX_BRAM_RF_DELAYED_WRITE}	SDP RF モードのブロック RAM (Read First、Delayed Write モード)、ポート A とポート B 間でアドレス重複の可能性あり	404.53	339.67	339.67	MHz
F _{MAX_CAS_WF_NC}	カスケード接続の場合のブロック RAM (Write First、No Change モード)、RF モードではない	418.59	345.78	345.78	MHz
F _{MAX_CAS_RF_PERFORMANCE}	RF モードでカスケード接続されている場合のブロック RAM (Read First、Performance モード)、アドレス重複の可能性はなし/1 つのポートが無効	418.59	345.78	345.78	MHz
F _{MAX_CAS_RF_DELAYED_WRITE}	RF モードでカスケード接続されている場合、ポート A とポート B 間でアドレス重複の可能性あり	362.19	297.35	297.35	MHz
F _{MAX_FIFO}	ECC を使用しない場合のすべてのモードの FIFO	460.83	388.20	388.20	MHz
F _{MAX_ECC}	ECC コンフィギュレーションのブロック RAM および FIFO	365.10	297.53	297.53	MHz

注記:

1. T_{RCCK_DOR} には B ポートに相当するタイミングパラメータのほかに、T_{RCCK_DOW}、T_{RCCK_DOPR}、および T_{RCCK_DOPW} が含まれます。
2. これらのパラメータは、DO_REG = 0 に設定された同期 FIFO にも適用されます。
3. T_{RCCK_DO} には B ポートに相当するタイミングパラメータのほかに、T_{RCCK_DOP} が含まれます。
4. これらのパラメータは、DO_REG = 1 に設定されたマルチレート (非同期) FIFO および同期 FIFO にも適用されます。
5. T_{RCCK_FLAGS} には、T_{RCCK_AEMPTY}、T_{RCCK_AFULL}、T_{RCCK_EMPTY}、T_{RCCK_FULL}、T_{RCCK_RDERR}、T_{RCCK_WRERR} が含まれます。
6. T_{RCCK_POINTERS} には、T_{RCCK_RDcount} および T_{RCCK_WRCOUNT} の両方が含まれます。
7. ADDR のセットアップおよびホールドタイムは、WE が無効の場合でも、EN がアサートされる時に満たされている必要があります。満たされていないと、ブロック RAM データが破損する可能性があります。
8. これらのパラメータには、A 入力と B 入力、およびそれらのパリティ入力が含まれます。
9. T_{RCO_FLAGS} には、AEMPTY、AFULL、EMPTY、FULL、RDERR、WRERR、RDcount、および WRCOUNT が含まれます。
10. RDEN および WREN は、リセット前から終了するまでの間 Low に保持しておく必要があります。FIFO のリセットは、最も低速のクロック (WRCLK または RDCLK) の少なくとも立ち上がりエッジ 5 回分アサートする必要があります。

DSP48E1 のスイッチ特性

表 31: DSP48E1 のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
データ/制御ピンから入力レジスタ クロックに対するセットアップ タイムおよびホールド タイム					
T _{DSPDCK_A_AREG} /T _{DSPCKD_A_AREG}	A 入力から A レジスタ CLK	0.30/0.13	0.37/0.14	0.37/0.14	ns
T _{DSPDCK_B_BREG} /T _{DSPCKD_B_BREG}	B 入力から B レジスタ CLK	0.38/0.16	0.45/0.18	0.45/0.18	ns
T _{DSPDCK_C_CREG} /T _{DSPCKD_C_CREG}	C 入力から C レジスタ CLK	0.20/0.19	0.24/0.21	0.24/0.21	ns
T _{DSPDCK_D_DREG} /T _{DSPCKD_D_DREG}	D 入力から D レジスタ CLK	0.32/0.27	0.42/0.27	0.42/0.27	ns
T _{DSPDCK_ACIN_AREG} /T _{DSPCKD_ACIN_AREG}	ACIN 入力から A レジスタ CLK	0.27/0.13	0.32/0.14	0.32/0.14	ns
T _{DSPDCK_BCIN_BREG} /T _{DSPCKD_BCIN_BREG}	BCIN 入力から B レジスタ CLK	0.29/0.16	0.36/0.18	0.36/0.18	ns
データ ピンからパイプラインレジスタ クロックに対するセットアップ タイムおよびホールド タイム					
T _{DSPDCK_{A,B}_MREG_MULT} / T _{DSPCKD_{A,B}_MREG_MULT}	{A, B} 入力から M レジスタ CLK (乗算器を使用)	2.76/-0.01	3.29/-0.01	3.29/-0.01	ns
T _{DSPDCK_{A,D}_ADREG} / T _{DSPCKD_{A,D}_ADREG}	{A, D} 入力から AD レジスタ CLK	1.48/-0.02	1.76/-0.02	1.76/-0.02	ns
データ/制御ピンから出力レジスタ クロックに対するセットアップ タイムおよびホールド タイム					
T _{DSPDCK_{A,B}_PREG_MULT} / T _{DSPCKD_{A,B}_PREG_MULT}	{A, B} 入力から P レジスタ CLK (乗算器を使用)	4.60/-0.28	5.48/-0.28	5.48/-0.28	ns
T _{DSPDCK_D_PREG_MULT} / T _{DSPCKD_D_PREG_MULT}	D 入力から P レジスタ CLK (乗算器を使用)	4.50/-0.73	5.35/-0.73	5.35/-0.73	ns
T _{DSPDCK_{A,B}_PREG} / T _{DSPCKD_{A,B}_PREG}	A または B 入力から P レジスタ CLK (乗算器は未使用)	1.98/-0.28	2.35/-0.28	2.35/-0.28	ns
T _{DSPDCK_C_PREG} /T _{DSPCKD_C_PREG}	C 入力から P レジスタ CLK (乗算器は未使用)	1.76/-0.26	2.10/-0.26	2.10/-0.26	ns
T _{DSPDCK_PCIN_PREG} /T _{DSPCKD_PCIN_PREG}	PCIN 入力から P レジスタ CLK	1.51/-0.15	1.80/-0.15	1.80/-0.15	ns
CE ピンのセットアップ タイムおよびホールド タイム					
T _{DSPDCK_{CEA;CEB}_{AREG;BREG}} / T _{DSPCKD_{CEA;CEB}_{AREG;BREG}}	{CEA, CEB} 入力から {A, B} レジスタ CLK	0.42/0.08	0.52/0.11	0.52/0.11	ns
T _{DSPDCK_CEC_CREG} /T _{DSPCKD_CEC_CREG}	CEC 入力から C レジスタ CLK	0.34/0.11	0.42/0.13	0.42/0.13	ns
T _{DSPDCK_CED_DREG} /T _{DSPCKD_CED_DREG}	CED 入力から D レジスタ CLK	0.43/-0.03	0.52/-0.03	0.52/-0.03	ns
T _{DSPDCK_CEM_MREG} /T _{DSPCKD_CEM_MREG}	CEM 入力から M レジスタ CLK	0.21/0.20	0.27/0.23	0.27/0.23	ns
T _{DSPDCK_CEP_PREG} /T _{DSPCKD_CEP_PREG}	CEP 入力から P レジスタ CLK	0.43/0.01	0.53/0.01	0.53/0.01	ns
RST ピンのセットアップ タイムおよびホールド タイム					
T _{DSPDCK_{RSTA;RSTB}_{AREG;BREG}} / T _{DSPCKD_{RSTA;RSTB}_{AREG;BREG}}	{RSTA, RSTB} 入力から {A, B} レジスタ CLK	0.46/0.13	0.55/0.15	0.55/0.15	ns
T _{DSPDCK_RSTC_CREG} /T _{DSPCKD_RSTC_CREG}	RSTC 入力から C レジスタ CLK	0.08/0.11	0.09/0.12	0.09/0.12	ns
T _{DSPDCK_RSTD_DREG} /T _{DSPCKD_RSTD_DREG}	RSTD 入力から D レジスタ CLK	0.50/0.08	0.59/0.09	0.59/0.09	ns
T _{DSPDCK_RSTM_MREG} /T _{DSPCKD_RSTM_MREG}	RSTM 入力から M レジスタ CLK	0.23/0.24	0.27/0.28	0.27/0.28	ns
T _{DSPDCK_RSTP_PREG} /T _{DSPCKD_RSTP_PREG}	RSTP 入力から P レジスタ CLK	0.30/0.01	0.35/0.01	0.35/0.01	ns
入力ピンから出力ピンまでの組み合わせ遅延					
T _{DSPDO_A_CARRYOUT_MULT}	A 入力から CARRYOUT 出力 (乗算器を使用)	4.35	5.18	5.18	ns

表 31: DSP48E1 のスイッチ特性 (続き)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{DSPDO_D_P_MULT}	D 入力から P 出力 (乗算器を使用)	4.26	5.07	5.07	ns
T _{DSPDO_B_P}	B 入力から P 出力 (乗算器は未使用)	1.75	2.08	2.08	ns
T _{DSPDO_C_P}	C 入力から P 出力	1.53	1.82	1.82	ns
入力ピンからカスケード接続された出力ピンまでの組み合わせ遅延					
T _{DSPDO_{A,B}_{ACOUT,BCOUT}}	{A, B} 入力から {ACOUT, BCOUT} 出力	0.63	0.74	0.74	ns
T _{DSPDO_{A,B}_{CARRYCASCOUT_MULT}}	{A, B} 入力から CARRYCASCOUT 出力 (乗算器を使用)	4.65	5.54	5.54	ns
T _{DSPDO_D_CARRYCASCOUT_MULT}	D 入力から CARRYCASCOUT 出力 (乗算器を使用)	4.54	5.40	5.40	ns
T _{DSPDO_{A,B}_{CARRYCASCOUT}}	{A, B} 入力から CARRYCASCOUT 出力 (乗算器は未使用)	2.03	2.41	2.41	ns
T _{DSPDO_C_CARRYCASCOUT}	C 入力から CARRYCASCOUT 出力	1.81	2.15	2.15	ns
カスケード接続された入力ピンからすべての出力ピンまでの組み合わせ遅延					
T _{DSPDO_ACIN_P_MULT}	ACIN 入力から P 出力 (乗算器を使用)	4.19	5.00	5.00	ns
T _{DSPDO_ACIN_P}	ACIN 入力から P 出力 (乗算器は未使用)	1.57	1.88	1.88	ns
T _{DSPDO_ACIN_ACOUT}	ACIN 入力から ACOUT 出力までの遅延	0.44	0.53	0.53	ns
T _{DSPDO_ACIN_CARRYCASCOUT_MULT}	ACIN 入力から CARRYCASCOUT 出力 (乗算器を使用)	4.47	5.33	5.33	ns
T _{DSPDO_ACIN_CARRYCASCOUT}	ACIN 入力から CARRYCASCOUT 出力 (乗算器は未使用)	1.85	2.21	2.21	ns
T _{DSPDO_PCIN_P}	PCIN 入力から P 出力	1.28	1.52	1.52	ns
T _{DSPDO_PCIN_CARRYCASCOUT}	PCIN 入力から CARRYCASCOUT 出力	1.56	1.85	1.85	ns
出力レジスタ クロックから出力ピンまでの Clock-to-Out					
T _{DSPCKO_P_PREG}	CLK PREG から P 出力	0.37	0.44	0.44	ns
T _{DSPCKO_CARRYCASCOUT_PREG}	CLK PREG から CARRYCASCOUT 出力	0.59	0.69	0.69	ns
パイプライン レジスタ クロックから出力ピンまでの Clock-to-Output					
T _{DSPCKO_P_MREG}	CLK MREG から P 出力	1.93	2.31	2.31	ns
T _{DSPCKO_CARRYCASCOUT_MREG}	CLK MREG から CARRYCASCOUT 出力	2.21	2.64	2.64	ns
T _{DSPCKO_P_ADREG_MULT}	CLK ADREG 入力から P 出力 (乗算器を使用)	3.10	3.69	3.69	ns
T _{DSPCKO_CARRYCASCOUT_ADREG_MULT}	CLK ADREG 入力から CARRYCASCOUT 出力 (乗算器を使用)	3.38	4.02	4.02	ns
入力レジスタ クロックから出力ピンまでの Clock-to-Output					
T _{DSPCKO_P_AREG_MULT}	CLK AREG 入力から P 出力 (乗算器を使用)	4.51	5.37	5.37	ns
T _{DSPCKO_P_BREG}	CLK BREG 入力から P 出力 (乗算器は未使用)	1.87	2.22	2.22	ns
T _{DSPCKO_P_CREG}	CLK CREG 入力から P 出力 (乗算器は未使用)	1.93	2.30	2.30	ns
T _{DSPCKO_P_DREG_MULT}	CLK DREG 入力から P 出力 (乗算器を使用)	4.48	5.32	5.32	ns
入力レジスタ クロックからカスケード接続された出力ピンまでの Clock-to-Output					

表 31: DSP48E1 のスイッチ特性 (続き)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{DSPCKO_{ACOUT; BCOUT}_{AREG; BREG}}	CLK (ACOUT、BCOUT) 入力から {A、B} レジスタ出力	0.73	0.87	0.87	ns
T _{DSPCKO_CARRYCASCOUT_{AREG; BREG}_MULT}	CLK (AREG、BREG) から CARRYCASCOUT 出力 (乗算器を使用)	4.79	5.70	5.70	ns
T _{DSPCKO_CARRYCASCOUT_BREG}	CLK BREG 入力から CARRYCASCOUT 出力 (乗算器は未使用)	2.15	2.55	2.55	ns
T _{DSPCKO_CARRYCASCOUT_DREG_MULT}	CLK DREG 入力から CARRYCASCOUT 出力 (乗算器を使用)	4.76	5.65	5.65	ns
T _{DSPCKO_CARRYCASCOUT_CREG}	CLK CREG から CARRYCASCOUT 出力	2.21	2.63	2.63	ns
最大周波数					
F _{MAX}	すべてのレジスタを使用	550.66	464.25	464.25	MHz
F _{MAX_PATDET}	パターン検出器を使用	465.77	392.93	392.93	MHz
F _{MAX_MULT_NOMREG}	2つのレジスタ付き乗算器 (MREG なし)	305.62	257.47	257.47	MHz
F _{MAX_MULT_NOMREG_PATDET}	2つのレジスタ付き乗算器 (MREG なし、パターン検出あり)	277.62	233.92	233.92	MHz
F _{MAX_PREADD_MULT_NOADREG}	ADREG なし	346.26	290.44	290.44	MHz
F _{MAX_PREADD_MULT_NOADREG_PATDET}	ADREG なし (パターン検出あり)	346.26	290.44	290.44	MHz
F _{MAX_NOPIPELINEREG}	パイプラインレジスタなし (MREG、ADREG)	227.01	190.69	190.69	MHz
F _{MAX_NOPIPELINEREG_PATDET}	パイプラインレジスタなし (MREG、ADREG) (パターン検出あり)	211.15	177.43	177.43	MHz

クロック バッファおよびネットワーク

表 32: グローバル クロックのスイッチ特性 (BUFGCTRL を含む)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{BCCCK_CE} /T _{BCCCK_CE} ⁽¹⁾	CE ピンのセットアップ/ホールド	0.13/0.40	0.16/0.41	0.16/0.41	ns
T _{BCCCK_S} /T _{BCCCK_S} ⁽¹⁾	S ピンのセットアップ/ホールド	0.13/0.40	0.16/0.41	0.16/0.41	ns
T _{BCCCKO_O} ⁽²⁾	I0/I1 から O までの BUFGCTRL 遅延	0.09	0.10	0.10	ns
最大周波数					
F _{MAX_BUFG}	グローバル クロック ツリー (BUFG)	628.00	464.00	464.00	MHz

注記:

- T_{BCCCK_CE} および T_{BCCCK_S} は、クロックの切り替え時にグローバル クロックの動作でグリッチが発生しないようにするため、仕様を満たす必要があります。BUFGMUX プリミティブではグリッチが発生しないため、これらのパラメーターは適用されません。その他のグローバル クロックのセットアップおよびホールド タイムはオプションです。この要件を満たす必要があるのは、クロックの切り替え時にサイクルごとにデバイス動作をシミュレーションと一致させる必要がある場合のみです。
- T_{BGCKO_O} (I0 から O までの BUFG 遅延) の値は、T_{BCCCKO_O} の値と同じです。

表 33: 入力/出カクロックのスイッチ特性 (BUFIO)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{BIOCKO_O}	I から O までの Clock-to-Out 遅延	1.26	1.54	1.54	ns
最大周波数					
F _{MAX_BUFIO}	I/O クロック ツリー (BUFIO)	680.00	600.00	600.00	MHz

表 34: リージョナル クロック バッファのスイッチ特性 (BUFR)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{BRCKO_O}	I から O までの Clock-to-Out 遅延	0.76	0.99	0.99	ns
T _{BRCKO_O_BYP}	Divide Bypass 属性設定時の I から O までの Clock-to-Out 遅延	0.39	0.52	0.52	ns
T _{BRDO_O}	CLR から O までの伝搬遅延	0.85	1.09	1.09	ns
最大周波数					
F _{MAX_BUFR} ⁽¹⁾	リージョナル クロック ツリー (BUFR)	375.00	315.00	315.00	MHz

注記:

- BUFR への最大入力周波数は BUFR F_{MAX} 周波数です。

表 35: 水平クロック バッファのスイッチ特性 (BUFH)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{BHCKO_O}	I から O までの BUFH の遅延	0.11	0.13	0.13	ns
T _{BHCK_C} /T _{BHCK_CE}	CE ピンのセットアップ/ホールド	0.22/0.15	0.28/0.21	0.28/0.21	ns
最大周波数					
F _{MAX_BUFH}	水平クロック バッファ (BUFH)	628.00	464.00	464.00	MHz

表 36: デューティ サイクルのずれおよびクロック ツリーのスキュー

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
T _D CD_CLK	グローバルクロック ツリーのデューティ サイクルのずれ ⁽¹⁾	すべて	0.20	0.20	0.20	ns
T _{CK} SKEW	グローバルクロック ツリーのスキュー ⁽²⁾	XC7S6	0.05	0.06	0.06	ns
		XC7S15	0.05	0.06	0.06	ns
		XC7S25	0.26	0.26	0.26	ns
		XC7S50	0.26	0.26	0.26	ns
		XC7S75	0.33	0.36	0.36	ns
		XC7S100	0.33	0.36	0.36	ns
T _D CD_BUFIO	I/O クロック ツリーのデューティ サイクルのずれ	すべて	0.14	0.14	0.14	ns
T _{BUFI} OSKEW	1 クロック領域内での I/O クロック ツリー スキュー	すべて	0.03	0.03	0.03	ns
T _D CD_BUFRR	リージョナルクロック ツリーのデューティ サイクルのずれ	すべて	0.18	0.18	0.18	ns

注記:

- これらのパラメーターは、I/O フリップフロップで計測されるデューティ サイクルのずれのワースト ケースです。IBIS を使用すると、すべての I/O 規格の立ち上がり/立ち下がり時間が非対称であるために生じるデューティ サイクルのずれを計測できます。
- T_{CK}SKEW 値は、順次 I/O エlement 間で計測されるクロック ツリー スキューのワースト ケースです。I/O レジスタが近接し、入力がクロック ツリーの同じ分岐または近接する分岐にある場合は、クロック ツリー スキューが大幅に低減されます。特定のアプリケーションのクロック スキュー値を得るには、ザイリンクスのタイミング解析ツールを使用してください。

MMCM のスイッチ特性

表 37: MMCM のスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
MMCM_F _{INMAX}	最大入力クロック周波数	800.00	800.00	800.00	MHz
MMCM_F _{INMIN}	最小入力クロック周波数	10.00	10.00	10.00	MHz
MMCM_F _{INJITTER}	最大入力クロック周期ジッター	クロック入力周期の 20% 以内または最大 1ns			
MMCM_F _{INDUTY}	入力デューティ サイクル許容範囲: 10 ~ 49MHz	25	25	25	%
	入力デューティ サイクル許容範囲: 50 ~ 199MHz	30	30	30	%
	入力デューティ サイクル許容範囲: 200 ~ 399MHz	35	35	35	%
	入力デューティ サイクル許容範囲: 400 ~ 499MHz	40	40	40	%
	入力デューティ サイクル許容範囲: > 500MHz	45	45	45	%
MMCM_F _{MIN_PSCLK}	最小可変位相シフト クロック周波数	0.01	0.01	0.01	MHz
MMCM_F _{MAX_PSCLK}	最大可変位相シフト クロック周波数	500.00	450.00	450.00	MHz
MMCM_F _{VCOMIN}	最小 MMCM VCO 周波数	600.00	600.00	600.00	MHz
MMCM_F _{VCOMAX}	最大 MMCM VCO 周波数	1440.00	1200.00	1200.00	MHz
MMCM_F _{BANDWIDTH}	標準 Low MMCM 帯域幅 ⁽¹⁾	1.00	1.00	1.00	MHz
	標準 High MMCM 帯域幅 ⁽¹⁾	4.00	4.00	4.00	MHz
MMCM_T _{STATPHAOFFSET}	MMCM 出力のスタティック位相オフセット ⁽²⁾	0.12	0.12	0.12	ns
MMCM_T _{OUTJITTER}	MMCM 出力ジッター	注記 3			
MMCM_T _{OUTDUTY}	MMCM 出力クロックのデューティ サイクル精度 ⁽⁴⁾	0.20	0.20	0.20	ns
MMCM_T _{LOCKMAX}	MMCM 最大ロック時間	100.00	100.00	100.00	μs
MMCM_F _{OUTMAX}	MMCM 最大出力周波数	800.00	800.00	800.00	MHz
MMCM_F _{OUTMIN}	MMCM 最小出力周波数 ⁽⁵⁾⁽⁶⁾	4.69	4.69	4.69	MHz
MMCM_T _{EXTFDVAR}	外部クロック フィードバックの変動	クロック入力周期の 20% 以内または最大 1ns			
MMCM_RST _{MINPULSE}	最小リセット パルス幅	5.00	5.00	5.00	ns
MMCM_F _{PFDMAX}	PFD (位相周波数検出器) での最大周波数	500.00	450.00	450.00	MHz
MMCM_F _{PFDMIN}	PFD (位相周波数検出器) での最小周波数	10.00	10.00	10.00	MHz
MMCM_T _{FBDELAY}	フィードバック パスでの最大遅延	最大 3ns または CLKIN の 1 サイクル			
MMCM スイッチ特性のセットアップおよびホールド					
T _{MMCMDCK_PSEN} / T _{MMCMCKD_PSEN}	位相シフト イネーブルのセットアップ/ホールド	1.04/0.00	1.04/0.00	1.04/0.00	ns
T _{MMCMDCK_PSINCDEC} / T _{MMCMCKD_PSINCDEC}	位相シフト インクリメント/デクリメントの セットアップ/ホールド	1.04/0.00	1.04/0.00	1.04/0.00	ns
T _{MMCMCKO_PSDONE}	PSDONE の位相シフト Clock-to-Out	0.68	0.81	0.81	ns
DCLK 前後の MMCM の DRP (ダイナミック リコンフィギュレーション ポート)					
T _{MMCMDCK_DADDR} / T _{MMCMCKD_DADDR}	DADDR セットアップ/ホールド	1.40/0.15	1.63/0.15	1.63/0.15	ns、最小
T _{MMCMDCK_DI} / T _{MMCMCKD_DI}	DI セットアップ/ホールド	1.40/0.15	1.63/0.15	1.63/0.15	ns、最小

表 37: MMCM のスイッチ特性 (続き)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{MMCMCKD_DEN} / T _{MMCMCKD_DEN}	DEN セットアップ/ホールド	1.97/0.00	2.29/0.00	2.29/0.00	ns、最小
T _{MMCMCKD_DWE} / T _{MMCMCKD_DWE}	DWE セットアップ/ホールド	1.40/0.15	1.63/0.15	1.63/0.15	ns、最小
T _{MMCMCKO_DRDY}	DRDY の CLK-to-Out	0.72	0.99	0.99	ns、最大
F _{DCK}	DCLK の周波数	200.00	200.00	200.00	MHz、最大

注記:

- MMCM では通常の拡散スペクトラム入力クロックがフィルターされません。これは、通常これらの入力帯域幅フィルターの周波数よりもはるかに低い値のためです。
- スタティック オフセットは、同一の位相を持つ任意の MMCM 出力間で計測されています。
- このパラメータの値は、クロッキング ウィザード [参照 7] から取得できます。
- グローバル クロック バッファを含みます。
- デューティ サイクルが 50% の場合に F_{VCO}/128 として算出した値です。
- CLKOUT4_CASCADE = TRUE のとき、MMCM_F_{OUTMIN} は 0.036MHz です。

PLL のスイッチ仕様

表 38: PLL の仕様

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
PLL_F _{INMAX}	最大入力クロック周波数	800.00	800.00	800.00	MHz
PLL_F _{INMIN}	最小入力クロック周波数	19.00	19.00	19.00	MHz
PLL_F _{INJITTER}	最大入力クロック周期ジッター	クロック入力周期の 20% 以内または最大 1ns			
PLL_F _{INDUTY}	入力デューティ サイクル許容範囲: 19 ~ 49MHz	25	25	25	%
	入力デューティ サイクル許容範囲: 50 ~ 199MHz	30	30	30	%
	入力デューティ サイクル許容範囲: 200 ~ 399MHz	35	35	35	%
	入力デューティ サイクル許容範囲: 400 ~ 499MHz	40	40	40	%
	入力デューティ サイクル許容範囲: >500MHz	45	45	45	%
PLL_F _{VCOMIN}	最小 PLL VCO 周波数	800.00	800.00	800.00	MHz
PLL_F _{VCOMAX}	最大 PLL VCO 周波数	1866.00	1600.00	1600.00	MHz
PLL_F _{BANDWIDTH}	標準 Low PLL 帯域幅	1.00	1.00	1.00	MHz
	標準 High PLL 帯域幅 ⁽¹⁾	4.00	4.00	4.00	MHz
PLL_T _{STATPHAOFFSET}	PLL 出力のスタティック位相オフセット ⁽²⁾	0.12	0.12	0.12	ns
PLL_T _{OUTJITTER}	PLL 出力ジッター	注記 3			
PLL_T _{OUTDUTY}	PLL 出力クロックのデューティ サイクル精度 ⁽⁴⁾	0.20	0.20	0.20	ns
PLL_T _{LOCKMAX}	PLL 最大ロック時間	100.00	100.00	100.00	μs
PLL_F _{OUTMAX}	PLL 最大出力周波数	800.00	800.00	800.00	MHz
PLL_F _{OUTMIN}	PLL 最小出力周波数 ⁽⁵⁾	6.25	6.25	6.25	MHz

表 38: PLL の仕様

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
PLL_T _{EXTFDVAR}	外部クロック フィードバックの変動	クロック入力周期の 20% 以内または最大 1ns			
PLL_RST _{MINPULSE}	最小リセット パルス幅	5.00	5.00	5.00	ns
PLL_F _{PFDMAX}	PFD (位相周波数検出器) での最大周波数	500.00	450.00	450.00	MHz
PLL_F _{PFDMIN}	PFD (位相周波数検出器) での最小周波数	19.00	19.00	19.00	MHz
PLL_T _{FBDELAY}	フィードバックパスでの最大遅延	最大 3ns または CLKIN の 1 サイクル			
DCLK 前後の PLL の DRP (ダイナミックリコンフィギュレーションポート)					
T _{PLLDCK_DADDR} / T _{PLLCKD_DADDR}	D アドレスのセットアップおよびホールド	1.40/0.15	1.63/0.15	1.63/0.15	ns、最小
T _{PLLDCK_DI} / T _{PLLCKD_DI}	D 入力のセットアップおよびホールド	1.40/0.15	1.63/0.15	1.63/0.15	ns、最小
T _{PLLDCK_DEN} / T _{PLLCKD_DEN}	D イネーブルのセットアップおよびホールド	1.97/0.00	2.29/0.00	2.29/0.00	ns、最小
T _{PLLDCK_DWE} / T _{PLLCKD_DWE}	D ライト イネーブルのセットアップおよびホールド	1.40/0.15	1.63/0.15	1.63/0.15	ns、最小
T _{PLLCKO_DRDY}	DRDY の CLK-to-Out	0.72	0.99	0.99	ns、最大
F _{DCK}	DCLK の周波数	200.00	200.00	200.00	MHz、最大

注記:

- PLL では通常の拡散スペクトラム入力クロックがフィルターされません。これは、通常これらの入力が帯域幅フィルターの周波数よりもはるかに低い値のためです。
- スタティック オフセットは、同一の位相を持つ任意の PLL 出力間で計測されています。
- このパラメーターの値は、クロッキング ウィザード [参照 7] から取得できます。
- グローバル クロック バッファーを含みます。
- デューティ サイクルが 50% の場合に FVCO/128 として算出した値です。

デバイスの Pin-to-Pin 出力パラメーターのガイドライン

 表 39: CC (クロック兼用) クロック入力から出力までの遅延 (MMCM/PLL なし)、(クロック領域近辺)⁽¹⁾

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート = Fast、MMCM/PLL なし)						
T _{ICKOFF}	BUFG に最も近いピン/バンクの CC クロック入力と OUTFF 間 (MMCM/PLL なし)、(クロック領域近辺) ⁽²⁾	XC7S6	5.55	6.50	6.50	ns
		XC7S15	5.55	6.50	6.50	ns
		XC7S25	5.55	6.44	6.44	ns
		XC7S50	5.71	6.62	6.62	ns
		XC7S75	5.73	6.71	6.71	ns
		XC7S100	5.73	6.71	6.71	ns

注記:

- この表には、1つのグローバルクロック入力で、アクセス可能なカラムにある垂直クロックラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバルクロック ネットで駆動されている場合の値を示しています。
- 『7シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) [参照 3] の「ダイレベルでのバンク番号の概要」を参照してください。

 表 40: CC (クロック兼用) クロック入力から出力までの遅延 (MMCM/PLL なし)、(クロック領域から離れている)⁽¹⁾

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート = Fast、MMCM/PLL なし)						
T _{ICKOFFAR}	BUFG から最も離れたピン/バンクの CC クロック入力と OUTFF 間 (MMCM/PLL なし)、(クロック領域から離れている) ⁽²⁾	XC7S6	5.55	6.50	6.50	ns
		XC7S15	5.55	6.50	6.50	ns
		XC7S25	5.55	6.44	6.44	ns
		XC7S50	5.71	6.62	6.62	ns
		XC7S75	6.01	7.02	7.02	ns
		XC7S100	6.01	7.02	7.02	ns

注記:

- この表には、1つのグローバルクロック入力で、アクセス可能なカラムにある垂直クロックラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバルクロック ネットで駆動されている場合の値を示しています。
- 『7シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) [参照 3] の「ダイレベルでのバンク番号の概要」を参照してください。

表 41: CC (クロック兼用) クロック入力から出力までの遅延 (MMCM あり)⁽¹⁾

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、MMCM あり)						
T _{ICKOFMMCMCC}	CC クロック入力と OUTFF 間 (MMCM あり) ⁽²⁾	XC7S6	1.03	1.03	1.03	ns
		XC7S15	1.03	1.03	1.03	ns
		XC7S25	1.00	1.00	1.00	ns
		XC7S50	1.00	1.00	1.00	ns
		XC7S75	1.00	1.00	1.00	ns
		XC7S100	1.00	1.00	1.00	ns

注記:

- この表には、1つのグローバルクロック入力で、アクセス可能なカラムにある垂直クロックラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバルクロック ネットで駆動されている場合の値を示しています。
- MMCM 出力ジッターはタイミング算出に含まれています。

 表 42: CC (クロック兼用) クロック入力から出力までの遅延 (PLL あり)⁽¹⁾

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、PLL あり)						
T _{ICKOFPLLCC}	CC クロック入力と OUTFF 間 (PLL あり) ⁽²⁾	XC7S6	0.85	0.85	0.85	ns
		XC7S15	0.85	0.85	0.85	ns
		XC7S25	0.83	0.83	0.83	ns
		XC7S50	0.83	0.83	0.83	ns
		XC7S75	0.83	0.83	0.83	ns
		XC7S100	0.83	0.83	0.83	ns

注記:

- この表には、1つのグローバルクロック入力で、アクセス可能なカラムにある垂直クロックラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバルクロック ネットで駆動されている場合の値を示しています。
- PLL の出力ジッターはタイミング算出に含まれています。

表 43: BUFIO を使用する場合の Pin-to-Pin、Clock-to-Out

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、BUFIO あり)					
T _{ICKOFCS}	I/O クロックの Clock-to-Out	5.61	6.64	6.64	ns

デバイスの Pin-to-Pin 入力パラメーターのガイドライン

すべてのデバイスにおいて機能テストが完全に実施されています。特記のない限り、数値の単位はナノ秒です。

表 44: グローバル クロック入力のセットアップおよびホールド (MMCM/PLL なし、ZHOLD_DELAY あり、HR I/O バンク)

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
SSTL15 規格における、グローバル クロック入力信号に対する入力セットアップ/ホールド タイム ⁽¹⁾						
T _{PSFD} /T _{PHFD}	全体遅延 (レガシ遅延またはデフォルト遅延) グローバル クロック入力および IFF ⁽²⁾ (MMCM/PLL なし、ZHOLD_DELAY あり、HR I/O バンク)	XC7S6	2.76/-0.43	3.17/-0.43	3.17/-0.43	ns
		XC7S15	2.76/-0.43	3.17/-0.43	3.17/-0.43	ns
		XC7S25	2.66/-0.41	3.11/-0.41	3.11/-0.41	ns
		XC7S50	2.66/-0.41	3.11/-0.41	3.11/-0.41	ns
		XC7S75	2.91/-0.37	3.36/-0.37	3.36/-0.37	ns
		XC7S100	2.91/-0.37	3.36/-0.37	3.36/-0.37	ns

注記:

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で温度が最も高く、電圧が最も低い条件下のグローバル クロック入力信号に対して、ホールド タイムは、プロセスが最も高速で温度が最も低く、電圧が最も高い条件下のグローバル クロック入力信号に対して計測されています。
2. IFF は入力フリップフロップまたはラッチです。

表 45: CC のクロック入力のセットアップおよびホールド (MMCM あり)

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
SSTL15 規格における、グローバル クロック入力信号に対する入力セットアップ/ホールド タイム ⁽¹⁾⁽²⁾						
T _{PSMMCMCC} / T _{PHMMCMCC}	遅延のない CC クロック入力と IFF ⁽³⁾ 間 (MMCM あり)	XC7S6	2.73/-0.59	3.27/-0.59	3.27/-0.59	ns
		XC7S15	2.73/-0.59	3.27/-0.59	3.27/-0.59	ns
		XC7S25	2.69/-0.61	3.21/-0.61	3.21/-0.61	ns
		XC7S50	2.80/-0.62	3.35/-0.62	3.35/-0.62	ns
		XC7S75	2.81/-0.62	3.36/-0.62	3.36/-0.62	ns
		XC7S100	2.81/-0.62	3.36/-0.62	3.36/-0.62	ns

注記:

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で温度が最も高く、電圧が最も低い条件下のグローバル クロック入力信号に対して、ホールド タイムは、プロセスが最も高速で温度が最も低く、電圧が最も高い条件下のグローバル クロック入力信号に対して計測されています。
2. 各信号規格の使用によって発生するデューティ サイクルのずれは、IBIS を使用して確認してください。
3. IFF は入力フリップフロップまたはラッチです。

表 46: CC のクロック入力の設定アップおよびホールド (PLL あり)

シンボル	説明	デバイス	V _{CCINT} 動作範囲、スピード グレード			単位
			1.0V		0.95V	
			-2	-1	-1L	
SSTL15 規格における、CC のクロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾⁽²⁾						
T _{PSPLLCC} / T _{PHPLLCC}	遅延のない CC クロック入力と IFF ⁽³⁾ 間 (PLL あり)	XC7S6	3.07/-0.17	3.69/-0.17	3.69/-0.17	ns
		XC7S15	3.07/-0.17	3.69/-0.17	3.69/-0.17	ns
		XC7S25	3.04/-0.19	3.63/-0.19	3.63/-0.19	ns
		XC7S50	3.15/-0.19	3.77/-0.19	3.77/-0.19	ns
		XC7S75	3.15/-0.19	3.78/-0.19	3.78/-0.19	ns
		XC7S100	3.15/-0.19	3.78/-0.19	3.78/-0.19	ns

注記:

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で温度が最も高く、電圧が最も低い条件下のグローバルクロック入力信号に対して、ホールド タイムは、プロセスが最も高速で温度が最も低く、電圧が最も高い条件下のグローバルクロック入力信号に対して計測されています。
2. 各信号規格の使用によって発生するデューティ サイクルのずれは、IBIS を使用して確認してください。
3. IFF は入力フリップフロップまたはラッチです。

表 47: BUFIO を使用する場合の転送クロック入力ピンに対するデータ入力セットアップおよびホールド タイム

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
SSTL15 規格における、BUFIO を使用する場合の転送クロック入力ピンに対する入力セットアップおよびホールド タイム					
T _{PSCS} /T _{PHCS}	I/O クロックのセットアップおよびホールド	-0.38/1.46	-0.38/1.73	-0.38/1.76	ns

表 48: サンプル ウィンドウ

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{SAMP}	レシーバー ピンでのサンプリング エラー ⁽¹⁾	0.64	0.70	0.70	ns
T _{SAMP_BUFIO}	BUFIO を使用する場合のレシーバー ピンでのサンプリング エラー ⁽²⁾	0.40	0.46	0.46	ns

注記:

1. このパラメーターは、さまざまな電圧、温度、プロセスでの Spartan-7 FPGA DDR 入力レジスタの総サンプリング エラー数を示します。特性評価では、DCM を使用して DDR 入力レジスタの動作エッジをキャプチャしています。計測には、次が含まれます。
 - CLK0 MMCM ジッター
 - MMCM 精度 (位相オフセット)
 - MMCM 位相シフト精度
 ただし、パッケージまたはクロック ツリー スキューは含まれません。
2. このパラメーターは、さまざまな電圧、温度、プロセスでの Spartan-7 FPGA DDR 入力レジスタの総サンプリング エラー数を示します。特性評価では、BUFIO クロック ネットワークおよび IDELAY を使用して DDR 入力レジスタの動作エッジをキャプチャしています。ただし、パッケージまたはクロック ツリー スキューは含まれません。

その他のパッケージパラメーターのガイドライン

ここでは、Spartan-7 FPGA のクロック トランスミッターおよびレシーバーにおけるデータ有効ウィンドウのタイミング算出に必要な値を示します。

表 49: パッケージ スキュー (1)

シンボル	説明	デバイス	パッケージ	値	単位
T _{PKGSKEW}	パッケージ スキュー (2)	XC7S6	CPGA196		ps
			CSGA225		ps
			FTGB196		ps
		XC7S15	CPGA196		ps
			CSGA225		ps
			FTGB196		ps
		XC7S25	CSGA225		ps
			CSGA324		ps
			FTGB196		ps
		XC7S50	CSGA324	80	ps
			FGGA484		ps
			FTGB196		ps
		XC7S75	FGGA484		ps
			FGGA676		ps
		XC7S100	FGGA484		ps
FGGA676			ps		

注記:

- これらのデバイスとパッケージの組み合わせに関するパッケージ遅延情報もあり、この情報を使用してパッケージのスキューを低減できます。
- これらの値はパッケージにある任意の 2 つの SelectIO リソース間のワースト ケース スキューで、ダイパッドからボールの最短遅延と最長遅延の差を示します。

XADC の仕様

『7 シリーズ FPGA データシート: 概要』(DS180) [参照 1] に、7 シリーズ XADC デュアル 12 ビット 1MSPS アナログ-デジタル コンバーターを含むデバイスがリストされています。

表 50: XADC の仕様

パラメーター	シンボル	コメント/条件	最小	標準	最大	単位
$V_{CCADC} = 1.8V \pm 5\%$ 、 $V_{REFP} = 1.25V$ 、 $V_{REFN} = 0V$ 、 $ADCCLK = 26MHz$ 、 $-55^{\circ}C \leq T_j \leq 125^{\circ}C$ 。 $T_j = +40^{\circ}C$ での標準値。						
ADC の精度⁽¹⁾						
精度			12	-	-	ビット
積分非直線性 ⁽²⁾	INL	$-40^{\circ}C \leq T_j \leq 100^{\circ}C$	-	-	± 2	LSB
		$-55^{\circ}C \leq T_j < -40^{\circ}C$ 、 $100^{\circ}C < T_j \leq 125^{\circ}C$	-	-	± 3	LSB
差動非直線性	DNL	コードの欠落なし、単調であることを保証	-	-	± 1	LSB
オフセット エラー	単極	$-40^{\circ}C \leq T_j \leq 100^{\circ}C$	-	-	± 8	LSB
		$-55^{\circ}C \leq T_j < -40^{\circ}C$ 、 $100^{\circ}C < T_j \leq 125^{\circ}C$	-	-	± 12	LSB
	双極	$-55^{\circ}C \leq T_j \leq 125^{\circ}C$	-	-	± 4	LSB
ゲイン エラー			-	-	± 0.5	%
オフセットの一致			-	-	4	LSB
ゲインの一致			-	-	0.3	%
サンプルレート			-	-	1	MS/s
信号対ノイズ比 ⁽²⁾	SNR	$F_{SAMPLE} = 500KS/s$ 、 $F_{IN} = 20kHz$	60	-	-	dB
RMS コード ノイズ		外部基準電圧 1.25V	-	-	2	LSB
		オンチップ基準電圧	-	3	-	LSB
高調波の総ひずみ ⁽²⁾	THD	$F_{SAMPLE} = 500KS/s$ 、 $F_{IN} = 20kHz$	70	-	-	dB
アナログ入力⁽³⁾						
ADC 入力範囲		単極動作	0	-	1	V
		双極動作	-0.5	-	+0.5	V
		単極同相範囲 (FS 入力)	0	-	+0.5	V
		双極同相範囲 (FS 入力)	+0.5	-	+0.6	V
外部チャネル入力の範囲 (最大)		これらの範囲内に設定されたアナログ チャネルは隣接するチャネルの計測値に影響を与えない	-0.1	-	V_{CCADC}	V
フル精度帯域幅	FRBW	補助チャネルのフル精度帯域幅	250	-	-	kHz
オンチップ センサー						
温度センサー エラー		$-40^{\circ}C \leq T_j \leq 100^{\circ}C$	-	-	± 4	$^{\circ}C$
		$-55^{\circ}C \leq T_j < -40^{\circ}C$ 、 $100^{\circ}C < T_j \leq 125^{\circ}C$	-	-	± 6	$^{\circ}C$
電源センサー エラー		$-40^{\circ}C \leq T_j \leq 100^{\circ}C$	-	-	± 1	%
		$-55^{\circ}C \leq T_j < -40^{\circ}C$ 、 $100^{\circ}C < T_j \leq 125^{\circ}C$	-	-	± 2	%
変換レート⁽⁴⁾						
変換時間: 連続	t_{CONV}	ADCCLK サイクル数	26	-	32	サイクル
変換時間: イベント	t_{CONV}	CLK サイクル数	-	-	21	サイクル
DRP クロック周波数	DCLK	DRP クロック周波数	8	-	250	MHz

表 50: XADC の仕様 (続き)

パラメーター	シンボル	コメント/条件	最小	標準	最大	単位
ADC クロック周波数	ADCCLK	DCLK からの派生クロック	1	–	26	MHz
DCLK デューティ サイクル			40	–	60	%
XADC の基準電圧⁽⁵⁾						
外部基準電圧	V _{REFP}	外部の基準電源電圧	1.20	1.25	1.30	V
オンチップ基準電圧		V _{REFP} ピンを AGND に接続、 $-40^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$	1.2375	1.25	1.2625	V
		VREFP ピンを AGND に接続、 $-55^{\circ}\text{C} \leq T_j < -40^{\circ}\text{C}$ 、 $100^{\circ}\text{C} < T_j \leq 125^{\circ}\text{C}$	1.225	1.25	1.275	V

注記:

- オフセット エラーおよびゲイン エラーは、XADC の自動ゲイン キャリブレーション機能を有効にすると解除されます。この機能が有効な場合に指定されている値です。
- ビストリーム オプションの XADCEnhancedLinearity が ON の場合に対してのみ指定されている値です。
- 詳細は、『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1MSPS アナログ-デジタル コンバーター ユーザー ガイド』(UG480) [参照 8] の第 2 章「アナログ-デジタル コンバーター (ADC)」を参照してください。
- 詳細は、『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1MSPS アナログ-デジタル コンバーター ユーザー ガイド』(UG480) [参照 8] の第 5 章「XADC のタイミング」を参照してください。
- 基準電圧が V_{REFP} = 1.25V および V_{REFN} = 0V の標準電圧以外の場合、理想的な伝達関数からのずれが生じます。また、内部センサーの温度や電源などの計測値にも影響を与えます。外付けレシオメトリック タイプのアプリケーションでは、電源電圧および基準電圧の変動は ±4% まで許容されます。

コンフィギュレーションのスイッチ特性

表 51: コンフィギュレーションのスイッチ特性

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
電源投入タイミング特性					
T _{PL} ⁽¹⁾	プログラム レイテンシ	5.00	5.00	5.00	ms、最大
T _{POR} ⁽²⁾	パワーオン リセット (立ち上がり時間 50ms)	10/50	10/50	10/50	ms、最小/最大
	パワーオン リセット (立ち上がり時間 1ms)	10/35	10/35	10/35	ms、最小/最大
T _{PROGRAM}	プログラム パルス幅	250.00	250.00	250.00	ns、最小
CCLK 出力 (マスター モード)					
T _{ICCK}	マスター CCLK 出力の遅延	150.00	150.00	150.00	ns、最小
T _{MCCKL}	マスター CCLK クロックの Low 時間のデューティ サイクル	40/60	40/60	40/60	%、最小/最大
T _{MCCKH}	マスター CCLK クロックの High 時間のデューティ サイクル	40/60	40/60	40/60	%、最小/最大
F _{MCCK}	マスター CCLK の周波数	100.00	100.00	100.00	MHz、最大
	x16 で AES 暗号化を使用した場合のマスター CCLK の周波数 ⁽²⁾	50.00	50.00	50.00	MHz、最大
F _{MCCK_START}	コンフィギュレーション開始時のマスター CCLK の周波数	3.00	3.00	3.00	MHz、標準
F _{MCCKTOL}	標準 CCLK に対する周波数偏差 (マスター モード)	±50	±50	±50	%、最大
CCLK 入力 (スレーブ モード)					
T _{SCCKL}	スレーブ CCLK クロックの最小 Low 時間	2.50	2.50	2.50	ns、最小
T _{SCCKH}	スレーブ CCLK クロックの最小 High 時間	2.50	2.50	2.50	ns、最小
F _{SCCK}	スレーブ CCLK の周波数	100.00	100.00	100.00	MHz、最大
EMCCLK 入力 (マスター モード)					
T _{EMCCKL}	外部マスター CCLK の Low 時間	2.50	2.50	2.50	ns、最小
T _{EMCCKH}	外部マスター CCLK の High 時間	2.50	2.50	2.50	ns、最小
F _{EMCCK}	外部マスター CCLK の周波数	100.00	100.00	100.00	MHz、最大
内部コンフィギュレーション アクセス ポート					
F _{ICAPCK}	内部コンフィギュレーション アクセス ポート (ICAPE2) のク ロック周波数	100.00	100.00	100.00	MHz、最大
マスター/スレーブ シリアル モード プログラム スイッチ					
T _{DCCK} /T _{CCKD}	D _{IN} セットアップ/ホールド	4.00/0.00	4.00/0.00	4.00/0.00	ns、最小
T _{CCO}	D _{OUT} の Clock-to-Out	8.00	8.00	8.00	ns、最大
SelectMAP モード プログラム スイッチ					
T _{SMDCCK} /T _{SM CCKD}	D[31:00] のセットアップ/ホールド	4.00/0.00	4.00/0.00	4.00/0.00	ns、最小
T _{SMCSCCK} / T _{SMCCKCS}	CSI_B のセットアップ/ホールド	4.00/0.00	4.00/0.00	4.00/0.00	ns、最小
T _{SMWCCK} / T _{SMCCKW}	RDWR_B のセットアップ/ホールド	10.00/0.00	10.00/0.00	10.00/0.00	ns、最小

表 51: コンフィギュレーションのスイッチ特性 (続き)

シンボル	説明	V _{CCINT} 動作範囲、スピード グレード			単位
		1.0V		0.95V	
		-2	-1	-1L	
T _{SMCKCSO}	CSO_B の Clock-to-Out (330Ω のプルアップ抵抗が必要)	7.00	7.00	7.00	ns、最大
T _{SMCO}	リードバックでの D[31:00] の Clock-to-Out	8.00	8.00	8.00	ns、最大
F _{RBCK}	リードバック周波数	100.00	100.00	100.00	MHz、最大
バウンダリスキャン ポートのタイミング仕様					
T _{TAPTCK} / T _{TCKTAP}	TMS および TDI のセットアップ/ホールド	3.00/2.00	3.00/2.00	3.00/2.00	ns、最小
T _{TCKTDO}	TCK 立ち下がリエッジから TDO 出力	7.00	7.00	7.00	ns、最大
F _{TCK}	TCK の周波数	66.00	66.00	66.00	MHz、最大
SPI フラッシュ マスター モード プログラム スイッチ					
T _{SPIDCC} / T _{SPICCD}	D[3:00] のセットアップ/ホールド	3.00/0.00	3.00/0.00	3.00/0.00	ns、最小
T _{SPICCM}	MOSI の Clock-to-Out	8.00	8.00	8.00	ns、最大
T _{SPICFC}	FCS_B の Clock-to-Out	8.00	8.00	8.00	ns、最大
OSERDES ポート					
T _{USRCCLKO}	STARTUPE2 USRCCLKO 入力から CCLK 出力	0.50/6.70	0.50/7.50	0.50/7.50	ns、最小/最大
F _{CFGMCLK}	STARTUPE2 CFGMCLK 出力周波数	65.00	65.00	65.00	MHz、標準
F _{CFGMCLKTOL}	STARTUPE2 CFGMCLK 出力周波数偏差	±50	±50	±50	%、最大
デバイス DNA アクセス ポート					
F _{DNACK}	DNA アクセス ポート (DNA_PORT)	100.00	100.00	100.00	MHz、最大

注記:

1. コンフィギュレーションでより長い遅延をサポートするには、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) [参照 9] に記載のデザイン ソリューションを使用してください。
2. 『7 シリーズ FPGA データシート: 概要』(DS180) [参照 1] に、ビットストリーム暗号化をサポートするデバイスがリストされています。

eFUSE プログラム条件

表 52 に、eFUSE 特有のプログラム条件を示します。詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) [参照 9] を参照してください。

表 52: eFUSE プログラム条件⁽¹⁾

シンボル	説明	最小	標準	最大	単位
I_{FS}	V_{CCAUX} 電源電流	–	–	115	mA
T_j	温度範囲	15	–	125	°C

注記:

1. eFUSE プログラム中は FPGA をコンフィギュレーションしないでください。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. 『7 シリーズ FPGA データシート: 概要』(DS180: [英語版](#)、[日本語版](#))
2. 『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471: [英語版](#)、[日本語版](#))
3. 『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475: [英語版](#)、[日本語版](#))
4. 『7 シリーズ FPGA PCB デザイン ガイド』(UG480: [英語版](#)、[日本語版](#))
5. Xilinx Power Estimator スプレッドシート ツール ([XPE](#))
6. 『Zynq-7000 AP SoC および 7 シリーズ デバイス メモリ インターフェイス ソリューション ユーザー ガイド』(UG586: [英語版](#)、[日本語版](#))
7. Vivado ソフトウェア ツールに含まれる [Clocking Wizard](#) を参照してください。
8. 『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1MSPS アナログ-デジタル コンバーター ユーザー ガイド』(UG480: [英語版](#)、[日本語版](#))
9. 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年4月7日	1.1	表 2 の注記 5 に 1.35V を追加。表 12 で、Vivado ツールバージョンを 2016.4 にアップデート。表 13 で、XC7S50 のすべてのスピードグレードを Advance から Preliminary に変更。表 15 で、SDR LVDS レシーバーおよび DDR LVDS レシーバーの説明からそれぞれ SFI-4.1 と SPI-4.2 を削除。表 25 で、T _{IDELAYRESOLUTION} の単位を ps から μs に変更。表 34 の注記 1 から BUFMR を削除。表 49 で、XC7S6、XC7S15、および XC7S25 の各デバイスについて TQGA144 を FTGB196 に変更、XC7S50 デバイスの FTGB196 パッケージを追加、CSGA324 パッケージの XC7S50 のパッケージスキュー値を追加。
2016年9月27日	1.0	初版

法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、japan.xilinx.com/legal.htm#tos で見られるザイリンクスの販売条件を参照して下さい。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

© Copyright 2016—2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。