

## 防衛グレード Zynq-7000Q All Programmable SoC の第 1 世代アーキテクチャ

防衛グレード Zynq®-7000Q ファミリーは、ザイリンクスの All Programmable SoC アーキテクチャで構成されています。この製品は、豊富な機能を備えたデュアルコア ARM® Cortex™-A9 ベースのプロセッシング システム (PS) とザイリンクスの 28nm プログラマブル ロジック (PL) を 1 つのデバイスに組み合わせたもので、航空宇宙や防衛など要件の厳しい環境化におかれるアプリケーション向けです。PS は ARM Cortex-A9 CPU を中核として、オンチップ メモリ、外部メモリ インターフェイス、幅広い周辺接続インターフェイスを備えています。

### プロセッシング システム (PS)

#### 防衛グレード Zynq-7000Q の特長

- 完全な拡張温度範囲でのテスト
- マスク セット制御
- 完全なリード (Pb) コンテンツ
- 高耐久性パッケージ (RB, RF)
- 長期的な生産/供給体制
- 偽造防止機能
- 4 世代目となる情報保証および改ざん対策サポート

#### デュアルコア ARM® Cortex™-A9 ベースのアプリケーション プロセッサ ユニット (APU)

- 各 CPU につき 2.5DMIPS/MHz
- CPU 周波数: 最大 800MHz
- コヒーレンスを維持したマルチプロセッサをサポート
- ARMv7-A アーキテクチャ
  - TrustZone® セキュリティ
  - Thumb®-2 命令セット
- Jazelle® RCT 実行環境アーキテクチャ
- NEON™ メディア処理エンジン
- 単精度および倍精度のベクター浮動小数点ユニット (VFPU)
- CoreSight™ およびプログラム トレース マクロセル (PTM)
- タイマーと割り込み
  - 3 つのウォッチドッグ タイマー
  - 1 つのグローバル タイマー
  - 2 つのトリプル タイマー カウンター

#### キャッシュ

- 32KB、レベル 1 で 4 ウェイ (連想度) セット アソシエイティブ方式の命令/データ キャッシュ (CPU ごとに独立)
- 512KB、レベル 2 で 8 ウェイ セット アソシエイティブ方式のキャッシュ (両方の CPU で共有)
- バイト パリティをサポート

#### オンチップ メモリ

- オンチップ ブート ROM
- 256KB オンチップ RAM (OCM)
- バイト パリティをサポート

#### 外部メモリ インターフェイス

- マルチプロトコル ダイナミック メモリ コントローラー
- DDR3/DDR3L/DDR2/LPDDR2 メモリへの 16 ビットまたは 32 ビット インターフェイス
- 16 ビット モードで ECC をサポート

- シングル ランクの 8 ビット、16 ビット、または 32 ビット幅のメモリで 1GB のアドレス空間
- スタティック メモリ インターフェイス
  - 8 ビットの SRAM データバス (最大 64MB をサポート)
  - パラレル NOR フラッシュをサポート
  - ONFI1.0 NAND フラッシュをサポート (1 ビット ECC)
  - 1 ビット SPI、2 ビット SPI、4 ビット SPI (クワッド SPI)、または 2 つのクワッド SPI (8 ビット) シリアル NOR フラッシュ

#### 8 チャンネル DMA コントローラー

- メモリ間、メモリからペリフェラル、ペリフェラルからメモリ、スキャッター/ギャザラのトランザクションをサポート

#### I/O ペリフェラルおよびインターフェイス

- IEEE802.3 および IEEE1588 rev. 2.0 をサポートする 2 つの 10/100/1000 トライモード イーサネット MAC ペリフェラル
  - スキャッター/ギャザラ DMA 機能
  - 1588 rev. 2 PTP フレームを認識
  - GMII、RGMII、SGMII インターフェイス
- 最大 12 のエンドポイントをサポートする 2 つの USB 2.0 OTG ペリフェラル
  - USB 2.0 準拠のデバイス IP コア
  - On-the-Go (OTG)、高速、最高速、低速モードをサポート
  - Intel EHCI 準拠の USB ホスト
  - 外部 PHY の接続用の 8 ビット ULPI インターフェイス
- CAN 2.0B に完全準拠した 2 つの CAN バス インターフェイス
  - CAN 2.0A、CAN 2.0B、ISO 118981-1 規格に準拠
  - 外部 PHY インターフェイス
- SD/SDIO 2.0/MMC3.31 に準拠した 2 つのコントローラー
- 3 つのペリフェラル チップ セレクトを備えた 2 つの全二重 SPI ポート
- 2 つの高速 UART (最大 1Mb/s)
- 2 つのマスターおよびスレーブ I2C インターフェイス
- 4 つの 32 ビット バンクを備えた GPIO。そのうち 54 ビット (1 個のバンクから 32 ビット、別のバンクから 22 ビット) は PS I/O と使用可能で、最大 64 ビット (32 ビット バンク 2 個) を PL に接続可能
- 54 の多目的 I/O (MIO) によりペリフェラルピンを柔軟に割り当て

#### インターコネクト

- PS 内部および PS と PL 間を広帯域接続
- ARM AMBA® AXI ベース
- タイミングの厳しいマスターに対して QoS をサポートし、レイテンシおよび帯域幅を制御

© Copyright 2012–2015 Xilinx, Inc., Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. AMBA, AMBA Designer, ARM, ARM1176JZ-S, CoreSight, Cortex, and PrimeCell are trademarks of ARM in the EU and other countries. PCI Express is a trademark of PCI-SIG and used under license. All other trademarks are the property of their respective owners.

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

## プログラマブル ロジック (PL)

### コンフィギュラブル ロジック ブロック (CLB)

- ルックアップ テーブル (LUT)
- フリップフロップ
- カスケード 接続可能な加算器

### 36Kb ブロック RAM

- 完全なデュアル ポート
- 最大 72 ビット幅
- 2つの 18Kb ブロック RAM として構成可能

### DSP ブロック

- 18 × 25 符号付き乗算
- 48 ビット加算/累算器
- 25 ビット前置加算器

### プログラマブル I/O ブロック

- LVCMOS、LVDS、SSTL をサポート
- 1.2V ~ 3.3V I/O
- プログラム可能な I/O 遅延および SerDes

### JTAG バウンダリスキャン

- IEEE1149.1 準拠のテスト インターフェイス

### PCI Express ブロック

- ルート コンプレックスまたはエンドポイントとしての構成をサポート
- Gen2 のレートまでサポート
- 最大 8 レーンをサポート

### シリアル トランシーバー

- 最大 16 個のレシーバーとトランスミッター
- 最大 10.3125Gb/s のデータ レートをサポート

### 2つの 12 ビット A/D コンバーター (ADC)

- オンチップの電圧および温度検出
- 最大 17 チャンネルの外部差動入力
- 最大 1MSPS の変換レート

機能一覧

表 1: 防衛グレード Zynq-7000Q All Programmable SoC

デバイス名		Z-7020	Z-7030	Z-7045	Z-7100
デバイス番号		XQ7Z020	XQ7Z030	XQ7Z045	XQ7Z100
プロセッシングシステム	プロセッサコア	CoreSight™ を搭載したデュアル ARM® Cortex™-A9 MPCore™			
	プロセッサの拡張機能	各プロセッサに NEON™ および単精度/倍精度浮動小数点ユニット			
	最大周波数	667MHz (-1); 766MHz (-2)	667MHz (-1); 800MHz (-2)	667MHz (-1); 800MHz (-2)	667MHz (-1); 800MHz (-2)
	L1 キャッシュ	各プロセッサに 32KB 命令キャッシュと 32KB データ キャッシュ			
	L2 キャッシュ	512KB			
	オンチップ メモリ	256KB			
	外部メモリ サポート	DDR3, DDR3L, DDR2, LPDDR2			
	外部スタティック メモリ サポート	クワッド SPI x2, NAND, NOR			
	DMA チャンネル	8 (4 つはプログラマブル ロジック専用)			
	ペリフェラル	UART x2, CAN 2.0B x2, I2C x2, SPI x2, 32b GPIO x4			
	DMA 内蔵ペリフェラル	USB 2.0 (OTG) x2, トライモード ギガビット イーサネット x2, SD/SDIO x2			
	セキュリティ <sup>(1)</sup>	RSA 認証、256 ビットの AES および SHA 複合/認証によるセキュア ブート			
	プロセッシングシステムとプログラマブル ロジックのインターフェイスポート (プライマリ インターフェイスおよび割り込みのみ)		AXI 32b マスター x2, AXI 32b スレーブ x2 AXI 64b/32b メモリ x4 AXI 64b ACP 16 個の割り込み		
プログラマブルロジック	相当するザイリンクス 7 シリーズプログラマブル ロジック	Artix®-7 FPGA		Kintex®-7 FPGA	
	プログラマブル ロジック セル (ASIC ゲート相当数) <sup>(2)</sup>	85K ロジックセル (~1.3M)	125K ロジックセル (~1.9M)	350K ロジックセル (~5.2M)	444K ロジックセル (~6.6M)
	ルックアップ テーブル (LUT)	53,200	78,600	218,600	277,400
	フリップフロップ	106,400	157,200	437,200	554,800
	エクステンシブル ブロック RAM (36Kb ブロックの数)	560KB (140)	1,060KB (265)	2,180KB (545)	3,020KB (755)
	プログラマブル DSP スライス (18 x 25 MACC)	220	400	900	2,020
	DSP の最大処理速度 (対称 FIR)	286GMAC	520GMAC	1,170GMAC	2,622GMAC
	PCI Express® (ルート コンプレックスまたはエンドポイント)	—	Gen2 x4	Gen2 x8	Gen2 x8
	アナログ ミックスド シグナル (AMS)/XADC	最大 17 の差動入力を備えた 12 ビット 1MSPS ADC x 2			
	セキュリティ <sup>(1)</sup>	AES および SHA 256b によるブート コードおよび PL のコンフィギュレーション、復号、認証			

注記:

1. セキュリティはプロセッシングシステムとプログラマブルロジックで共有します。
2. ASICゲート相当数は、インプリメントするファンクションによって異なります。ここでは、1ロジックセル=約15ASICゲートとして算出しています。

表 2: デバイスとパッケージの対応表: I/O と GTX トランシーバーの最大数

パッケージ	CL400			CL484			RB484			RF676 RFG676 <sup>(1)</sup>				RF900				RF1156				
サイズ	17 x 17mm			19 x 19mm			23 x 23mm			27 x 27mm				31 x 31mm				35 x 35mm				
ボールピッチ	0.8mm			0.8mm			1.0mm			1.0mm				1.0mm				1.0mm				
トランシーバー速度 (最大)							6.6Gb/s			10.3125Gb/s				10.3125Gb/s				10.3125Gb/s				
デバイス	PS I/O	SelectIO		PS I/O	SelectIO		PS I/O	GTX	SelectIO		PS I/O	GTX	SelectIO		PS I/O	GTX	SelectIO		PS I/O	GTX	SelectIO	
		HR <sup>(2)</sup>	HP <sup>(3)</sup>		HR <sup>(2)</sup>	HP <sup>(3)</sup>			HR <sup>(2)</sup>	HP <sup>(3)</sup>			HR <sup>(2)</sup>	HP <sup>(3)</sup>			HR <sup>(2)</sup>	HP <sup>(3)</sup>			HR <sup>(2)</sup>	HP <sup>(3)</sup>
XQ7Z020	130	125	—	130	200	—																
XQ7Z030							130	4	100	63	130	4	100	150								
XQ7Z045											130	8	100	150	130	16	212	150				
XQ7Z100															130	16	212	150	130	16	250	150

注記:

1. RFG676 鉛フリーパッケージ製品は、XQ7Z045 デバイスの -1Q および -1LQ スピードグレードで提供されています。
2. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
3. HP は High Performance I/O で、1.2V から 1.8V の I/O 電圧をサポートします。

## 防衛グレード Zynq-7000Q ファミリの説明

防衛グレード Zynq-7000Q ファミリは FPGA の柔軟性とスケーラビリティ、そして ASIC や ASSP レベルの性能、消費電力、使いやすさを兼ね備えた製品です。防衛グレード Zynq-7000Q All Programmable SoC ファミリには幅広いデバイスが用意されており、業界標準ツールを使用して 1 つのプラットフォームで、コスト重視から高性能なものまで各種アプリケーションを設計できます。各デバイスに搭載されている PS は防衛グレード Zynq-7000Q ファミリ全体で共通ですが、PL と I/O リソースはデバイスによって異なります。このため、防衛グレード Zynq-7000Q All Programmable SoC は要件の厳しい次のような幅広いアプリケーションに対応できます。

- ディスプレイ
- 拡張および合成ビジョン
- 照準および追跡
- 画像の融合および処理
- レーダーおよびセンサー処理
- セキュア通信
- マルチスペクトル画像
- サラウンド ビュー

防衛グレード Zynq-7000Q アーキテクチャでは、カスタム ロジックを PL に、カスタム ソフトウェアを PS にそれぞれインプリメントでき、差別化を図った独自のシステム機能が実現可能です。PS と PL が統合されているため、ASSP と FPGA などを組み合わせた 2 チップソリューションのように I/O 帯域幅、レイテンシ、消費電力に制約がなく、はるかに高い性能が達成されます。

ザイリンクスは、防衛グレード Zynq-7000Q ファミリ向けに多数のソフト IP を提供しています。PS および PL 内のペリフェラルには、スタンドアロンおよび Linux のデバイスドライバが使用可能です。Vivado® Design Suite を使用することで、ソフトウェア エンジニア、ハードウェア エンジニア、システム エンジニアを問わず短期間で製品開発が完了します。また、ARM ベースの PS を採用しているため、ザイリンクスの既存の PL エコシステムに加え、幅広いサードパーティから提供されるツールや IP を利用できます。

アプリケーション プロセッサを統合したことで、Linux など高レベルのオペレーティング システムにも対応します。防衛グレード Zynq-7000Q ファミリでは、その他に Cortex-A9 プロセッサで使用できる標準的なオペレーティング システムを使用できます。

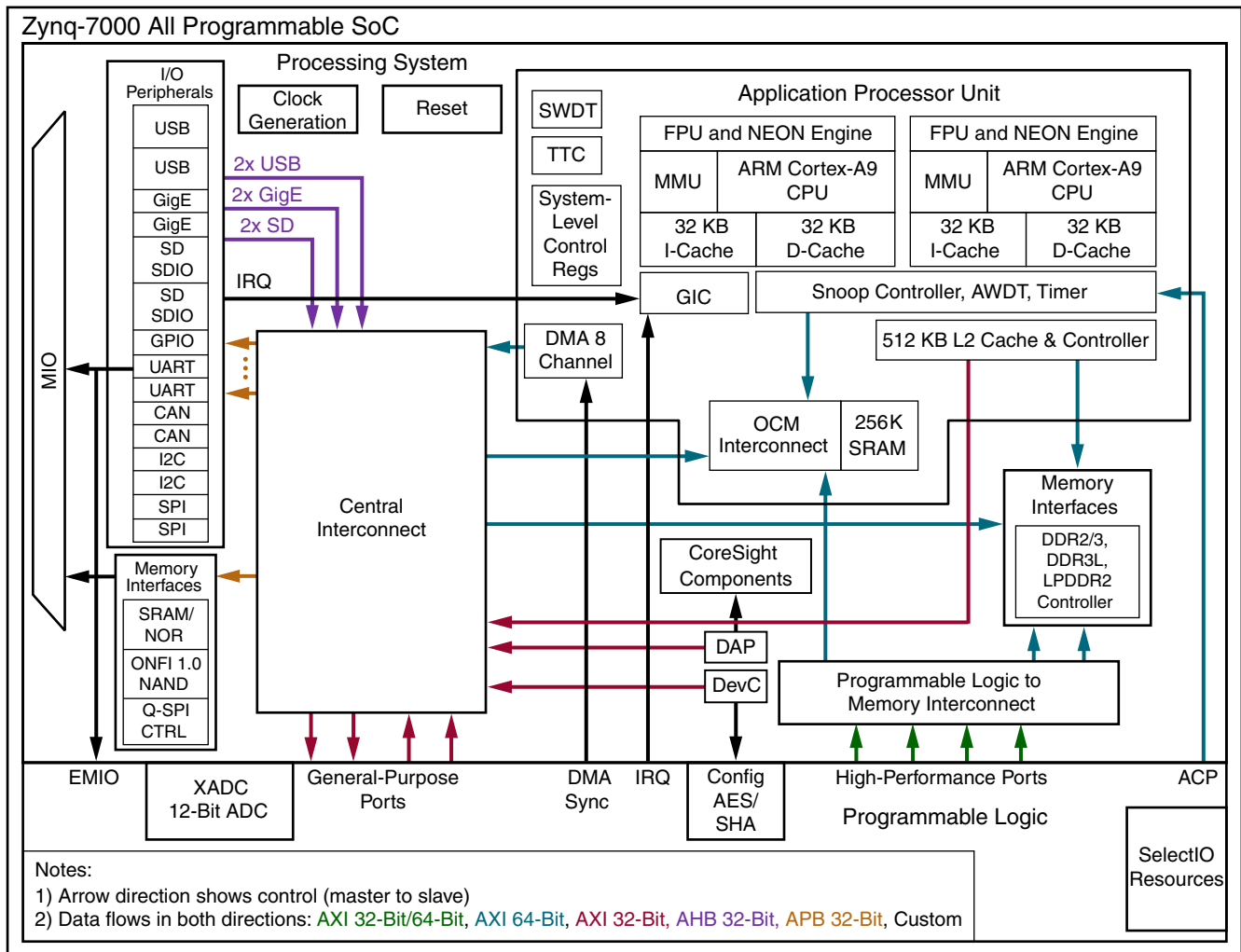
PS と PL は別々の電源ドメインに属しているため、必要に応じて PL のみ電源を遮断して消費電力を抑えることができます。電源投入時は必ず PS 内のプロセッサから起動し、PL はソフトウェア主導のアプローチでコンフィギュレーションされます。PL コンフィギュレーションは CPU で動作するソフトウェアによって管理されるため、ASSP と同じような方式で起動します。

## プロセッシング システム (PS) の説明

PS は主に 4 つのブロックで構成されています (図 1)。

- アプリケーションプロセッサ ユニット (APU)
- メモリ インターフェイス
- I/O ペリフェラル (IOP)
- インターコネクト

図 1 に、Zynq-7000 All Programmable SoC のファンクションブロックを示します。各ファンクションブロックの詳細は、『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585) を参照してください。



DS196\_01\_092713

図 1 : Zynq-7000 All Programmable SoC の全体図

## アプリケーション プロセッサ ユニット (APU)

APU の主な特長は次のとおりです。

- ARM Cortex-A9 MPCore が 2 個含まれており、各コアの機能は次のとおりです。
  - 2.5DMIPS/MHz
  - 動作周波数範囲
    - Z-7020 (ワイヤボンド): 最大 667MHz (-1); 766MHz (-2)
    - Z-7030/Z-7045 (フリップチップ): 667MHz (-1); 800MHz (-2)
    - Z-7100 (フリップチップ): 667MHz (-1); 800MHz (-2)
  - 動作モード: シングル プロセッサ、対称デュアル プロセッサ、非対称デュアル プロセッサ
  - 各コアで最大 2.0MFLOPS/MHz の単精度および倍精度浮動小数点演算
  - NEON メディア処理エンジンで SIMD をサポート
  - Thumb®-2 によるコード圧縮
  - レベル 1 キャッシュ (命令とデータが独立、各 32KB)
    - 4 ウェイのセット アソシエイティブ方式
    - 読み出し/書き込みキャッシュ ミスを最大 4 つまで許容するノンブロッキング キャッシュ システム
  - メモリ管理装置 (MMU) を内蔵
  - TrustZone® によるセキュア モード動作
- アクセラレータ コヒーレンシ ポート (ACP) インターフェイスによって、PL から CPU メモリ空間への整合が取れたアクセスが可能
- 統合されたレベル 2 キャッシュ (512KB)
  - 8 ウェイのセット アソシエイティブ方式
  - TrustZone によるセキュア モード動作
- デュアル ポートのオンチップ RAM (256KB)
  - CPU およびプログラマブル ロジック (PL) からアクセス可能
  - CPU からのアクセスが低レイテンシ
- 8 チャンネル DMA
  - 複数の転送タイプをサポート: メモリ間、メモリからペリフェラル、ペリフェラルからメモリ、スキャッター ギャザー
  - 64 ビット AXI インターフェイスによる高スループット DMA 転送が可能
  - 4 チャンネルは PL 専用
  - TrustZone によるセキュア モード動作
  - 2 つのレジスタ アクセス インターフェイスによって、セキュア アクセスと非セキュア アクセスの分離が実現
- 割り込みおよびタイマー
  - グローバル割り込みコントローラー (GIC)
  - 3 つのウォッチドック タイマー (WDT) (各 CPU に 1 つずつ、システム用に 1 つ)
  - 2 つのトリプル タイマー/カウンター (TTC)
- CoreSight による Cortex-A9 のデバッグおよびトレースをサポート
  - 命令およびトレース用のプログラム トレース マクロセル (PTM)
  - クロストリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能

## メモリ インターフェイス

メモリ インターフェイスユニットには、ダイナミック メモリ コントローラーとスタティック メモリ インターフェイス モジュールがあります。ダイナミック メモリ コントローラーは DDR3、DDR3L、DDR2、LPDDR2 メモリをサポートします。スタティック メモリ コントローラーは NAND フラッシュ インターフェイス、クワッド SPI フラッシュ インターフェイス、パラレル データ バス、パラレル NOR フラッシュ インターフェイスをサポートします。

## ダイナミック メモリ インターフェイス

マルチプロトコルの DDR メモリ コントローラーは、8 ビット、16 ビット、または 32 ビット DRAM メモリのシングル ランク コンフィギュレーションを使用し、1GB アドレス空間へ 16 ビットまたは 32 ビット幅でアクセスするように設定できます。16 ビットのバス アクセス モードでは ECC がサポートされています。PS には、DDR コントローラーおよび専用 I/O などを含む、それに関連する PHY が統合されています。DDR3 は最大 1066Mb/s までサポートします。

DDR メモリ コントローラーには複数のポートが接続されているため、プロセッシング システムとプログラマブル ロジックが同じメモリへのアクセスを共有できます。この際、DDR コントローラーは、次に示す 4 つの AXI スレーブ ポートを使用します。



- L2 キャッシュ コントローラーを介する ARM CPU 専用の 64 ビット幅のポートが ×1、これは低レイテンシとして設定可能
- PL アクセス用の 64 ビット幅ポート ×2
- 中央のインターコネクトを介するほかの AXI マスターすべてで共有される 64 ビットの AXI ポート ×1

## スタティック メモリ インターフェイス

スタティック メモリ インターフェイスは外部のスタティック メモリをサポートします。

- 8 ビットの SRAM データ バス (最大 64MB をサポート)
- 8 ビットのパラレル NOR フラッシュ (最大 64MB をサポート)
- 1 ビット ECC の ONFi 1.0 NAND フラッシュをサポート
- 1 ビット SPI、2 ビット SPI、4 ビット SPI (クワッド SPI)、または 2 つのクワッド SPI (8 ビット) シリアル NOR フラッシュ

## I/O ペリフェラル (IOP)

IOP ユニットには、データ通信ペリフェラルが含まれます。IOP の主な特長は次のとおりです。

- IEEE802.3 および IEEE1588 rev 2.0 をサポートする 2 つの 10/100/1000 トライモード イーサネット MAC ペリフェラル
  - スキャッター/ギャザー DMA 機能
  - 1588 rev. 2 PTP フレームを認識
  - 外部の PHY インターフェイスをサポート
- 最大 12 のエンドポイントをサポートする 2 つの USB 2.0 OTG ペリフェラル
  - 高速モードおよび最高速モードをホスト、デバイス、On-The-Go コンフィギュレーションでサポート
  - USB 2.0 完全準拠のホスト側 IP コアおよびデバイス側 IP コア
  - 32 ビットの AHB DMA マスターおよび AHB スレーブ インターフェイスを使用
  - 外部 PHY との接続用に 8 ビットの ULPI を提供
  - Intel EHCI 準拠の USB ホスト コントローラーのレジスタおよびデータ構造
- CAN 2.0B に完全準拠した 2 つの CAN バス インターフェイス コントローラー
  - BOSCH GmbH が制定した CAN 2.0-B 規格
  - ISO 118981-1
  - 1 つの外部 PHY インターフェイス
- SD/SDIO 2.0 準拠の 2 つの SD/SDIO コントローラー (DMA 内蔵)
- 3 つのペリフェラル チップ セレクトを備えた 2 つの全二重 SPI ポート
- 2 つの UART
- 2 つのマスターおよびスレーブ I2C インターフェイス
- 最大 118 GPIO ビット

TrustZone システムを使用する場合、2 つのイーサネット、2 つの SDIO、および 2 つの USB ポート (すべてマスター デバイス) をセキュアあるいは非セキュアとして設定できます。

IOP ペリフェラルは、共有リソースである 54 の専用多目的 I/O (MIO) ピンを介して外部デバイスと通信します。各ペリフェラルは、あらかじめ定義されたピングループの 1 つに割り当てることができ、同時に複数のデバイスを柔軟に割り当てることが可能です。すべての I/O ペリフェラルを同時に使用するには 54 ピンでは不十分ですが、ほとんどの IOP インターフェイス信号は PL で使用可能なため、適切に電源投入してコンフィギュレーションすれば、標準の PL I/O ピンが利用できます。すべての MIO ピンは、2.5V/3.3V の規格のほかに 1.8V の HSTL および LVCMOS 規格をサポートしています。

## インターコネクト

APU、メモリ インターフェイス ユニット、および IOP はすべて相互接続し、複数層の ARM AMBA AXI インターコネクトを使用して PL と接続しています。このインターコネクトは、ノンブロッキング型で同時に複数のマスター/スレーブ トランザクションをサポートします。

ARM CPU などのレイテンシの影響を受けやすいマスター デバイスはメモリへの最短バスを割り当て、PL マスター デバイスとなる可能性がある帯域幅が重視されるマスター デバイスにはスレーブ デバイスとの接続が高スループットとなるようにインターコネクトは設計されています。

このインターコネクトを通過するトラフィックは、インターコネクト内の QoS (Quality of Service) ブロックで制御されます。QoS 機能を使用して、CPU、DMA コントローラー、および IOP のマスターに相当する統合されたエンティティで生成されたトラフィックを制御します。

## PS インターフェイス

### PS の外部インターフェイス

防衛グレード Zynq-7000Q デバイスの PS 外部インターフェイスは、PL ピンとして割り当てることのできない専用ピンを使用します。これらのピンは次のとおりです。

- クロック、リセット、ブート モード、および基準電圧
- 54 の専用多目的 I/O (MIO) ピン (内部の I/O ペリフェラルやスタティック メモリ コントローラーへ接続するためにソフトウェアで設定を変更できる)
- 32 ビットまたは 16 ビットの DDR2/DDR3/DDR3L/LPDDR2 メモリ

#### MIO の概要

MIO は、PS 内のペリフェラルおよびスタティック メモリ インターフェイスから PS ピンへ、コンフィギュレーション レジスタで定義されたとおりに多重アクセスする役割を果たします。PS の IOP およびスタティック メモリ インターフェイスが使用できるピンは 54 本あります。表 3 にペリフェラルピンのマッピングを示します。図 2 には MIO モジュールのブロック図を示します。

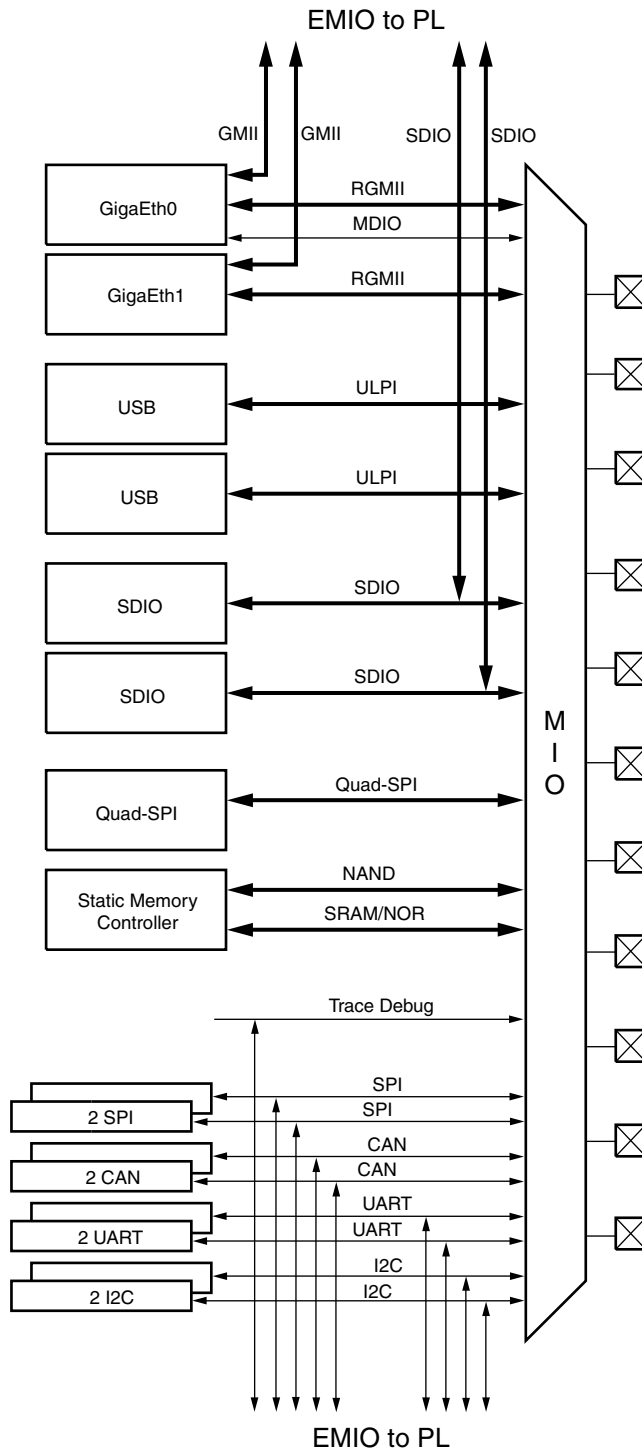
54 ピン以上の I/O が必要な場合は、PL を経由して PL に関連する I/O への配線が可能です。これらの I/O は EMIO (拡張可能な多目的 I/O) として分類されます。

ポート マッピングは複数の位置に割り当てることができます。たとえば、CAN ピンの場合は最大 12 箇所のポート マッピングが可能です。ペリフェラルおよびスタティック メモリのピン マッピングには、PS コンフィギュレーション ウィザード (PCW) を使用します。

表 3 : MIO ペリフェラル インターフェイスのマッピング

ペリフェラル インターフェイス	MIO	EMIO
クワッド SPI NOR/SRAM NAND	Yes	No
USB 0、1	Yes — 外部 PHY	No
SDIO 0、1	Yes	Yes
SPI : 0、1 I2C : 0、1 CAN : 0、1 GPIO	Yes CAN : 外部 PHY GPIO : 最大 54 ビット	Yes CAN : 外部 PHY GPIO : 最大 64 ビット
GigE : 0、1	RGMII v2.0 外部 PHY	プログラマブル ロジックで GMII、RGMII v2.0 (HSTL)、RGMII v1.3、MII、SGMII、1000BASE-X をサポート
UART : 0、1	簡易 UART : 2 ピンのみ (Tx と Rx)	フル機能 UART (Tx、Rx、DTR、DCD、DSR、RI、RTS、CTS) は、次のいずれかの使用が必要  MIO を介す 2 つのプロセッシング システム ピン (RX、TX) と 6 つのプログラマブル ロジック ピン、または  8 つのプログラマブル ロジック ピン
デバッグ トレース ポート	Yes — 最大 16 トレース ビット	Yes — 最大 32 トレース ビット
プロセッサ JTAG	Yes	Yes





DS196\_02\_092713

図 2 : MIO モジュールのブロック図

## PS-PL インターフェイス

PS-PL インターフェイスの特長は次のとおりです。

- プライマリ データ通信用の AMBA AXI インターフェイス
  - 32 ビット AXI マスター インターフェイス × 2
  - 32 ビット AXI スレーブ インターフェイス × 2
  - DDR メモリおよび OCM へ直接アクセスできる、64 ビット/32 ビットに設定可能なバッファ付き AXI スレーブ インターフェイス × 4 (高性能 AXI ポートとも呼ばれる)
  - CPU への整合性の取れたアクセスを可能にする 64 ビット AXI スレーブ インターフェイス (ACP ポート) × 1
- DMA、割り込み、イベント信号
  - CPU へイベント情報の信号を与えるためのプロセッサ イベント バス
  - PS GIC への PL ペリフェラル IP 割り込み信号
  - PL 用の 4 つの DMA チャンネル信号
  - 非同期のトリガー信号
- マップされていない PS ペリフェラルから PL I/O へのアクセスを可能にする EMIO
- クロック、リセット
  - PL への PS クロック出力 (開始/停止制御付き) × 4
  - PL への PS リセット出力 × 4
- コンフィギュレーション、その他
  - フル/パーシャル PL コンフィギュレーションおよび PS ブート イメージの暗号化や認証機能をサポートするプロセッサ コンフィギュレーション アクセス ポート (PCAP)
  - PL から PS へ送信される eFUSE およびバッテリー バックアップ付き RAM の信号
  - XADC インターフェイス
  - JTAG インターフェイス

PS と PL 間の最も高性能なデータ転送インターフェイスは、高性能 AXI ポートおよび ACP インターフェイスの 2 つです。高性能 AXI ポートは、PS と PL 間の高スループットデータ転送に使用されます。コヒーレンスは、必要に応じてソフトウェアで管理されます。CPU メモリへのアクセスでハードウェアレベルのコヒーレンシが必要な場合は、ACP ポートを使用してください。

### 高性能 AXI ポート

高性能 AXI ポートは、PL から PS の DDR および OCM へのアクセスに利用できます。PL から PS への 4 つの専用 AXI メモリ ポートは、32 ビットまたは 64 ビットのインターフェイスとしてコンフィギュレーション可能です。図 3 に示すとおり、これらのインターフェイスは FIFO コントローラーを介して PL とメモリ インターコネクタを接続しています。3 つの出力ポートのうち 2 つは DDR メモリ コントローラーへ接続され、3 つ目のポートはデュアルポートのオンチップ メモリ (OCM) へ接続されています。

各高性能 AXI ポートの特長は次のとおりです。

- PL とプロセッシング システム メモリ間のレイテンシを削減
- 深さ 1KB の FIFO
- 32 ビットまたは 64 ビットの AXI インターフェイスとして設定可能
- 読み出し受け入れ用に最大 32 ワードのバッファをサポート
- AXI インターコネクタの帯域幅をより効率的に使用するため、書き込みアクセスにデータ リリース制御機能をサポート
- DDR および OCM への複数の AXI コマンド発行をサポート

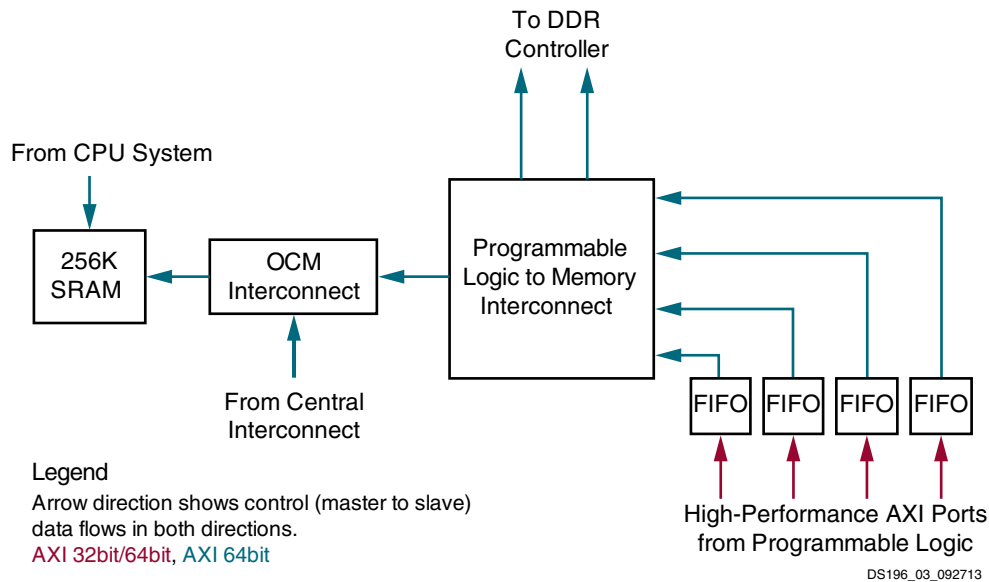


図 3 : PS メモリ サブシステムとの PL インターフェイス

### アクセラレータ コヒーレンシ ポート (ACP)

Zynq-7000 All Programmable SoC のアクセラレータ コヒーレンシ ポート (ACP) は、64 ビットの AXI スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACP は、PL を ARM Cortex-A9 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、L1 および L2 キャッシュの CPU データへ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。

## プログラマブル ロジック (PL) の説明

PL の主な特長は次のとおりです。

- CLB
  - 1 つの CLB に 8 個の LUT があり、ロジックをインプリメントするか分散メモリを構築可能
  - メモリ LUT は、64 × 1 または 32 × 2 ビットの RAM として、またはシフトレジスタ (SRL) として使用可能
  - 各 CLB に 16 個のフリップフロップ
  - 演算用のカスケード接続可能な 4 ビット加算器が 2 個
- 36Kb ブロック RAM
  - 完全なデュアルポート
  - 最大 36 ビット幅
  - 2 つの 18Kb ブロック RAM として構成可能
- DSP スライス
  - 18 × 25 符号付き乗算
  - 48 ビット加算/累算器
- プログラマブル I/O ブロック
  - LVCMOS、LVDS、SSTL などの一般的な I/O 規格をサポート
  - 1.2V ~ 3.3V I/O
  - プログラム可能な I/O 遅延を内蔵
- 低電力シリアルトランシーバー (一部の Zynq-7000 のみ) All Programmable SoC
- PCI Express 用のエンドポイント/ルートポート (PS へ接続した場合はルートコンプレックス) ブロックを統合 (一部の Zynq-7000 のみ) All Programmable SoC
- 2 つの 12 ビット XADC (アナログ/デジタルコンバーター)
  - オンチップ電圧および温度管理
  - 最大 17 チャンネルの外部差動入力
- PL コンフィギュレーションモジュール

## CLB、スライス、および LUT

CLB アーキテクチャの主な特長は次のとおりです。

- 完全な 6 入力 LUT
- LUT 内のメモリ機能
- レジスタおよびシフトレジスタ機能

Zynq-7000Q All Programmable SoC のルックアップ テーブル (LUT) は、出力が 1 つの 6 入力 LUT (64 ビット ROM) として、または出力は別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT (32 ビット ROM) として構成できます。各 LUT 出力はオプションとしてフリップフロップでラッチできます。このような LUT が 4 つ、それらのフリップフロップ 8 つ、マルチプレクサー、そして演算キャリー ロジックがスライスを構成し、2 つのスライスが CLB (コンフィギャラブル ロジック ブロック) を構成します。各スライスの 8 つのフリップフロップのうち 4 つ (各 LUT から 1 つずつ) は、ラッチとして構成できます。

全スライスの 25 ~ 50% が LUT を 64 ビットの分散 RAM として、あるいは 32 ビットのシフトレジスタ (SRL32) か 2 つの SRL16 として使用できます。最近の合成ツールでは、このような高効率のロジック、演算、およびメモリ機能を活かした合成が実行されます。

## クロック管理

クロック マネージメント アーキテクチャの主な特長は次のとおりです。

- 低スキューのクロック分配を実現する高速バッファおよび配線
- 周波数合成および位相シフト
- 低ジッターのクロック生成およびジッターのフィルタリング

防衛グレード Zynq-7000Q AP SoC には最大 8 個の CMT (クロック マネージメント タイル) が含まれ、各 CMT は MMCM (ミックスド モード クロック マネージャー) と PLL (位相ロック ループ) 1 つずつで構成されています。表 4 に、各 Zynq-7000Q デバイスの MMCM の数を示します。

表 4: デバイス別の MMCM の数

Zynq デバイス	MMCM	PLL
XQ7Z020	4	4
XQ7Z030	5	5
XQ7Z045	8	8
XQ7Z100	8	8

## MMCM および PLL

MMCM と PLL には共通の特長が多数あります。これらは共に、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。これらのコンポーネントの中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、これらにはプログラム可能な 3 つの周波数分周回路 (D、M、O) があります。前置分周器 D (コンフィギュレーションおよび DRP を介してプログラム可能) は入力周波数を低減させ、従来の PLL 位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M (コンフィギュレーションおよび DRP を介してプログラム可能) は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があります。それぞれが出力分周器の 1 つ (PLL の場合は O0 ~ O5 の 6 つ、MMCM の場合は O0 ~ O6 の 7 つ) を駆動するよう選択できます。これらの各分周器は、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM および PLL には入力ジッターのフィルター モードとして、狭帯域モード (ジッターの削減を優先)、広帯域モード (位相オフセットを優先)、最適化モード (ツールで最適な設定を選択) の 3 つがあります。

## MMCM のその他のプログラマブル機能

MMCM は、フィードバック パス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。

MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1,600MHz では 11.2ps となります。

## クロック分配

各防衛グレード Zynq-7000Q デバイスは異なる 6 タイプのクロック ライン (BUFG、BUFR、BUFIO、BUFH、BUFMR、高性能クロック) を提供し、大きなファンアウト、短い伝搬遅延、非常に小さなスキューなどのさまざまなクロッキング要件に対応します。

## グローバル クロック ライン

各防衛グレード Zynq-7000Q AP SoC が備える 32 のグローバル クロック ラインは最大のファンアウトを提供し、全フリップフロップ クロック、クロック イネーブル、セット/リセット、および多数のロジック入力に使用できます。クロック領域には 12 のグローバル クロック ラインがあり、並行ラインのクロック バッファ (BUFH) で駆動されます。これらの BUFH はそれぞれを独立して有効あるいは無効にできることから、ある領域内にあるクロックをオフにでき、これによってクロック領域の消費電力を細かく制御できるようになります。これらのラインはグローバル クロック バッファで駆動できるだけでなく、グリッチなしでクロックを多重伝送したり、クロック イネーブルとしての機能を果たします。グローバル クロックは、通常 CMT から駆動されるため、基本的なクロック分散遅延が完全に削除されます。

## リージョナル クロック

リージョナル クロックは、それが領域の全クロックを駆動できます。領域は、I/O 50 個分と CLB 50 個分の高さ、およびデバイスの半分の幅を持つ任意のエリアと定義されます。防衛グレード Zynq-7000Q AP SoC には 6 ~ 14 の領域があり、すべての領域に 4 つのリージョナル クロック トラックがあります。各リージョナル クロック バッファは、4 つの CC (クロック兼用) 入力ピンのいずれかから駆動でき、周波数はオプションとして 1 ~ 8 の任意の整数で分周可能です。

## I/O クロック

I/O クロックは非常に高速で、I/O ロジックおよびシリアライザー/デシリアライザー (SerDes) 回路にのみ使用します (「I/O ロジック」参照)。防衛グレード Zynq-7000Q AP SoC には、低ジッターで高性能なインターフェイス用に MMCM から I/O への直接接続がありません。

## ブロック RAM

ブロック RAM の主な特長は次のとおりです。

- 最大ポート幅が 72 ビットのデュアルポート 36Kb ブロック RAM
- プログラム可能な FIFO ロジック
- オプションとして内蔵型エラー訂正回路

すべての防衛グレード Zynq-7000Q デバイスに 140 ~ 755 個のデュアルポート ブロック RAM があり、それぞれが 36Kb を格納します。各ブロック RAM には、格納されたデータを共有する以外は完全に独立した 2 つのポートがあります。

## 同期動作

読み出しまたは書き込みのメモリ アクセスは、クロックによって制御されます。すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付きます。入力アドレスは常にクロックされ、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロック レートでの動作を可能にします。

書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。

## プログラム可能なデータ幅

各ポートは  $32\text{K} \times 1$ 、 $16\text{K} \times 2$ 、 $8\text{K} \times 4$ 、 $4\text{K} \times 9$  (または 8)、 $2\text{K} \times 18$  (または 16)、 $1\text{K} \times 36$  (または 32)、 $512 \times 72$  (または 64) のいずれかに構成できます。2つのポートには別々の比率を指定でき、これに対する制限はありません。

各ブロック RAM は完全に独立した 2つの  $18\text{Kb}$  ブロック RAM に分割でき、それぞれを  $16\text{K} \times 1 \sim 512 \times 36$  の任意のアスペクト比で構成できます。 $36\text{Kb}$  ブロック RAM について説明した内容は、分割した各  $18\text{Kb}$  ブロック RAM にも当てはまります。

シンプルデュアルポート (SDP) モードでのみ、18ビット ( $18\text{Kb}$  RAM の場合) または 36ビット ( $36\text{Kb}$  RAM の場合) 以上のデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう1つが  $32/36$  または  $64/72$  に固定されます。

デュアルポート  $36\text{Kb}$  RAM の場合は両方の幅がプログラム可能です。

2つの隣接した  $36\text{Kb}$  ブロック RAM をカスケード接続し、追加ロジックなしで  $64\text{K} \times 1$  のデュアルポート RAM として構成できます。

## エラー検出および訂正機能

$64$  ビット幅のブロック RAM は、追加で 8つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出 (ECC) を実行します。ECC ロジックは  $64 \sim 72$  ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

## FIFO コントローラー

シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Almost Full、Almost Empty の4つのフラグを提供します。Almost Full および Almost Empty フラグは自由にプログラムできます。ブロック RAM と同様に、FIFO の幅およびワード数はプログラム可能ですが、書き込みポートと読み出しポートの幅は常に同一です。

First-Word Fall-Through モードでは、最初の読み出し前でも最初に書き込まれたワードがデータ出力に現れます。そして、最初のワードが読み出された後は、通常モードと同様に動作します。

## デジタル信号処理 - DSP スライス

DSP の主な特長は次のとおりです。

- $25 \times 18$  の 2の補数乗算器/48ビットの高分解能アキュムレータによる信号処理
- 対称フィルターアプリケーションに最適化され、消費電力を抑えることが可能な前置加算器
- その他の高度な機能: パイプライン化オプション、ALU オプション、専用カスケード接続

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。すべての防衛グレード Zynq-7000Q AP SoC は、専用で完全にカスタマイズされた低消費電力 DSP スライスを数多く装備し、システムデザインの柔軟性を維持しながら、高速処理および小型化を実現しています。

各 DSP スライスは基本的に、専用の  $25 \times 18$  ビット 2の補数乗算器および 48ビット アキュムレータで構成され、これらは共に  $650\text{MHz}$  での動作を可能にする性能を持ちます。乗算器は動作中にバイパスでき、2つの 48ビット入力には SIMD (単一命令複数データ) 演算ユニット (デュアルの 24ビット加算/減算/累算、またはクワッドの 12ビット加算/減算/累算)、またはオペランドが 2つの 10個の異なるロジックファンクションから任意の1つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルターに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。また、収束丸め (偶数丸めとも呼ばれる) あるいは対称丸めに使用できる 48ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96ビット幅のロジックファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度、そして効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミックシフター、メモリアドレスジェネレーター、多入力マルチプレクサー、メモリマップされた I/O レジスタファイルが含まれます。また、アキュムレータは同期のアップ/ダウンカウンタとしても使用可能です。



## 入力/出力

PL 入力/出力の主な特長は次のとおりです。

- 最高 1866Mb/s の DDR3 インターフェイスをサポートする高性能 SelectIO テクノロジー
- シグナル インテグリティを向上させたパッケージに高周波数デカップリング キャパシタを搭載
- 低消費電力かつ高速な I/O 動作にトライステートにすることができるデジタル制御インピーダンス

I/O ピン数は、デバイスおよびパッケージ サイズによって異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。電源ピンおよび一部のコンフィギュレーション専用ピンを除き、すべての PL ピンは同一の I/O 性能を持ち、特定のバンク規則によってのみ制約されます。防衛グレード Zynq-7000Q AP SoC の SelectIO リソースは High Range (HR) または High Performance (HP) のいずれかに分類されます。HR I/O は、1.2 ~ 3.3V までの最も広範な I/O 電圧をサポートします。HP I/O は最高性能の動作向けに最適化されており、1.2 ~ 1.8V の電圧をサポートします。

全 I/O ピンは、各バンクに 50 ピンずつ分割されています。各バンクには 1 つの共通  $V_{CC0}$  出力電源があり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには、内部生成の、あるいは外部に基準電圧 ( $V_{REF}$ ) が必要です。バンクあたり 2 つの  $V_{REF}$  ピンがありますが (コンフィギュレーションバンク 0 は除く)、1 つのバンクで使用できる  $V_{REF}$  電圧値は 1 つのみです。

防衛グレード Zynq-7000Q AP SoC は、最もコストが低い小型フォーム ファクターのワイヤボンド パッケージや高性能なフリップチップ パッケージなど、ユーザーのニーズに応える多様なパッケージで入手可能です。フリップチップ パッケージの場合、シリコン デバイスは高度なフリップチップ プロセスでパッケージ サブストレートに実装されます。ESR 調整キャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナル インテグリティが最適化されます。

## I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 $V_{CC0}$  は High を、グランドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルー レートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピン ペアが、差動入力ペアまたは出力ペアとしてコンフィギュレーションできます。さらに、差動入力ペアを 100Ω の内部抵抗で終端できるオプションもあります。Zynq-7000 All Programmable SoC のすべてのデバイスは、LVDS 以外の差動規格として HT、RSDS、BLVDS、差動 SSTL、差動 HSTL をサポートします。

各 I/O は、シングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。SSTL I/O 規格は、データ レートが 1866Mb/s までの DDR3 インターフェイス アプリケーションをサポート可能です。

### トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス ( $T_{DCI}$ ) は、出力駆動インピーダンス (直列終端) を制御したり、あるいは  $V_{CC0}$  に対して入力信号を並列終端、 $V_{CC0}/2$  に対して分割 (テブナン) 終端を構成可能です。 $T_{DCI}$  を使用した信号には、オフチップの終端は不要です。これはボード スペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリ インターフェイスの実装時に、低消費電力化を図ることができます。

## I/O ロジック

### 入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブル データ レート (DDR) が全入力および出力でサポートされています。すべての入力および一部の出力は、それぞれを 78ps または 52ps 単位で最大 32 タップ分個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。

## ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビット シリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O 構造内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには 8 ビットの IOSERDES (ISERDES と OSERDES) があり、2、3、4、5、6、7、または 8 ビットの幅 (プログラム可能) でシリアルからパラレル、あるいはパラレルからシリアルへデータを変換します。さらに、2 つの隣接したピン (通常は差動 I/O) からの IOSERDES を 1 つずつカスケード接続することで、10 および 14 ビットの幅の広い変換がサポートされます。ISERDES には、1.25Gb/s LVDS I/O ベースの SGMII インターフェイスなどのアプリケーション向けに非同期データ リカバリをサポートする特別なオーバーサンプリング モードがあります。

## 低電力シリアル トランシーバー

低電力シリアル トランシーバーの主な特長は次のとおりです。

- RF フリップチップ パッケージで最大 10.3125Gb/s、RB フリップチップ パッケージで最大 6.6Gb/s のライン レートを実現した高性能 GTX トランシーバー
- チップ間インターフェイス用に最適化された低電力モード
- 高性能な送信プリエンファシスおよびポストエンファシス、受信リニア イコライザー (CTLE)、およびマージンを増加させるための適応等化回路を含む判定帰還等化 (DFE)

光モジュールへの超高速シリアル データ転送はもとより、同一 PCB 上の IC 間、バックプレーン経由、あるいはさらに長距離間の超高速シリアル データ転送が一般的になっており、これらはデータ レート 200Gb/s のカスタム ライン カードを実現する上で重要です。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要となります。

防衛グレード Zynq-7000Q AP SoC には、デバイスによって 0 ~ 16 個のトランシーバー回路が搭載されています。各シリアル トランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。Zynq-7000 の各デバイスのシリアル トランシーバーは、リング オシレーターと LC タンク アーキテクチャの組み合わせを使用でき、デバイス間の IP の移植性を維持しながら柔軟性と性能の最適なバランスを実現しています。低速なデータ レートは、Zynq-7000 ロジックでのオーバーサンプリングによって実現可能です。シリアル トランスミッターおよびレシーバーは高度な PLL アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で逡倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

## トランスミッター

トランスミッターは基本的に、変換比率が 16、20、32、40、64、または 80 のパラレル/シリアル コンバーターです。このため、データパス幅とタイミング マージンのトレードオフによって高性能が要求されるデザインにも対応できます。トランスミッターの出力は、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビット シリアル出力信号は、差動信号によって 2 つのパッケージピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

## レシーバー

レシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 16、20、32、40、64、または 80 ビット幅のパラレル ストリーム ワードに変換するシリアル/パラレル コンバーターです。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは入力差動データ ストリームを受け取って、それを (PC ボードやほかのインターコネクト特性を補うため) プログラム可能なリニア イコライザーおよび DFE を介し、基準クロック入力を使用してクロックの認識を開始します。データ パターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようになります。パラレル データは RXUSRCLK クロックを使用して PL に転送されます。短いチャネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力をさらに削減できます。

## Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCI Express および SATA/SAS のアプリケーションで有用です。

## PCI Express デザイン用の統合ブロック

PCI Express 用統合ブロックの主な特長は次のとおりです。

- PCI Express Base Specification 2.1 に準拠し、エンドポイントとルートポート機能に対応
- Gen1 (2.5Gb/s) および Gen2 (5Gb/s) をサポート
- アドバンス コンフィギュレーション オプション、アドバンス エラー レポート (AER)、および End-to-End CRC (ECRC) のアドバンス エラー レポートと ECRC 機能

トランシーバーを備えるすべての防衛グレード Zynq-7000Q All Programmable SoC には、PCI Express Base Specification Revision 2.1 または 3.0 に準拠するように設計され、エンドポイントまたはルートポートとしてコンフィギュレーション可能な、PCI Express 用の統合ブロックが 1 つ搭載されています。ルートポートは、ルートコンプレックス相当の機能を提供し、PCI Express プロトコルを用いた防衛グレード Zynq-7000Q All Programmable SoC とその他のデバイス間のカスタム通信を可能にするだけでなく、イーサネットコントローラーやファイバーチャネル HBA などの ASSP エンドポイントデバイスを防衛グレード Zynq-7000Q All Programmable SoC に接続します。

このブロックはシステムデザイン要件に従うよう高度にコンフィギュレーション可能で、2.5Gb/s および 5.0Gb/s のデータレートで 1、2、4、または 8 レーンの動作をサポートします。高性能アプリケーション向けには、ブロックを高度にバッファリングすることで、1,024 バイトまでの柔軟性に優れた最大ペイロードサイズを提供します。また、シリアルコネクティブティ用に統合された高速トランシーバーと、データバッファリングにはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データリンク層、そしてトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCI Express 用統合ブロック、トランシーバー、ブロック RAM、クロックリソース) をエンドポイントまたはルートポートソリューションに活用できるようにする軽量、コンフィギュラブル、かつ簡単に使用できる LogiCORE™ IP ラッパーを提供しています。レーン幅、最大ペイロードサイズ、PL インターフェイス速度、基準クロック周波数、ベースアドレスレジスタのデコードとフィルタリングなど、数多くのコンフィギュレーション可能なパラメーターをシステム設計者が制御できます。

ザイリンクスは、メモリマップされた AXI4 の統合ブロック用ラッパーを提供しています。メモリマップされた AXI4 はザイリンクス Platform Studio/EDK デザインフローおよび MicroBlaze™ プロセッサベースのデザイン用に提供されているものです。

PCI Express デザインのソリューションに関する資料および詳細は、<http://japan.xilinx.com/technology/protocols/pciexpress.htm> から入手できます。

## XADC (Analog-to-Digital Converter)

XADC アーキテクチャの主な特長は次のとおりです。

- 2 個の 12 ビット、1MSPS のアナログ/デジタルコンバーター (ADC)
- 最大 17 個の柔軟でユーザーコンフィギュレーション可能なアナログ入力
- オンチップリファレンスまたは外部リファレンスを選択可能
- オンチップ終端および電源センサー
- JTAG を介して連続的に ADC の計測結果にアクセス

すべての防衛グレード Zynq-7000Q All Programmable SoC は XADC と呼ばれる、柔軟性に優れた新しいアナログインターフェイスを備えています。防衛グレード Zynq-7000Q All Programmable SoC が持つプログラマブルロジックの性能と組み合わせることにより、データ取得と計測に関する幅広い要件に対応できます。詳細は、<http://japan.xilinx.com/ams> を参照してください。

XADC には専用のトラックおよびホールドアンプを持つ 12 ビットで 1MSPS の ADC が 2 つと、1 つのオンチップアナログマルチプレクサー (最大 17 の外部アナログ入力チャネルをサポート)、オンチップ温度/電源電圧センサーが含まれます。2 つの ADC は、2 つの外部アナログ入力チャネルを同時にサンプルするように構成できます。トラックおよびホールドアンプは、単極、双極、差動の幅広いアナログ入力をサポートします。アナログ入力は、1MSPS のサンプルレートで 500kHz 以上の信号帯域幅をサポートします。専用のアナログ入力を用いて外部アナログマルチプレクサーモードを使用すると、さらに広いアナログ帯域幅をサポートできます (『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1MSPS アナログ-デジタルコンバーターユーザーガイド』(UG480) 参照)。

XADC は、オプションとしてオンチップの基準回路を使用するため、温度や電源レールの基本的なオンチップモニタリング用に外部にアクティブなコンポーネントは必要ありません。ADC の 12 ビットの性能を十分に発揮させるには、外部に 1.25V のリファレンス IC を使用することを推奨します。

XADC をデザインにインスタンス化しない場合のデフォルトでは、XADC はすべてのオンチップセンサーの出力をデジタル化します。最も新しい計測結果は、最大および最小の測定結果と共に専用のレジスタに格納され、JTAG インターフェイスを介して常時アクセスできます。また、ユーザー定義のアラームしきい値によって超過温度イベントおよび許容外の温度変動を自動的に知らせることができ、ユーザーが指定した制限値 (100°C など) を用いて自動的に電源を切断するようにもできます。

## システム レベルの機能

次の機能は、PS および PL の両範囲で担われています。

- リセット管理
- クロック管理
- デバイス コンフィギュレーション
- ハードウェア/ソフトウェアのデバッグ サポート
- パワー マネージメント

### リセット管理

リセット管理機能を使用すると、デバイス全体またはデバイス内のユニットを個別にリセットできます。PS は次のリセット機能およびリセット信号をサポートしています。

- 外部および内部のパワーオン リセット信号
- ウォーム リセット
- ウォッチドック タイマー リセット
- PL のユーザー リセット
- ソフトウェア、ウォッチドック タイマー、または JTAG によるリセット
- セキュリティ違反によるリセット (ロックダウン リセット)

### クロック管理

Zynq-7000Q 製品ファミリの PS には、3 つの位相ロック ループ (PLL) があり、PS 内でクロック ドメインを柔軟に設定できるようになっています。PS 内には 3 つの主要クロック ドメインがあり、これらには APU、DDR コントローラー、I/O ペリフェラル (IOP) が含まれます。これらすべてのドメインの周波数はソフトウェアで個別に設定できます。

### PS ブートおよびデバイス コンフィギュレーション

防衛グレード Zynq-7000Q All Programmable SoC は複数ステージのブート プロセスを使用し、非セキュア ブートおよびセキュア ブートをサポートしています。PS は、ブート プロセスとコンフィギュレーション プロセスのマスターとなります。セキュア ブートの場合、PL 内にあるセキュリティ ブロックの使用を有効にするために PL に電源を投入する必要があります。このブロックによって 256 ビットの AES および SHA 暗号/認証が提供されます。

リセット時にデバイス モード ピンが読み出されて、使用されるプライマリ ブート デバイス (NOR、NAND、クワッド SPI、SD または JTAG) が判断されます。JTAG は非セキュア ブート ソースとしてのみ使用可能で、デバッグを目的としています。いずれか一方の ARM Cortex-A9 CPU がオンチップ ROM からのコードを実行し、ブート デバイスから OCM へ FSBL (第 1 段階ブートローダー) をコピーします。

FSBL が OCM へコピーされると、プロセッサが FSBL を実行します。ザイリンクスはサンプル FSBL を提供していますが、ユーザーが独自の FSBL を作成することも可能です。FSBL によって PS のブートが開始し、PL のロードまたはコンフィギュレーションを実行できるようになります。PL コンフィギュレーションは、後に実行することもできます。FSBL は通常、ユーザー アプリケーションをロードするか、オプションとして U-Boot などの SSBL (第 2 段階ブートローダー) をロードします。SSBL はザイリンクスまたはサードパーティから入手できますが、独自のものを作成することも可能です。SSBL は、いずれかのプライマリ ブート デバイス、または USB、イーサネットなどその他のソースからコードをロードすることでブート プロセスを継続します。FSBL で PL をコンフィギュレートしなかった場合は SSBL でそれを行うことができますが、ここでも先延ばしにしておくことができます。

スタティック メモリ インターフェイス コントローラー (NAND、NOR、またはクワッド SPI) は、デフォルト設定でコンフィギュレートされます。デバイスのコンフィギュレーション速度を上げるために、ブート イメージ ヘッダーにある情報でこれらの設定を変更可能です。ブート後に ROM のブート イメージをユーザーが読み出したり、呼び出すことはできません。

### ハードウェアおよびソフトウェアのデバッグ サポート

防衛グレード Zynq-7000Q All Programmable SoC で使用されるデバッグ システムは、ARM 社の CoreSight アーキテクチャに基づいています。このシステムは、エンベデッド トレース バッファ (ETB)、プログラム トレース マクロセル (PTM)、およびインスツルメント トレース マクロセル (ITM) などを含む ARM CoreSight コンポーネントを使用します。これは命令トレース機能のほかに、ハードウェアブレークポイントやトリガーもサポートします。プログラマブル ロジックは、ザイリンクスの ChipScope™ Pro に組み込まれたロジック アナライザーでデバッグできます。



## デバッグ ポート

JTAG ポートは 2 つあり、チェーン接続して使用するか個別に使用できます。チェーン接続した場合には、1 つのポートを使用して、ARM プロセッサ コードのダウンロードやランタイム制御動作、PL コンフィギュレーション、および ChipScope Pro に組み込まれたロジック アナライザを使用する PL デバッグが可能です。これにより、ザイリンクスのソフトウェア開発キット (SDK) や ChipScope Pro アナライザなどのツールは、ザイリンクスが提供する 1 つのダウンロード ケーブルを共有できます。

JTAG チェーンがわかれている場合、一方のポートは ARM DAP インターフェイスへのダイレクト アクセスなどの PS サポート用に使用されます。CoreSight インターフェイスによって、ARM 準拠のデバッグ ツールや Development Studio 5 (DS-5™) などのソフトウェア開発ツールが使用可能になります。もう一方の JTAG ポートは、コンフィギュレーション ビットストリームのダウンロードや ChipScope Pro アナライザを使用したデバッグなど、ザイリンクス FPGA ツールによって PL アクセスするために使用されます。このモードの場合、ユーザーはスタンドアロン FPGA と同じ方法でダウンロードおよび PL のデバッグが可能です。

## パワー マネージメント

PS と PL は異なる電源プレーン上にあります。このため、それぞれ専用の電源ピンを備えた別々の電源レールへ接続できます。PL のパワーオフ モードが不要な場合は、PS と PL の電源レールを結合できます。PS がパワーオフ モードの間、PL は永続的にリセット状態に保持されます。PL の電力制御は PL への外部ピンを介して実行されます。電力は外部のパワー マネージメント回路を使用して制御され、この回路はソフトウェアと PS GPIO で制御できます。

## 電力モード

防衛グレード Zynq-7000Q All Programmable SoC で使用できる省電力モードには次があります。

- プログラマブルロジック パワー オフ (スリープ)
  - PS と PL は異なる電源プレーン上にあるため、PL の電源がオフの状態でも PS は動作可能です。セキュリティ上の理由から、PL の電源は PS より先に投入できません。PL は電源投入のたびにリコンフィギュレーションが必要です。この省電力モードを使用する場合、PL のコンフィギュレーション時間を考慮しなければなりません。
- PS クロック制御
  - 内部 PLL を使用すると、PS の動作クロック レートを 30MHz まで下げることができます。クロック レートは動的に変更可能です。動作中にクロック レートを変更する場合は、PS クロック制御レジスタまたはクロック生成制御レジスタへアクセスするために、システム制御レジスタのロックを解除する必要があります。
- シングル プロセッサ モード
  - このモードでは、クロック ゲーティング機能を使用して 2 つ目の Cortex™-A9 CPU をオフにし、1 つ目の CPU をフル稼働させます。

## 電力例

防衛グレード Zynq-7000Q All Programmable SoC の消費電力は、PL リソースの使用率および PS と PL の動作周波数によって異なります。消費電力の概算には、[http://japan.xilinx.com/products/design\\_tools/logic\\_design/xpe.htm](http://japan.xilinx.com/products/design_tools/logic_design/xpe.htm) からダウンロード可能な Xilinx Power Estimator (XPE) を使用してください。

## メモリ マップ

防衛グレード Zynq-7000Q All Programmable SoC は、表 5 に示すような構成の 4GB アドレス空間をサポートしています。

表 5: メモリ マップ

開始アドレス	サイズ (MB)	説明
0x0000_0000	1,024	DDR DRAM およびオンチップ メモリ (OCM)
0x4000_0000	1,024	PL AXI スレーブ ポート #0
0x8000_0000	1,024	PL AXI スレーブ ポート #1
0xE000_0000	256	IOP デバイス
0xF000_0000	128	予約
0xF800_0000	32	AMBA APB バス経由のプログラム可能なレジスタ アクセス
0xFA00_0000	32	予約
0xFC00_0000	64MB ~ 256KB	クワッド SPI リニア アドレスのベース アドレス (OCM の最高位 256KB を除く)、64MB 予約領域、現時点では 32MB のみサポート
0xFFFC_0000	256KB	高位アドレス空間へマップされる場合は OCM

## 注文情報

表 6 に、このデバイス ファミリで提供されているスピード グレードおよび温度グレードを示します。一部のデバイスでは、入手可能なスピード グレードと温度グレードに制限があります。

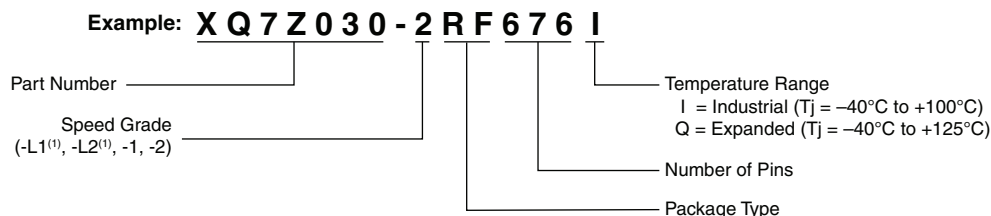
表 6: スピード グレードと温度範囲

デバイス	スピード グレードとジャンクション温度範囲	
	インダストリアル (I) -40°C ~ +100°C	エクスパンド (Q) -40°C ~ +125°C
XQ7Z020	-1, -2, -1L	-1
XQ7Z030	-1, -2, -2L	-1
XQ7Z045	-1, -2, -2L	-1, -1L <sup>(1)(2)</sup>
XQ7Z100	-1, -2, -2L	N/A

注記:

1. XQ7Z045 のスピード グレード (-1L)/温度グレード (Q) 製品は、RF676 および RFG676 パッケージでのみ入手可能です。
2. XQ7Z045 のスピード グレード (-1L)/温度グレード (Q) 製品は、V<sub>CCINT</sub> = 1V で動作します。詳細は、『Zynq-7000 All Programmable SoC (Z-7030, Z-7035, Z-7045, Z-7100): DC 特性および AC スイッチ特性』(DS191) を参照してください。

図 4 に示す注文情報は、すべてのパッケージに適用されます。



1) -L1 and -L2 are the ordering codes for the lower power -1L and -2L speed grades, respectively.

図 4: 注文情報



## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015年7月2日	1.3	Preliminary 製品仕様から Production 製品仕様に変更。次のデバイスを追加：XQ7Z100。次のデバイスを追加：XQ7Z020-1LI、XQ7Z020-2LI、および XQ7Z045-2LI。RF676 および RFG676 パッケージについてのみ、XQ7Z045-1LQ デバイスも追加。表 2 を更新：XQ7Z030 から RF900 パッケージの選択肢を削除。「ブロック RAM」を更新。表 6 を更新：XQ7Z100 および注記 2 を追加。図 4 を更新。
2014年11月25日	1.2	「I/O ペリフェラル (IOP)」および「クロック管理」を更新。
2014年6月18日	1.1	表 2 に、XQ7Z045 デバイスの RF900 パッケージを追加。「シリアル トランシーバー」および「低電力シリアル トランシーバー」を更新。
2013年11月22日	1.0	初版

## Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

## Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。