



Virtex-5 データシート： DC 特性およびスイッチ特性

DS202 (v5.1) 2009 年 4 月 1 日

Product 製品仕様

Virtex-5 電気特性

Virtex®-5 FPGAには、-3、-2、-1 のスピードグレードがあり、-3 スピードグレードのパフォーマンスが最も高くなっています。

DC 特性および AC 特性は、コマーシャルグレードとインダストリアルグレードの両方に対して指定されていますが、特記のない限り、同じスピードグレードのパラメータの値は、動作温度範囲を除いてコマーシャルとインダストリアルで同じです。つまり、-1 スピードグレードのタイミング特性は、インダストリアルデバイスとコマーシャルデバイスで同じです。ただし、スピードグレードおよびデバイスによっては、インダストリアルデバイスで入手できない場合があります。

電源電圧およびジャンクション温度の仕様はすべて、ワーストケースの値です。ここに記載されたパラメータは、頻繁に使用されるデザインや一般的なアプリケーションに共通のものであります。

Virtex-5 FPGA ファミリーに関する資料には、このデータシートのほかに次のようなものがあり、ザイリンクスのウェブサイトより入手できます。英語最新版がリリースされている場合はそちらを参照してください。

- 『Virtex-5 ファミリー概要』
- 『Virtex-5 FPGA ユーザーガイド』
- 『Virtex-5 FPGA コンフィギュレーション ユーザーガイド』
- 『Virtex-5 FPGA XtremeDSP ユーザーガイド』
- 『Virtex-5 FPGA パッケージおよびピン配置の仕様』
- 『Virtex-5 FPGA RocketIO GTP トランシーバ ユーザーガイド』
- 『Virtex-5 FPGA RocketIO GTX トランシーバ ユーザーガイド』
- 『Virtex-5 FPGA エンベデッド トライモード イーサネット MAC ユーザーガイド』
- 『PCI Express 用 Virtex-5 FPGA Integrated エンドブロック ユーザーガイド』
- 『Virtex-5 FPGA システム モニタ ユーザーガイド』
- 『Virtex-5 PCB デザイナーズガイド』

すべての仕様は通知なく変更される場合があります。

Virtex-5 FPGA の DC 特性

表 1：絶対最大定格

シンボル	説明		単位
V _{CCINT}	GND に対する内部電源電圧	-0.5 ~ 1.1	V
V _{CCAUX}	GND に対する補助電源電圧	-0.5 ~ 3.0	V
V _{CCO}	GND に対する出力ドライバ電源電圧	-0.5 ~ 3.75	V
V _{BATT}	キーメモリ用のバックアップバッテリー電源電圧	-0.5 ~ 4.05	V
V _{REF}	入力参照電圧	-0.5 ~ 3.75	V
V _{IN} ⁽³⁾	GND に対する 3.3V I/O 入力電圧 ⁽⁴⁾ (ユーザー I/O および専用 I/O)	-0.75 ~ 4.05	V
	GND に対する 3.3V I/O 入力電圧 (最大 100 個のユーザー I/O に限定) ⁽⁵⁾	-0.95 ~ 4.4 (コマーシャル温度)	V
		-0.85 ~ 4.3 (インダストリアル温度)	
	GND に対する 2.5V 以下の I/O 入力電圧 (ユーザー I/O および専用 I/O)	-0.75 ~ V _{CCO} + 0.5	V

表 1：絶対最大定格 (続き)

シンボル	説明		単位
I _{IN}	電源がオン/オフのときに I/O ピンに適用される電流	±100	mA
	電源がオン/オフのときにすべての I/O ピンに適用される電流の合計	±100	mA
V _{TS}	トライステートの 3.3V 出力への電圧 ⁽⁴⁾ (ユーザー I/O および専用 I/O)	-0.75 ~ 4.05	V
	トライステートの 2.5V 以下の出力への電圧 (ユーザー I/O および専用 I/O)	-0.75 ~ V _{CC0} + 0.5	V
T _{STG}	ストレージ温度 (周囲)	-65 ~ 150	
T _{SOL}	最大はんだ付け温度 ⁽²⁾	+ 220	
T _J	最大ジャンクション温度 ⁽²⁾	+ 125	

メモ：

- この表の絶対最大定格を超える条件下では、デバイスが恒久的に破損する可能性があります。ここに示す値は最大定格値であり、この条件および推奨動作条件以外の状態でデバイスが動作することを示すものではありません。また、デバイスを絶対最大定格の状態でも長時間使用すると、デバイスの信頼性が低下します。
- はんだ付けのガイドラインについては [UG112](#)：『デバイス パッケージ ユーザー ガイド』を参照してください。温度条件については、ザイリンクスのウェブサイトから [UG195](#)：『Virtex-5 FPGA パッケージおよびピン配置の仕様』を参照してください。
- 3.3V I/O 絶対最大定格の制限は、DC 信号および AC 信号に適用されます。
- 3.3V I/O の動作については、[UG190](#)：『Virtex-5 FPGA ユーザー ガイド』第 6 章の「3.3V I/O デザインのガイドライン」を参照してください。
- 特定のデザインにおける柔軟性を高めるため、最大 100 個のユーザー I/O に対して、データ セル周期の 20% まで標準仕様を越えた仕様を適用できます。

表 2：推奨動作条件

シンボル	説明	温度範囲	最小	最大	単位
V _{CCINT}	GND に対する内部電源電圧、T _J = 0 ~ +85	コマーシャル	0.95	1.05	V
	GND に対する内部電源電圧、T _J = -40 ~ +100	インダストリアル	0.95	1.05	V
V _{CCAUX} ⁽¹⁾	GND に対する補助電源電圧、T _J = 0 ~ +85	コマーシャル	2.375	2.625	V
	GND に対する補助電源電圧、T _J = -40 ~ +100	インダストリアル	2.375	2.625	V
V _{CC0} ^(2, 4, 5)	GND に対する電源電圧、T _J = 0 ~ +85	コマーシャル	1.14	3.45	V
	GND に対する電源電圧、T _J = -40 ~ +100	インダストリアル	1.14	3.45	V
V _{IN}	GND に対する 3.3V 電源電圧、T _J = 0 ~ +85	コマーシャル	GND - 0.20	3.45	V
	GND に対する 3.3V 電源電圧、T _J = -40 ~ +100	インダストリアル	GND - 0.20	3.45	V
	GND に対する 2.5V 以下の電源電圧、T _J = 0 ~ +85	コマーシャル	GND - 0.20	V _{CC0} + 0.2	V
	GND に対する 2.5V 以下の電源電圧、T _J = -40 ~ +100	インダストリアル	GND - 0.20	V _{CC0} + 0.2	V
I _{IN}	クランプ ダイオードが順方向バイアスであるときの、電源がオン/オフのバンクにあるピンの最大電流	コマーシャル		10	mA
		インダストリアル		10	mA
V _{BATT} ⁽³⁾	GND に対するバッテリー電圧、T _J = 0 ~ +85	コマーシャル	1.0	3.6	V
	GND に対するバッテリー電圧、T _J = -40 ~ +100	インダストリアル	1.0	3.6	V

メモ：

- V_{CCAUX} で推奨される最大電圧降下は 10mV/ms です。
- V_{CC0} が 0V まで下がっても、コンフィギュレーション データは保持されます。
- V_{BATT} は、ビットストリームの暗号化を使用する場合にのみ必要です。バッテリーを使用しない場合、V_{BATT} をグラウンドまたは V_{CCAUX} に接続してください。
- 1.2V、1.5V、1.8V、2.5V、および 3.3V の V_{CC0} を含みます。
- コンフィギュレーション電源電圧 V_{CC_CONFIG} は V_{CC0_0} と記載される場合があります。

表 3 : 推奨動作条件下での DC 特性

シンボル	説明	データ レート	最小	標準	最大	単位
V_{DRINT}	データを保持するための V_{CCINT} 電圧 (この電圧未満では、 コンフィギュレーション データが失われる可能性がある)		0.75			V
V_{DRI}	データを保持するための V_{CCAUX} 電圧 (この電圧未満では、 コンフィギュレーション データが失われる可能性がある)		2.0			V
I_{REF}	各ピンの V_{REF} リーク電流					μA
I_L	各ピンの入力または出力リーク電流 (サンプル テスト)				10	μA
C_{IN}	入力キャパシタンス (サンプル テスト)				8	pF
$I_{RPU}^{(1)}$	$V_{IN}=0V$ 、 $V_{CCO}=3.3V$ の場合のパッド プルアップ (選択した場合)		20		150	μA
	$V_{IN}=0V$ 、 $V_{CCO}=2.5V$ の場合のパッド プルアップ (選択した場合)		10		90	μA
	$V_{IN}=0V$ 、 $V_{CCO}=1.8V$ の場合のパッド プルアップ (選択した場合)		5		45	μA
	$V_{IN}=0V$ 、 $V_{CCO}=1.5V$ の場合のパッド プルアップ (選択した場合)		3		30	μA
	$V_{IN}=0V$ 、 $V_{CCO}=1.2V$ の場合のパッド プルアップ (選択した場合)		2		15	μA
$I_{RPD}^{(1)}$	$V_{IN}=2.5V$ の場合のパッド プルダウン (選択した場合)		5		110	μA
$I_{BATT}^{(2)}$	バッテリー電源の電流				150	nA
n	温度ダイオードの理想係数			1.0002		n
r	直列抵抗			5.0		Ω

メモ :

1. 標準値は、標準電圧および 25 の条件で指定されています。
2. 最大値は、25 のワースト ケース で指定されています。

重要事項

静止電流の標準値は、標準電圧およびジャンクション温度 85 (T_j) の条件で指定されています。デザインの多くは商業温度仕様の上限近くで動作するため、ザイリンクスでは、静止電流の消費量を T_j = 85 で解析することを推奨します。Virtex-4 デバイスなど、以前の製品のデータシートでは、標準静止電流が T_j = 25 の条件で指定されています。Virtex-5 デバイスの静止電流はスピードグレード別に指定されています。表 4 に記載されていない条件における静止電力消費を算出するには、XPower Estimator (XPE) スプレッドシート ツール (<http://japan.xilinx.com/power> からダウンロード) を使用してください。

表 4 : 標準静止電流

シンボル	説明	デバイス	スピード グレードおよび温度仕様			単位
			-3 (C)	-2 (C & I)	-1 (C & I)	
I _{CCINTQ}	V _{CCINT} 静止電流	XC5VLX20T	N/A	406	253	mA
		XC5VLX30	480	480	300	mA
		XC5VLX30T	507	507	317	mA
		XC5VLX50	651	651	449	mA
		XC5VLX50T	689	689	475	mA
		XC5VLX85	1072	1072	833	mA
		XC5VLX85T	1115	1115	866	mA
		XC5VLX110	1391	1391	1109	mA
		XC5VLX110T	1448	1448	1154	mA
		XC5VLX155	2615	2615	2141	mA
		XC5VLX155T	2674	2674	2188	mA
		XC5VLX220	N/A	2783	2278	mA
		XC5VLX220T	N/A	2844	2328	mA
		XC5VLX330	N/A	4193	3432	mA
		XC5VLX330T	N/A	4267	3492	mA
		XC5VSX35T	720	720	554	mA
		XC5VSX50T	1092	1092	840	mA
		XC5VSX95T	N/A	1924	1475	mA
		XC5VSX240T	N/A	4137	3168	mA
		XC5VTX150T	N/A	2067	2067	mA
		XC5VTX240T	N/A	2881	2881	mA
XC5VFX30T	1024	1024	1024	mA		
XC5VFX70T	1658	1658	1658	mA		
XC5VFX100T	2875	2875	2875	mA		
XC5VFX130T	3041	3041	3041	mA		
XC5VFX200T	N/A	3755	3755	mA		

表 4 : 標準静止電流 (続き)

シンボル	説明	デバイス	スピード グレードおよび温度仕様			単位
			-3 (C)	-2 (C & I)	-1 (C & I)	
I _{CCOQ}	V _{CCO} 静止電流	XC5VLX20T	N/A	2	2	mA
		XC5VLX30	1.5	1.5	1.5	mA
		XC5VLX30T	1.5	1.5	1.5	mA
		XC5VLX50	2	2	2	mA
		XC5VLX50T	2	2	2	mA
		XC5VLX85	3	3	3	mA
		XC5VLX85T	3	3	3	mA
		XC5VLX110	4	4	4	mA
		XC5VLX110T	4	4	4	mA
		XC5VLX155	8	8	8	mA
		XC5VLX155T	8	8	8	mA
		XC5VLX220	N/A	8	8	mA
		XC5VLX220T	N/A	8	8	mA
		XC5VLX330	N/A	12	12	mA
		XC5VLX330T	N/A	12	12	mA
		XC5VSX35T	1.5	1.5	1.5	mA
		XC5VSX50T	2	2	2	mA
		XC5VSX95T	N/A	4	4	mA
		XC5VSX240T	N/A	12	12	mA
		XC5VTX150T	N/A	7	7	mA
		XC5VTX240T	N/A	7	7	mA
		XC5VFX30T	4	4	4	mA
		XC5VFX70T	6	6	6	mA
XC5VFX100T	7	7	7	mA		
XC5VFX130T	8	8	8	mA		
XC5VFX200T	N/A	10	10	mA		

表 4 : 標準静止電流 (続き)

シンボル	説明	デバイス	スピード グレードおよび温度仕様			単位
			-3 (C)	-2 (C & I)	-1 (C & I)	
I _{CCAUXQ}	V _{CCAUX} 静止電流	XC5VLX20T	N/A	32	32	mA
		XC5VLX30	38	38	38	mA
		XC5VLX30T	43	43	43	mA
		XC5VLX50	57	57	57	mA
		XC5VLX50T	62	62	62	mA
		XC5VLX85	93	93	93	mA
		XC5VLX85T	98	98	98	mA
		XC5VLX110	125	125	125	mA
		XC5VLX110T	130	130	130	mA
		XC5VLX155	172	172	172	mA
		XC5VLX155T	177	177	177	mA
		XC5VLX220	N/A	229	229	mA
		XC5VLX220T	N/A	236	236	mA
		XC5VLX330	N/A	345	345	mA
		XC5VLX330T	N/A	353	353	mA
		XC5VSX35T	49	49	49	mA
		XC5VSX50T	74	74	74	mA
		XC5VSX95T	N/A	131	131	mA
		XC5VSX240T	N/A	300	300	mA
		XC5VTX150T	N/A	180	180	mA
		XC5VTX240T	N/A	300	300	mA
		XC5VFX30T	60	60	60	mA
		XC5VFX70T	110	110	110	mA
XC5VFX100T	150	150	150	mA		
XC5VFX130T	180	180	180	mA		
XC5VFX200T	N/A	250	250	mA		

メモ :

1. 標準値は、標準電圧およびジャンクション温度 85 (T_j) で指定されています。インダストリアル (I) グレード デバイスの標準値は、85 ではコマーシャル (C) グレード デバイスと同一ですが、100 では C グレード より高くなります。100 の値を求めるには、XPE ツールを使用してください。
2. これらの値は、「ブランク」のコンフィギュレーション ファイルを使用したデバイスにおけるもので、出力電流の負荷、アクティブな入力プルアップ抵抗はありません。また、すべての I/O ピンはトライステートおよびフローティング状態です。
3. DCI または差動信号を使用する場合、XPower Estimator (XPE) あるいは XPower Analyzer (XPA) を使用すると、静止電流がより正確に予測できます。

電源投入時の電流条件

ザイリンクス FPGA の電源投入時は、デバイスを正しく初期化するために一定以上の電源電流を必要とします。実際の消費電力は、電源の立ち上がり時間によって決定されます。

電源投入に指定された順序はありません。ただし、表 5 に示す仕様を満たすには、 V_{CCINT} 、 V_{CCAUX} 、 V_{CCO} の推奨順序で投入する必要があります。この順序で電源が投入される場合は、I/O は投入中トライステートのままになります。ザイリンクスでは、これ以外の順序での電流仕様や I/O 動作仕様を定めていません。

表 5 に、Virtex-5 の電源投入およびコンフィギュレーションに最低限必要な電流値を示します。

表 5 に示す最小電流を満たすと、3 つの電源すべてがパワー オンリセットしきい値電圧を越えた後に、デバイスに電源が投入されます。

FPGA は、 V_{CCINT} の投入後にコンフィギュレーションする必要があります。

初期化およびコンフィギュレーション後に、XPower ツールを使用し、これらの電源のドレイン電流を概算してください。

表 5 に示す最小電流を満たすと、3 つの電源すべてがパワー オンリセットしきい値電圧を越えた後に、デバイスに電源が投入されます。

FPGA は、 V_{CCINT} の投入後にコンフィギュレーションする必要があります。

初期化およびコンフィギュレーション後に、XPower ツールを使用し、これらの電源のドレイン電流を概算してください。

表 5 : Virtex-5 デバイスの電源投入時の電流

デバイス	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	単位
	標準(1)	標準(1)	標準(1)	
XC5VLX20T	172	54	50	mA
XC5VLX30	235	76	50	mA
XC5VLX30T	246	86	50	mA
XC5VLX50	320	114	50	mA
XC5VLX50T	336	124	50	mA

表 6 : 電源の立ち上がり時間

シンボル	説明	立ち上がり時間	単位
V_{CCINT}	GND に対する内部電源電圧	0.20 ~ 50.0	ms
V_{CCO}	GND に対する出力ドライバ電源電圧	0.20 ~ 50.0	ms
V_{CCAUX}	GND に対する補助電源電圧	0.20 ~ 50.0	ms

表 5 : Virtex-5 デバイスの電源投入時の電流 (続き)

デバイス	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	単位
	標準(1)	標準(1)	標準(1)	
XC5VLX85	492	186	100	mA
XC5VLX85T	515	196	100	mA
XC5VLX110	623	250	100	mA
XC5VLX110T	651	260	100	mA
XC5VLX155	695	351	100	mA
XC5VLX155T	728	368	100	mA
XC5VLX220	1023	458	150	mA
XC5VLX220T	1056	472	150	mA
XC5VLX330	1470	690	150	mA
XC5VLX330T	1509	706	150	mA
XC5VSX35T	307	98	50	mA
XC5VSX50T	472	148	50	mA
XC5VSX95T	804	262	100	mA
XC5VSX240T	1632	662	150	mA
XC5VTX150T	969	386	150	mA
XC5VTX240T	1245	572	150	mA
XC5VFX30T	358	116	50	mA
XC5VFX70T	695	232	100	mA
XC5VFX100T	749	298	100	mA
XC5VFX130T	1111	392	150	mA
XC5VFX200T	1222	534	150	mA

メモ :

- 標準値は、標準電圧および 25 の条件で指定されています。
- 電源投入時の最大電流は、XPOWER Estimator (XPE) または XPOWER Analyzer (XPA) ツールを用いて算出でき、静止電流およびダイナミック電流の消費量を加算した結果に該当します。

SelectIO™ DC 入力および出力レベル

V_{IL} および V_{IH} の値は、推奨入力電圧値です。 I_{OL} と I_{OH} の値は、 V_{OL} および V_{OH} テストポイントにおける推奨動作条件で保証されています。テストは、すべての規格で仕様が満たされていることが確認できるように一部の規格を選択し、最小 V_{CCO} およびそれぞれの V_{OL} と V_{OH} 電圧レベルで実施しています。選択された以外の規格に対しては、サンプルテストを実施しています。

表 7 : SelectIO DC 入力および出力レベル

I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
LVTTTL	-0.3	0.8	2.0	3.45	0.4	2.4	× ㊦(3)	× ㊦(3)
LVC MOS33, LVDCI33	-0.3	0.8	2.0	3.45	0.4	$V_{CCO} - 0.4$	× ㊦(3)	× ㊦(3)
LVC MOS25, LVDCI25	-0.3	0.7	1.7	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	× ㊦(3)	× ㊦(3)
LVC MOS18, LVDCI18	-0.3	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.3$	0.45	$V_{CCO} - 0.45$	× ㊦(4)	× ㊦(4)
LVC MOS15, LVDCI15	-0.3	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.3$	25% V_{CCO}	75% V_{CCO}	× ㊦(4)	× ㊦(4)
LVC MOS12	-0.3	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.3$	25% V_{CCO}	75% V_{CCO}	× ㊦(6)	× ㊦(6)
PCI33_3 ⁽⁵⁾	-0.2	30% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	× ㊦(5)	× ㊦(5)
PCI66_3 ⁽⁵⁾	-0.2	30% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	× ㊦(5)	× ㊦(5)
PCI-X ⁽⁵⁾	-0.2	35% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	× ㊦(5)	× ㊦(5)
GTL P	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	-	0.6	N/A	36	N/A
GTL	-0.3	$V_{REF} - 0.05$	$V_{REF} + 0.05$	-	0.4	N/A	32	N/A
HSTL I ₁₂	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	25% V_{CCO}	75% V_{CCO}	6.3	6.3
HSTL I ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	8	-8
HSTL II ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	16	-16
HSTL III ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	24	-8
HSTL IV ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	48	-8
DIFF HSTL I ⁽²⁾	-0.3	50% $V_{CCO} - 0.1$	50% $V_{CCO} + 0.1$	$V_{CCO} + 0.3$	-	-	-	-
DIFF HSTL II ⁽²⁾	-0.3	50% $V_{CCO} - 0.1$	50% $V_{CCO} + 0.1$	$V_{CCO} + 0.3$	-	-	-	-
SSTL2 I	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCO} + 0.3$	$V_{TT} - 0.61$	$V_{TT} + 0.61$	8.1	-8.1
SSTL2 II	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCO} + 0.3$	$V_{TT} - 0.81$	$V_{TT} + 0.81$	16.2	-16.2
DIFF SSTL2 I	-0.3	50% $V_{CCO} - 0.15$	50% $V_{CCO} + 0.15$	$V_{CCO} + 0.3$	-	-	-	-
DIFF SSTL2 II	-0.3	50% $V_{CCO} - 0.15$	50% $V_{CCO} + 0.15$	$V_{CCO} + 0.3$	-	-	-	-
SSTL18 I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.3$	$V_{TT} - 0.47$	$V_{TT} + 0.47$	6.7	-6.7
SSTL18 II	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.3$	$V_{TT} - 0.60$	$V_{TT} + 0.60$	13.4	-13.4
DIFF SSTL18 I	-0.3	50% $V_{CCO} - 0.125$	50% $V_{CCO} + 0.125$	$V_{CCO} + 0.3$	-	-	-	-
DIFF SSTL18 II	-0.3	50% $V_{CCO} - 0.125$	50% $V_{CCO} + 0.125$	$V_{CCO} + 0.3$	-	-	-	-

表 7 : SelectIO DC 入力および出力レベル (続き)

I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
DIFF SSTL18 I	-0.3	50% $V_{CCO} - 0.125$	50% $V_{CCO} + 0.125$	$V_{CCO} + 0.3$	-	-	-	-
DIFF SSTL18 II	-0.3	50% $V_{CCO} - 0.125$	50% $V_{CCO} + 0.125$	$V_{CCO} + 0.3$	-	-	-	-

メモ :

- 適切な仕様に基づいてテストを実施しています。
- 1.5V HSTL および 1.8V HSTL の両方に適用されます。
- 2、4、6、8、12、16、または 24mA の駆動電流を使用しています。
- 2、4、6、8、12、または 16mA の駆動電流を使用しています。
- PCI33_3、PCI66_3、および PCI-X の詳細は、[UG190](#) : 『Virtex-5 FPGA ユーザー ガイド』第 6 章の「3.3V I/O デザインのガイドライン」を参照してください。
- 2、4、6、または 8mA の駆動電流をサポートしています。

HT DC 仕様 (HT_25)

表 8 : HT DC 仕様

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{CCO}	電源電圧		2.38	2.5	2.63	V
V_{OD}	差動出力電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	495	600	715	mV
ΔV_{OD}	V_{OD} の変化分		-15		15	mV
V_{OCM}	出力同相電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	495	600	715	mV
ΔV_{OCM}	V_{OCM} の変化分		-15		15	mV
V_{ID}	入力差動電圧		200	600	1000	mV
ΔV_{ID}	V_{ID} の変化分		-15		15	mV
V_{ICM}	入力同相電圧		440	600	780	mV
ΔV_{ICM}	V_{ICM} の変化分		-15		15	mV

LVDS DC 仕様 (LVDS_25)

表 9 : LVDS DC 仕様

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{CCO}	電源電圧		2.38	2.5	2.63	V
V_{OH}	Q および \bar{Q} の最大出力電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$			1.675	V
V_{OL}	Q および \bar{Q} の最小出力電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	0.825			V
V_{ODIFF}	差動出力電圧 (Q - \bar{Q}), Q = High (Q - Q), \bar{Q} = High	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	247	350	600	mV
V_{OCM}	出力同相電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	1.125	1.250	1.375	V
V_{IDIFF}	差動入力電圧 (Q - \bar{Q}), Q = High (\bar{Q} - Q), \bar{Q} = High		100	350	600	mV
V_{ICM}	入力同相電圧		0.3	1.2	2.2	V

拡張 LVDS DC 仕様 (LVDSEXT_25)

表 10 : 拡張 LVDS DC 仕様

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{CCO}	電源電圧		2.38	2.5	2.63	V
V_{OH}	Q および \bar{Q} の最大出力電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$		-	1.785	V
V_{OL}	Q および \bar{Q} の最小出力電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	0.715	-	-	V
V_{ODIFF}	差動出力電圧 (Q - \bar{Q}), Q = High (Q - Q), \bar{Q} = High	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	350	-	820	mV
V_{OCM}	出力同相電圧	Q 信号と \bar{Q} 信号間で $R_T = 100\Omega$	1.125	1.250	1.375	V
V_{IDIFF}	差動入力電圧 (Q - \bar{Q}), Q = High (\bar{Q} - Q), \bar{Q} = High	入力同相電圧 = 1.25V	100	-	1000	mV
V_{ICM}	入力同相電圧	差動入力電圧 = $\pm 350\text{mV}$	0.3	1.2	2.2	V

LVPECL DC 仕様 (LVPECL_25)

これらの値は、2つのレシーバピン間に 100 Ω 抵抗を用いる場合のように、100 Ω 差動負荷のみを駆動する場合に有効です。 V_{OH} レベルは、標準 LVPECL レベルより 200mV 低く、同相電圧範囲がより低いデバイスと互換性があります。表 11 に、LVPECL の DC 出力仕様の概要を示します。LVPECL の詳細は、[UG190](#): 『Virtex-5 FPGA ユーザーガイド』第 6 章の「SelectIO リソース」を参照してください。

表 11 : LVPECL DC 仕様

シンボル	DC パラメータ	最小	標準	最大	単位
V_{OH}	最大出力電圧	$V_{CC} - 1.025$	1.545	$V_{CC} - 0.88$	V
V_{OL}	最小出力電圧	$V_{CC} - 1.81$	0.795	$V_{CC} - 1.62$	V
V_{ICM}	入力同相電圧	0.6		2.2	V
V_{IDIFF}	差動入力電圧 ^(1, 2)	0.100		1.5	V

メモ :

- 最大入力電圧は $V_{CCAUX} + 0.2\text{V}$ 以下にすることを推奨します。
- 最小入力電圧は -0.5V 以上にすることを推奨します。

PowerPC 440 のスイッチ特性

詳細は、『Virtex-5 FPGA レファレンスガイドのエンベデッド プロセッサ ブロック』を参照してください。

表 12 : プロセッサ ブロックのスイッチ特性

クロック名	説明	スピード グレード			単位
		-3	-2	-1	
CPMC440CLK	CPU クロック	550	475	400	MHz
CPMINTERCONNECTCLK	Xbar クロック	366.6	316.6	266.6	MHz
CPMPPCS0PLBCLK	スレーブ 0 PLB クロック ⁽¹⁾	183.3	158.3	133.3	MHz
CPMPPCS1PLBCLK	スレーブ 1 PLB クロック ⁽¹⁾	183.3	158.3	133.3	MHz
CPMPPCMPLBCLK	マスタ PLB クロック ⁽¹⁾	183.3	158.3	133.3	MHz
CPMMCCLK	メモリ インターフェイス クロック ⁽¹⁾⁽²⁾	366.6	316.6	266.6	MHz
CPMFCMCLK	FCM クロック ⁽¹⁾	275	237.5	200	MHz
CPMDCRCLK	FPGA ロジック DCR クロック ⁽¹⁾	183.3	158.3	133.3	MHz

表 12: プロセッサ ブロックのスイッチ特性 (続き)

クロック名	説明	スピード グレード			単位
		-3	-2	-1	
CPMDMA0LLCLK	DMA0 LL クロック ⁽¹⁾	250	250	200	MHz
CPMDMA1LLCLK	DMA1 LL クロック ⁽¹⁾	250	250	200	MHz
CPMDMA2LLCLK	DMA2 LL クロック ⁽¹⁾	250	250	200	MHz
CPMDMA3LLCLK	DMA3 LL クロック ⁽¹⁾	250	250	200	MHz
JTGC440TCK	JTAG クロック	50	50	50	MHz
CPMC440TIMERLOCK	タイマ クロック	275	237.5	200	MHz

メモ:

- 標準のバス周波数が参照目的のみに示されています。実際の周波数はユーザー デザインによって異なります。
- PowerPC® 440 プロセッサ用 DDR2 メモリ コントローラを使用しているデザインの最大クロック速度については、データシート [DS567](#) を参照してください。

表 13: プロセッサ ブロック MIB のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMMCCLK	1.146	1.247	1.463	ps
T _{CK_ADDRESS}		CPMMCCLK	1.017	1.136	1.38	ps
T _{CK_DATA}		CPMMCCLK	1.076	1.172	1.38	ps
T _{CONTROL_CK}		CPMMCCLK	0.736	0.844	0.941	ps
T _{DATA_CK}		CPMMCCLK	0.834	0.95	1.058	ps

表 14: プロセッサ ブロック PLBM のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMPPCMPLBCLK	0.971	1.095	1.354	ps
T _{CK_ADDRESS}		CPMPPCMPLBCLK	1.215	1.372	1.673	ps
T _{CK_DATA}		CPMPPCMPLBCLK	1.115	1.257	1.535	ps
T _{CONTROL_CK}		CPMPPCMPLBCLK	1.7	1.79	1.86	ps
T _{DATA_CK}		CPMPPCMPLBCLK	0.774	0.914	1.059	ps

表 15: プロセッサ ブロック PLBS0 のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMPPCS0PLBCLK	1.063	1.196	1.462	ps
T _{CK_DATA}		CPMPPCS0PLBCLK	1.052	1.189	1.461	ps
T _{CONTROL_CK}		CPMPPCS0PLBCLK	1.307	1.545	1.836	ps
T _{ADDRESS_CK}		CPMPPCS0PLBCLK	1.253	1.492	1.787	ps
T _{DATA_CK}		CPMPPCS0PLBCLK	0.825	0.971	1.124	ps

表 16: プロセッサ ブロック PLBS1 のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMPPCS1PLBCLK	1.083	1.234	1.525	ps
T _{CK_DATA}		CPMPPCS1PLBCLK	1.146	1.298	1.615	ps
T _{CONTROL_CK}		CPMPPCS1PLBCLK	1.335	1.596	1.921	ps
T _{ADDRESS_CK}		CPMPPCS1PLBCLK	1.328	1.568	1.864	ps
T _{DATA_CK}		CPMPPCS1PLBCLK	0.821	0.969	1.127	ps

表 17: プロセッサ ブロック DMA0 のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMDMA0LLCLK	1.256	1.42	1.665	ps
T _{CK_DATA}		CPMDMA0LLCLK	1.312	1.472	1.712	ps
T _{CONTROL_CK}		CPMDMA0LLCLK	0.453	0.558	0.716	ps
T _{DATA_CK}		CPMDMA0LLCLK	-0.105	-0.105	-0.104	ps

表 18: プロセッサ ブロック DMA1 のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMDMA1LLCLK	1.127	1.266	1.474	ps
T _{CK_DATA}		CPMDMA1LLCLK	1.266	1.418	1.645	ps
T _{CONTROL_CK}		CPMDMA1LLCLK	0.447	0.555	0.717	ps
T _{DATA_CK}		CPMDMA1LLCLK	-0.014	0.01	0.046	ps

表 19: プロセッサ ブロック DMA2 のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMDMA2LLCLK	1.101	1.235	1.437	ps
T _{CK_DATA}		CPMDMA2LLCLK	1.127	1.262	1.463	ps
T _{CONTROL_CK}		CPMDMA2LLCLK	0.771	0.924	1.155	ps
T _{DATA_CK}		CPMDMA2LLCLK	0.135	0.142	0.168	ps

表 20: プロセッサ ブロック DMA3 のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMDMA3LLCLK	1.094	1.242	1.462	ps

表 20 : プロセッサ ブロック DMA3 のスイッチ特性 (続き)

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
T _{CK_DATA}		CPMDMA3LLCLK	1.056	1.184	1.376	ps
T _{CONTROL_CK}		CPMDMA3LLCLK	0.636	0.767	0.965	ps
T _{DATA_CK}		CPMDMA3LLCLK	0.087	0.119	0.116	ps

表 21 : プロセッサ ブロック DCR のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMDCRCLK				
T _{CK_ADDRESS}		CPMDCRCLK				
T _{CK_DATA}		CPMDCRCLK				
T _{CONTROL_CK}		CPMDCRCLK				
T _{ADDRESS_CK}		CPMDCRCLK				
T _{DATA_CK}		CPMDCRCLK				

表 22 : プロセッサ ブロック FCM のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CPMFCMCLK	0.967	1.084	1.324	ps
T _{CK_DATA}		CPMFCMCLK	1.041	1.158	1.4	ps
T _{CK_INSTRUCTION}		CPMFCMCLK	0.701	0.818	1.06	ps
T _{CONTROL_CK}		CPMFCMCLK	1.057	1.218	1.395	ps
T _{DATA_CK}		CPMFCMCLK	0.608	0.698	0.768	ps
T _{RESULT_CK}		CPMFCMCLK	0.608	0.698	0.768	ps

表 23 : プロセッサ ブロック MISC のスイッチ特性

クロック名	説明	リファレンス クロック	スピード グレード			単位
			-3	-2	-1	
クロックに相対した clock-to-out およびセットアップ						
T _{CK_CONTROL}		CLK1				
T _{CK_ADDRESS}		CLK2				
T _{CK_DATA}		CLK3				
T _{CONTROL_CK}		CLK4				
T _{ADDRESS_CK}		CLK5				
T _{DATA_CK}		CLK6				

GTP_DUAL タイルの仕様

GTP_DUAL タイルの DC 特性

表 24 : GTP_DUAL タイルの絶対最大定格

シンボル	説明	説明	単位
MGTAVCCPLL	GND に対する GTP_DUAL 共有 PLL のアナログ電源電圧	-0.5 ~ 1.32	V
MGTAVTTTX	GND に対する GTP_DUAL トランスミッタのアナログ電源電圧	-0.5 ~ 1.32	V
MGTAVTTRX	GND に対する GTP_DUAL レシーバのアナログ電源電圧	-0.5 ~ 1.32	V
MGTAVCC	GND に対する GTP_DUAL 共通回路のアナログ電源電圧	-0.5 ~ 1.1	V
MGTAVTTRXC	GTP_DUAL 列の抵抗キャリブレーション回路のアナログ電源電圧	-0.5 ~ 1.32	V

メモ :

- この表の絶対最大定格を超える条件下では、デバイスが恒久的に破損する可能性があります。ここに示す値は最大定格値であり、この条件および推奨動作条件以外の状態でデバイスが動作することを示すものではありません。また、デバイスを絶対最大定格の状態ですべての時間使用すると、デバイスの信頼性が低下します。

表 25 : GTP_DUAL タイルの推奨動作条件⁽¹⁾⁽²⁾

シンボル	説明	最小	最大	単位
MGTAVCCPLL ⁽¹⁾	GND に対する GTP_DUAL 共有 PLL のアナログ電源電圧	1.14	1.26	V
MGTAVTTTX ⁽¹⁾	GND に対する GTP_DUAL トランスミッタのアナログ電源電圧	1.14	1.26	V
MGTAVTTRX ⁽¹⁾	GND に対する GTP_DUAL レシーバのアナログ電源電圧	1.14	1.26	V
MGTAVCC ⁽¹⁾	GND に対する GTP_DUAL 共通回路のアナログ電源電圧	0.95	1.05	V
MGTAVTTRXC ⁽¹⁾	GTP_DUAL 列の抵抗キャリブレーション回路のアナログ電源電圧	1.14	1.26	V

メモ :

- 表の各電圧で、[UG196](#) : 『Virtex-5 FPGA RocketIO GTP トランシーバ ユーザー ガイド』に説明されているフィルタ回路が必要です。
- 電圧は、温度 $T_j = -40 \sim +100$ の範囲で指定されています。

表 26 : GTP_DUAL タイルの推奨動作条件下での DC 特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
$I_{MGTAVTTTX}$	GTP_DUAL タイルの終端トランスミッタの電源電流 ⁽²⁾		71	90	mA
$I_{MGTAVCCPLL}$	GTP_DUAL タイルの共有 PLL 電源電流		36	60	mA
$I_{MGTAVTTRXC}$	GTP_DUAL タイル終端抵抗キャリブレーションの電源電流		0.1	0.5	mA
$I_{MGTAVTTRX}$	GTP_DUAL タイルの終端レシーバの電源電流 ⁽³⁾		0.1	0.5	mA
$I_{MGTAVCC}$	GTP_DUAL タイルの内部アナログ電源電流		56	110	mA
$MGTR_{REF}$	内部キャリブレーション終端の精度参照抵抗	49.9 ± 1%			Ω

メモ :

- 標準値は、25 の標準電圧 および 3.2Gb/s のライン レート条件で指定されています
- I_{CC} は、両方の GTP トランシーバがデフォルト設定で動作する場合の各 GTP_DUAL タイルの値です。
- TX/RX リンクは AC カップルされています。

表 27 : GTP_DUAL タイルの静止電流

シンボル	説明	標準 ⁽¹⁾	最大	単位
I _{AVTTXQ}	MGTAVTTTX (トランスミッタ終端) 静止電流	8.5	18	mA
I _{AVCCPLLQ}	MGTAVCCPLL (PLL) 静止電流	8	18	mA
I _{AVTTRXQ}	MGTAVTTRX (レシーバ終端) 静止電流 MGTAVTTRXCQ を含む。	0.1	0.8	mA
I _{AVCCQ}	MGTAVCC (アナログ) 静止電流	2.5	11	mA

メモ :

- 標準値は、標準電圧および 25 の条件で指定されています。
- デバイス電源はオンでコンフィギュレーションはされていません。
- この表で示す値以外の条件での電流値は、XPE (XPower Estimator) または XPA (XPower Analyzer) で取得できます。
- デバイス全体の GTP_DUAL タイルの静止電流の値を求める場合は、この表の値にターゲット LXT または SXT デバイスにある GTP_DUAL タイル数を掛けてください。

GTP_DUAL タイル DC 入力および出力レベル

表 28 に Virtex-5 FPGA の GTP_DUAL タイルの DC 出力仕様の概要を示し、図 1 にシングル エンド出力の電圧幅、図 2 に Peak-to-Peak 差動出力電圧を示します。

詳細は、UG196 : 『Virtex-5 FPGA RocketIO GTP トランシーバユーザー ガイド』を参照してください。

表 28 : GTP_DUAL タイルの DC 特性

シンボル	DC パラメータ	条件	最小	標準	最大	単位
DV _{PPIN}	Peak-to-Peak 差動入力電圧	外部 AC カップル ≤ 3.2Gb/s	150		2000	mV
		外部 AC カップル > 3.2Gb/s	180		2000	mV
V _{IN}	絶対入力電圧	DC カップル	-400		MGTAVTTRX + 400 ~ 1320	mV
V _{CMIN}	同相入力電圧	DC カップル MGTAVTTRX = 1.2V		800		mV
DV _{PPOUT}	Peak-to-Peak 差動出力電圧 ⁽¹⁾	TXBUFDIFFCTRL = 000, TX_DIFF_BOOST = ON			1400	mV
V _{SEOUT}	シングル エンド出力電圧幅 ⁽¹⁾	TXBUFDIFFCTRL = 000, TX_DIFF_BOOST = ON			700	mV
V _{CMOUT}	同相出力電圧	MGTAVTTTX = 1.2V に基づく	1200 – 振幅/2			mV
R _{IN}	差動入力抵抗		90	100	120	Ω
R _{OUT}	差動出力抵抗		90	100	120	Ω
T _{OSKEW}	差動出力スキュー				15	ps
C _{EXT}	外部 AC カップリング キャパシタの推奨値 ⁽²⁾		75	100	200	nF

メモ :

- 出力幅およびプリエンファシス レベルは、UG196 : 『Virtex-5 FPGA RocketIO GTP トランシーバユーザー ガイド』で説明している属性を使用してプログラムでき、その結果はこの表に示す値より小さくできる場合があります。
- 特定のプロトコルおよび規格に準拠するため、必要に応じて、これらの範囲外の値を使用する場合があります。

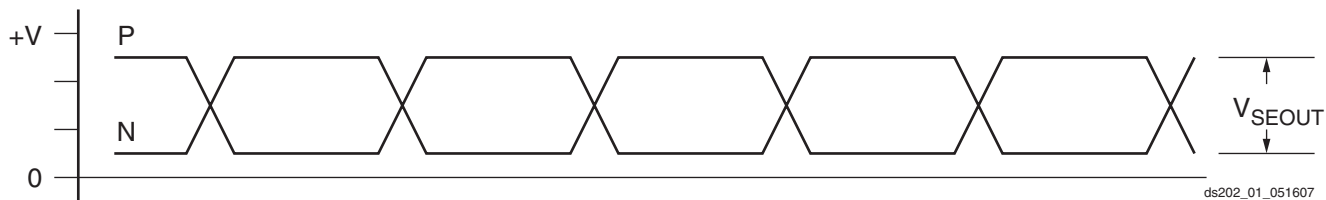


図 1 : シングル エンド 出力幅

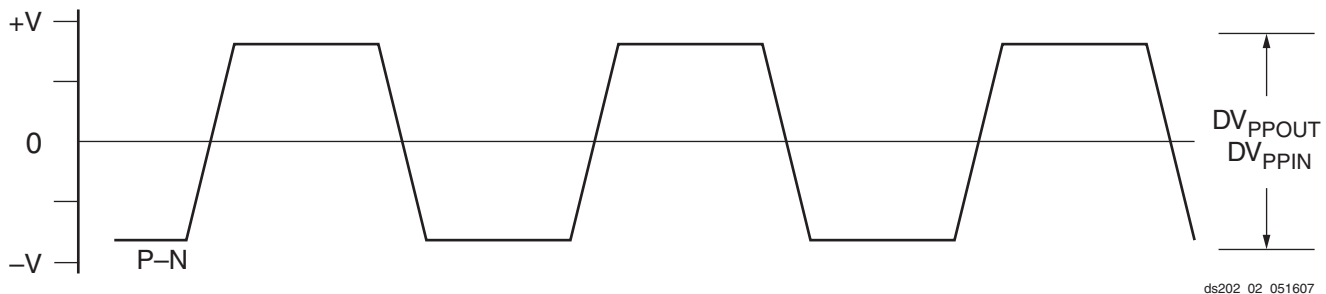


図 2 : Peak-to-Peak 差動出力電圧

表 29 に、GTP_DUAL タイルの DC 入力仕様の概要を示し、図 3 にシングル エンド入力の電圧幅、図 4 に Peak-to-Peak 差動クロック入力電圧幅を示します。詳細は、UG196: 『Virtex-5 FPGA RocketIO GTP トランシーバ ユーザー ガイド』を参照してください。

表 29 : GTP_DUAL タイルのクロック DC 入力の仕様⁽¹⁾

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{IDIFF}	Peak-to-Peak 差動入力電圧		200	800	2000	mV
V_{ISE}	シングルエンド入力電圧		100	400	1000	mV
R_{IN}	差動入力抵抗		80	105	130	Ω
C_{EXT}	外部 AC カップリンのキャパシタ要件		75	100	200	nF

メモ :

- $V_{MIN} = 0V$ および $V_{MAX} = 1200mV$ です。

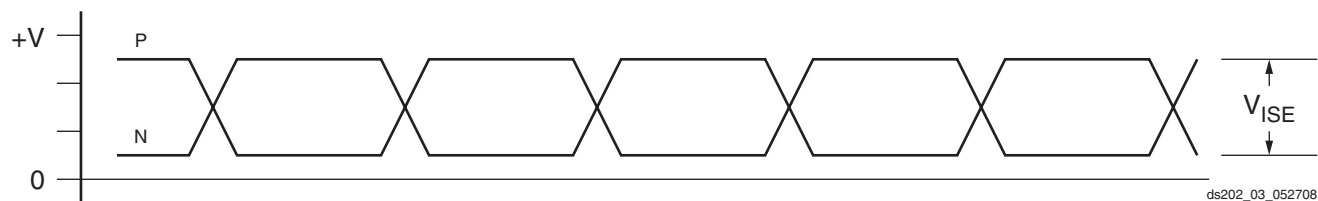


図 3 : シングルエンド クロック入力の Peak-to-Peak 電圧幅

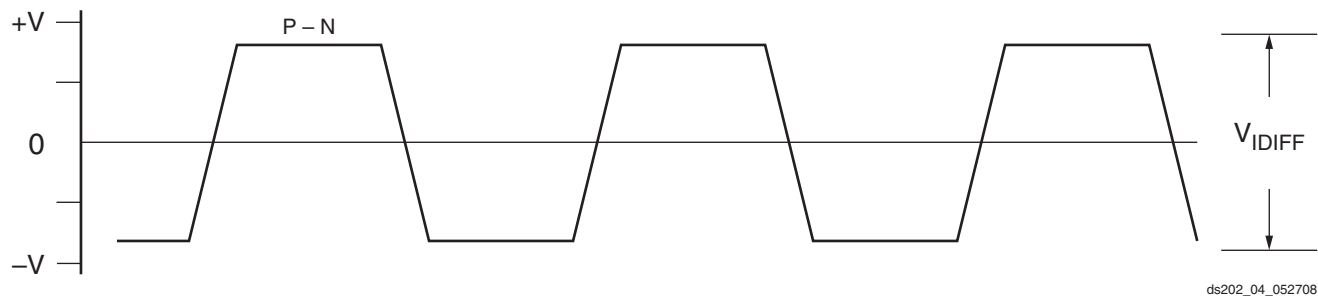


図 4 : 差動クロック入力の Peak-to-Peak 電圧幅

GTP_DUAL タイルのスイッチング特性

詳細は、[UG196](#)：『Virtex-5 FPGA RocketIO GTP トランシーバ ユーザー ガイド』を参照してください。

表 30 : GTP_DUAL タイルのパフォーマンス

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F_{GTPMAX}	最大 GTP トランシーバ データ レート	3.75	3.75	3.2	Gb/s
$F_{GPLLMAX}$	最大 PLL 周波数	2.0	2.0	2.0	GHz
$F_{GPLLMIN}$	最少 PLL 周波数	1.0	1.0	1.0	GHz

表 31 : GTP_DUAL タイルの DRP (ダイナミック リコンフィギュレーション ポート) のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
$F_{GTPDRPCLK}$	GTPDRPCLK 最大周波数	200	175	150	MHz

表 32 : GTP_DUAL タイルのリファレンス クロック スイッチ特性

シンボル	説明	条件	すべてのスピード グレード			単位
			最小	標準	最大	
F_{GCLK}	リファレンス クロック周波数範囲 ⁽¹⁾	CLK	60		350	MHz
T_{RCLK}	リファレンス クロック立ち上がり時間	20% ~ 80%		200	400	ps
T_{FCLK}	リファレンス クロック立ち下がり時間	80% ~ 20%		200	400	ps
T_{DCREF}	リファレンス クロック デューティ サイクル ⁽²⁾	CLK	40	50	60	%
T_{GJTT}	リファレンス クロックの総ジッタ、Peak-Peak ⁽³⁾	CLK			40	ps
T_{LOCK}	クロック リカバリ周波数の取得時間	PLL が最初にロックするまでの時間			1	ms
T_{PHASE}	クロック リカバリ位相の取得時間	PLL がリファレンス クロックに対してロックした後、データにロックするまでの時間。			200	μ s

メモ :

- GTP_DUAL 差動クロック ピン ペアからのクロックは、すべてのシリアル ビット レートに使用できます。GREFCLK は最大 1Gb/s までのシリアル ビット レートに使用できます。
- 325MHz を超えるリファレンス クロックでは、45% ~ 55% のデューティ サイクルを維持する必要があります。
- パッケージ ピンで計測された値です。GTP_DUAL のジッタ特性は、 T_{GJTT} 仕様のクロックを使用して計測されています。

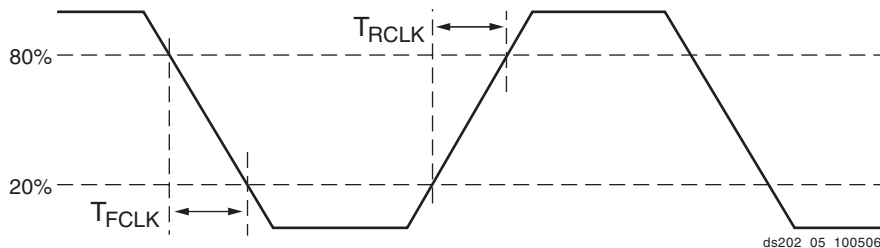


図 5 : リファレンス クロックのタイミング パラメータ

表 33 : GTP_DUAL タイルのユーザー クロック スイッチ特性⁽¹⁾

シンボル	説明	条件	スピード グレード			単位
			-3	-2	-1	
F _{TXOUT}	TXOUTCLK 最大周波数		375	375	320	MHz
F _{RXREC}	RXRECCLK 最大周波数		375	375	320	MHz
T _{RX}	RXUSRCLK 最大周波数		375	375	320	MHz
T _{RX2}	RXUSRCLK2 最大周波数	RXDATAWIDTH = 0	350	350	320	MHz
		RXDATAWIDTH = 1	187.5	187.5	160	MHz
T _{TX}	TXUSRCLK 最大周波数		375	375	320	MHz
T _{TX2}	TXUSRCLK2 最大周波数	TXDATAWIDTH = 0	350	350	320	MHz
		TXDATAWIDTH = 1	187.5	187.5	160	MHz

メモ :

1. クロックは、[UG196](#) : 『Virtex-5 FPGA RocketIO GTP トランシーバ ユーザー ガイド』に記載の方法でインプリメントする必要があります。

表 34 : GTP_DUAL タイルのトランスミッタ スイッチ特性

シンボル	説明	最小	標準	最大	単位
F _{GTPTX}	シリアル データ レート範囲	0.1		F _{GTPMAX}	Gb/s
T _{RTX}	TX 立ち上がり時間		140		ps
T _{FTX}	TX 立ち下がり時間		120		ps
T _{LLSKEW}	TX lane-to-lane スキュー ⁽¹⁾			855	ps
V _{TXOOBVDPP}	電気的アイドルの振幅			20	mV
T _{TXOOBTRANS}	電気的アイドル送信時間			40	ns
T _{J3.75}	総ジッタ ⁽²⁾	3.75Gb/s		0.35	UI
D _{J3.75}	確定的なジッタ ⁽²⁾			0.19	UI
T _{J3.2}	総ジッタ ⁽²⁾	3.20Gb/s		0.35	UI
D _{J3.2}	確定的なジッタ ⁽²⁾			0.19	UI
T _{J2.5}	総ジッタ ⁽²⁾	2.50Gb/s		0.30	UI
D _{J2.5}	確定的なジッタ ⁽²⁾			0.14	UI
T _{J2.0}	総ジッタ ⁽²⁾	2.00Gb/s		0.30	UI
D _{J2.0}	確定的なジッタ ⁽²⁾			0.14	UI
T _{J1.25}	総ジッタ ⁽²⁾	1.25Gb/s		0.20	UI
D _{J1.25}	確定的なジッタ ⁽²⁾			0.10	UI
T _{J1.00}	総ジッタ ⁽²⁾	1.00Gb/s		0.20	UI
D _{J1.00}	確定的なジッタ ⁽²⁾			0.10	UI
T _{J500}	総ジッタ ⁽²⁾	500Mb/s		0.10	UI
D _{J500}	確定的なジッタ ⁽²⁾			0.04	UI

表 34 : GTP_DUAL タイルのトランスミッタ スイッチ特性 (続き)

シンボル	説明		最小	標準	最大	単位
T _{J100}	総ジッタ ⁽²⁾	100Mb/s			0.02	UI
D _{J100}	確定的なジッタ ⁽²⁾				0.01	UI

- メモ :
1. 最大 4 個の連続した GTP_DUAL サイトに対して TXENPMAPHASEALIGN を有効にし、REFCLK 入力を使用した場合の値です。
 2. PLL_DIVSEL_FB = 2、INTDATAWIDTH = 1 を使用した場合の値です。
 3. すべてのジッタ値は、BER (Bit-Error Ratio) が $1e^{-12}$ の場合に基づいています。

表 35 : GTP_DUAL タイルのレシーバのスイッチ特性

シンボル	説明		最小	標準	最大	単位
F _{GTPRX}	シリアル データ レート	RX オーバーサンプリングの無効時	0.5		F _{GTPMAX}	Gb/s
		RX オーバーサンプリングの有効時	0.1		0.5	Gb/s
R _{XOOBVDPP}	OOB 検出しきい値 Peak-to-Peak	OOBDETECT_THRESHOLD = 100	60	105	165	mV
R _{XSSST}	レシーバ スペクトラム 拡散のトラッキング ⁽¹⁾	33KHz で変調	-5000		0	ppm
R _{XRL}	ラン レンダス (CID)	内部の AC キャパシタはバイパス			150	UI
R _{XPPMTOL}	データ/REFCLK PPM オフセット耐性	PLL_RXDIVSEL_OUT = 1 で CDR の 2 次ループが無効のとき ⁽²⁾	-200		200	ppm
		PLL_RXDIVSEL_OUT = 2 で CDR の 2 次ループが無効のとき ⁽²⁾	-200		200	ppm
		PLL_RXDIVSEL_OUT = 4 で CDR の 2 次ループが無効のとき ⁽²⁾	-100		100	ppm
		CDR の 2 次ループが有効のとき	-1000		1000	ppm
SJ ジッタ耐性						
JT_SJ _{3.75}	正弦波ジッタ ⁽³⁾	3.75Gb/s	0.30			UI
JT_SJ _{3.2}	正弦波ジッタ ⁽³⁾	3.20Gb/s	0.40			UI
JT_SJ _{2.50}	正弦波ジッタ ⁽³⁾	2.50Gb/s	0.40			UI
JT_SJ _{2.00}	正弦波ジッタ ⁽³⁾	2.00Gb/s	0.40			UI
JT_SJ _{1.00}	正弦波ジッタ ⁽³⁾	1.00Gb/s	0.30			UI
JT_SJ ₅₀₀	正弦波ジッタ ⁽³⁾	500Mb/s	0.30			UI
JT_SJ ₅₀₀	正弦波ジッタ ⁽³⁾	500Mb/s OS	0.30			UI
JT_SJ ₁₀₀	正弦波ジッタ ⁽³⁾	100Mb/s OS	0.30			UI

表 35 : GTX_DUAL タイルのレシーバのスイッチ特性 (続き)

シンボル	説明		最小	標準	最大	単位
負荷がある場合の SJ ジッタ耐性						
JT_TJSE _{3,2}	負荷がある場合の 総ジッタ ⁽⁴⁾	3.20Gb/s	0.87			UI
JT_SJSE _{3,2}	負荷がある場合の 正弦波ジッタ ⁽⁴⁾	3.20Gb/s	0.30			UI

メモ :

- PLL_RXDIVSELOUT = 1 のみを使用する場合です。
- CDR の 1 次ステップ サイズは 2 に設定されています。
- 確定的なジッタおよびランダム ジッタがない場合のみ、80MHz の正弦波ジッタを使用します。
- ステミュラス信号には、0.4UI の DJ および 0.17UI の RJ が含まれます。RX イコライザは有効です。
- すべてのジッタ値は、BER (Bit Error Ratio) が $1e^{-12}$ の場合に基づいています。

GTX_DUAL タイルの仕様

GTX_DUAL タイルの DC 特性

表 36 : GTX_DUAL タイルの絶対最大定格

シンボル	説明	説明	単位
MGTAVCCPLL	GND に対する GTX_DUAL 共有 PLL のアナログ電源電圧	-0.5 ~ 1.1	V
MGTAVTTTX	GND に対する GTX_DUAL トランスミッタのアナログ電源電圧	-0.5 ~ 1.32	V
MGTAVTTRX	GND に対する GTX_DUAL レシーバのアナログ電源電圧	-0.5 ~ 1.32	V
MGTAVCC	GND に対する GTX_DUAL 共通回路のアナログ電源電圧	-0.5 ~ 1.1	V
MGTAVTTRXC	GTX_DUAL 列の抵抗キャリブレーション回路のアナログ電源電圧	-0.5 ~ 1.32	V

メモ :

- この表の絶対最大定格を超える条件下では、デバイスが恒久的に破損する可能性があります。ここに示す値は最大定格値であり、この条件および推奨動作条件以外の状態でデバイスが動作することを示すものではありません。また、デバイスを絶対最大定格の状態では長時間使用すると、デバイスの信頼性が低下します。

表 37 : GTX_DUAL タイルの推奨動作条件⁽¹⁾⁽²⁾

シンボル	説明	最小	最大	単位
MGTAVCCPLL ⁽¹⁾	GND に対する GTX_DUAL 共有 PLL のアナログ電源電圧	0.95	1.05	V
MGTAVTTTX ⁽¹⁾	GND に対する GTX_DUAL トランスミッタのアナログ電源電圧	1.14	1.26	V
MGTAVTTRX ⁽¹⁾	GND に対する GTX_DUAL レシーバのアナログ電源電圧	1.14	1.26	V
MGTAVCC ⁽¹⁾	GND に対する GTX_DUAL 共通回路のアナログ電源電圧	0.95	1.05	V
MGTAVTTRXC ⁽¹⁾	GTX_DUAL 列の抵抗キャリブレーション回路のアナログ電源電圧	1.14	1.26	V

メモ :

- 表の各電圧で、[UG198](#): 『Virtex-5 FPGA RocketIO GTX トランシーバユーザー ガイド』に説明されているフィルタ回路が必要です。
- 電圧は、温度 $T_j = -40 \sim +100$ の範囲で指定されています。

表 38 : GTX_DUAL タイルの推奨動作条件下での DC 特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
I _{MGTAVTTTX}	GTX_DUAL タイルの終端トランスミッタの電源電流 ⁽²⁾		43.3	86.3	mA
I _{MGTAVCCPLL}	GTX_DUAL タイルの共有 PLL 電源電流		38.0	99.4	mA
I _{MGTAVTTRXC}	GTX_DUAL タイル終端抵抗キャリブレーションの電源電流		0.1	0.5	mA
I _{MGTAVTTRX}	GTX_DUAL タイルの終端レシーバの電源電流 ⁽³⁾		40.3	56.5	mA

表 38 : GTX_DUAL タイルの推奨動作条件下での DC 特性⁽¹⁾ (続き)

シンボル	説明	最小	標準	最大	単位
I _{MGTAVCC}	GTX_DUAL タイルの内部アナログ電源電流		80.5	179.5	mA
MGTR _{REF}	内部キャリブレーション終端の精度参照抵抗		59.0 ± 1%		Ω

- メモ :
- 標準値は、25 の標準電圧 および 3.2Gb/s のライン レート条件で指定されています
 - I_{CC} は、両方の GTP トランシーバがデフォルト設定で動作する場合の各 GTX_DUAL タイルの値です。
 - TX/RX リンクは AC カップルされています。
 - この表で指定されている以外の電流値は、XPower Estimator (XPE) または XPower Analyzer (XPA) ツールを使用すると取得できます。

表 39 : GTX_DUAL タイルの静止電流

シンボル	説明	標準 ⁽¹⁾	最大	単位
I _{AVTTTXQ}	MGTAVTTTX (トランスミッタ終端) 静止電流	8.2	21.6	mA
I _{AVCCPLLQ}	MGTAVCCPLL (PLL) 静止電流	0.8	4.8	mA
I _{AVTTRXQ}	MGTAVTTRX (レシーバ終端) 静止電流。MGTAVTTRXCQ を含む。	1.2	12.0	mA
I _{AVCCQ}	MGTAVCC (アナログ) 静止電流	9.0	50.4	mA

- メモ :
- 標準値は、標準電圧および 25 の条件で指定されています。
 - デバイス電源はオンでコンフィギュレーションはされていません。
 - この表で示す値以外の条件での電流値は、XPE (XPower Estimator) または XPA (XPower Analyzer) で取得できます。
 - デバイス全体の GTX_DUAL タイルの静止電流の値を求める場合は、この表の値にターゲット TXT または FXT デバイスにある GTX_DUAL タイル数を掛けてください。

GTX_DUAL タイル DC 入力および出力レベル

表 40 に Virtex-5 FPGA の GTX_DUAL タイルの DC 出力仕様の概要を示し、図 6 にシングル エンド 出力の電圧幅、図 7 に Peak-to-Peak 差動出力電圧を示します。

詳細は、UG198 : 『Virtex-5 FPGA RocketIO GTX トランシーバユーザー ガイド』を参照してください。

表 40 : GTX_DUAL タイルの DC 特性

シンボル	DC パラメータ	条件	最小	標準	最大	単位
DV _{PPIN}	Peak-to-Peak 差動入力電圧	外部 AC カップル ≤ 4.25 Gb/s	125		1800	mV
		外部 AC カップル > 4.25 Gb/s	125		1800	mV
V _{IN}	絶対入力電圧	DC カップル MGTAVTTRX = 1.2V	-400		MGTAVTTRX + 400 ~ 1320	mV
V _{CMIN}	同相入力電圧	DC カップル MGTAVTTRX = 1.2V		800		mV
DV _{PPOUT}	Peak-to-Peak 差動出力電圧 ⁽¹⁾	TXBUFDIFFCTRL = 111			1400	mV
V _{SEOUT}	シングル エンド 出力電圧幅 ⁽¹⁾	TXBUFDIFFCTRL = 111			700	mV
V _{CMOUT}	同相出力電圧	MGTAVTTTX = 1.2V に基づく	1200 - DV _{PPOUT} /2			mV
R _{IN}	差動入力抵抗		85	100	120	Ω
R _{OUT}	差動出力抵抗		85	100	120	Ω
T _{OSKEW}	差動出力スキュー			2	8	ps

表 40 : GTX_DUAL タイルの DC 特性 (続き)

シンボル	DC パラメータ	条件	最小	標準	最大	単位
C_{EXT}	外部 AC カップリング キャパシタの推奨値 ⁽²⁾		75	100	200	nF

メモ :

- 出力幅およびプリエンファシス レベルは、[UG198](#): 『Virtex-5 FPGA RocketIO GTX トランシーバ ユーザー ガイド』で説明している属性を使用してプログラムでき、その結果はこの表に示す値より小さくできる場合があります。
- 特定のプロトコルおよび規格に準拠するため、必要に応じて、これらの範囲外の値を使用する場合があります。

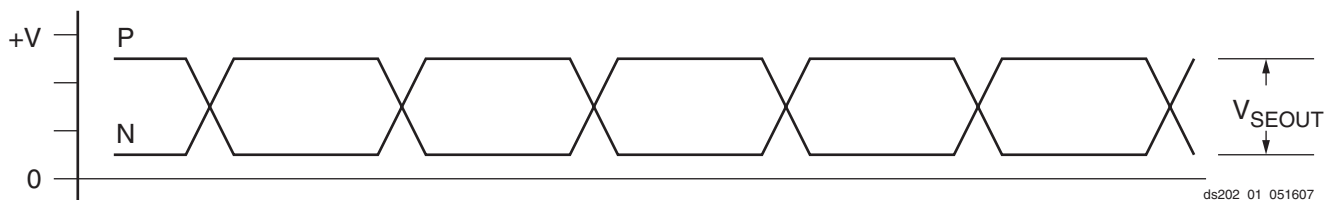


図 6 : シングル エンド 出力幅

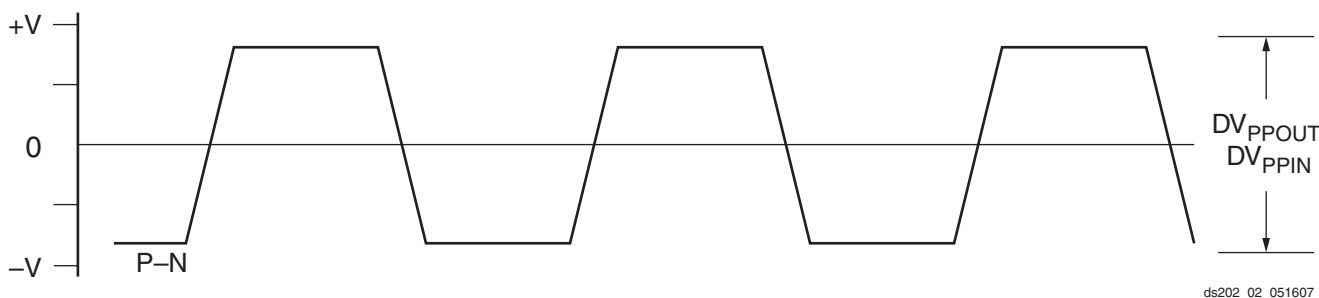


図 7 : Peak-to-Peak 差動出力電圧

表 41 に GTX_DUAL タイルの DC 入力仕様の概要を示し、[図 8](#) にシングル エンド 入力の電圧幅、[図 9](#) に Peak-to-Peak 差動クロック 入力電圧幅を示します。詳細は、[UG198](#): 『Virtex-5 FPGA RocketIO GTX トランシーバ ユーザー ガイド』を参照してください。

表 41 : GTX_DUAL タイルのクロック DC 入力レベルの仕様⁽¹⁾

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{IDIFF}	Peak-to-Peak 差動入力電圧		210	800	2000	mV
V_{ISE}	シングルエンド入力電圧		105	400	750	mV
R_{IN}	差動入力抵抗		90	105	130	Ω
C_{EXT}	外部 AC カップリンのキャパシタ要件			100		nF

メモ :

- $V_{MIN} = 0V$ および $V_{MAX} = 1200mV$ です。

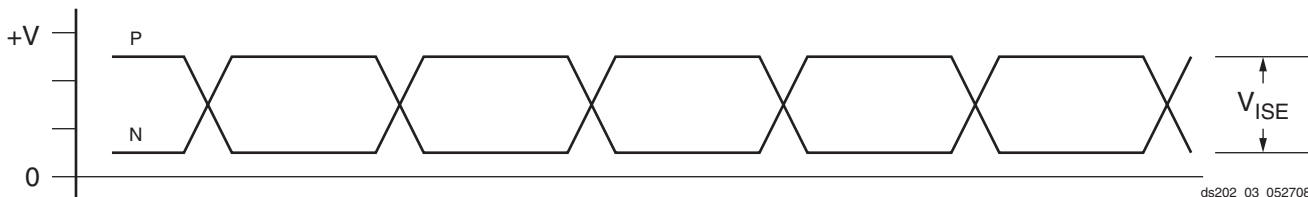
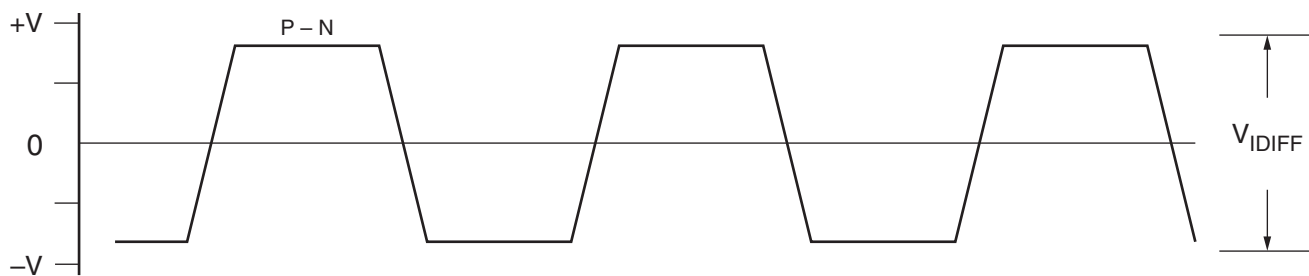


図 8 : シングルエンド クロック入力の Peak-to-Peak 電圧幅



ds202 04 052708

図 9：差動クロック入力の Peak-to-Peak 電圧幅

GTX_DUAL タイルのスイッチング特性

詳細は、[UG198](#)：『Virtex-5 FPGA RocketIO GTX トランシーバ ユーザー ガイド』を参照してください。

表 42：GTX_DUAL タイルのパフォーマンス

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F _{GTPMAX}	最大 GTX トランシーバ データ レート	6.5	6.5	4.25	Gb/s
F _{GPLLMAX}	最大 PLL 周波数	3.25	3.25	3.25	GHz
F _{GPLLMIN}	最少 PLL 周波数	1.5	1.5	1.5	GHz

表 43：GTX_DUAL タイルの DRP (ダイナミック リンクコンフィギュレーション ポート) のスイッチング特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F _{GTXDRPCLK}	GTXDRPCLK 最大周波数	200	175	150	MHz

表 44：GTX_DUAL タイルのリファレンス クロック スイッチ特性

シンボル	説明	条件	すべてのスピード グレード			単位
			最小	標準	最大	
F _{GCLK}	リファレンス クロック周波数範囲 ⁽¹⁾	CLK	60		650	MHz
T _{RCLK}	リファレンス クロック立ち上がり時間	20% ~ 80%		200		ps
T _{FCLK}	リファレンス クロック立ち下がり時間	80% ~ 20%		200		ps
T _{DCREF}	リファレンス クロック デューティ サイクル	CLK	40	50	60	%
T _{GJTT}	リファレンス クロックの総ジッタ ⁽²⁾⁽³⁾	100KHz		-145		dBc/Hz
		1MHz		-150		dBc/Hz
T _{LOCK}	クロック リカバリ周波数の取得時間	PLL が最初にロックするまでの時間		0.25	1	ms
T _{PHASE}	クロック リカバリ位相の取得時間	PLL がリファレンス クロック に対してロックした後、データ にロックするまでの時間			200	μs

メモ：

1. GREFCLK は最大 1Gb/s までのシリアル ビット レートに使用できますが、この場合ジッタ仕様は保証されません。
2. GTX_DUAL ジッタ特性は T_{GJTT} 仕様のクロックを使用して計測されています。位相ノイズの高いリファレンス クロックは、リンク マージンとのバランスを取ることで使用できます。
3. 選択するリファレンス クロックは、アプリケーションによって異なります。このパラメータでは、トランシーバのジッタのキャラクタライゼーション中に使用されるリファレンス クロックの値が記述されています。表 46 および表 47 を参照してください。

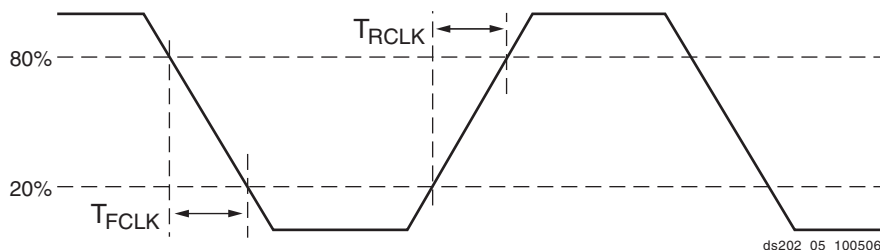


図 10: リファレンス クロックのタイミング パラメータ

表 45: GTX_DUAL タイルのユーザー クロック スイッチ特性⁽¹⁾

シンボル	説明	条件	デバイス	スピード グレード			単位
				-3	-2	-1	
F _{TXOUT}	TXOUTCLK 最大周波数	内部 20 ビット データパス	FXT	325	325	212.5	MHz
			TXT	-	325	212.5	MHz
		内部 16 ビット データパス	FXT	406.25	406.25	265.625	MHz
			TXT	-	406.25	265.625	MHz
F _{RXREC}	RXRECCLK 最大周波数		FXT	406.25	406.25	265.625	MHz
			TXT	-	406.25	265.625	MHz
T _{RX}	RXUSRCLK 最大周波数	2 バイト または 4 バイト インターフェイス	FXT	406.25	406.25	265.625	MHz
			TXT	-	406.25	265.625	MHz
T _{RX2}	RXUSRCLK2 最大周波数	1 バイト インターフェイス	FXT	375	312.5	235.625	MHz
		2 バイト インターフェイス		406.25	390.625	265.625	MHz
		4 バイト インターフェイス		203.125	203.125	132.813	MHz
		1 バイト インターフェイス	TXT	-	312.5	235.625	MHz
		2 バイト インターフェイス		-	265.625	265.625	MHz
		4 バイト インターフェイス		-	203.125	132.813	MHz
T _{TX}	TXUSRCLK 最大周波数	2 バイト または 4 バイト インターフェイス	FXT	406.25	406.25	265.625	MHz
			TXT	-	406.25	265.625	MHz
T _{TX2}	TXUSRCLK2 最大周波数	1 バイト インターフェイス	FXT	375	312.5	235.625	MHz
		2 バイト インターフェイス		406.25	390.625	265.625	MHz
		4 バイト インターフェイス		203.125	203.125	132.813	MHz
		1 バイト インターフェイス	TXT	-	312.5	235.625	MHz
		2 バイト インターフェイス		-	265.625	265.625	MHz
		4 バイト インターフェイス		-	203.125	132.813	MHz

メモ:

1. クロックは、[UG198](#): 『Virtex-5 FPGA RocketIO GTX トランシーバ ユーザー ガイド』に記載の方法でインプリメントする必要があります。

表 46: GTX_DUAL タイルのトランスミッタ スイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F _{GTXTX}	シリアル データ レート 範囲		0.15		F _{GTXMAX}	Gb/s
T _{RTX}	TX 立ち上がり時間	20% ~ 80%		120		ps
T _{FTX}	TX 立ち下がり時間	80% ~ 20%		120		ps

表 46 : GTX_DUAL タイルのトランスミッタ スイッチ特性 (続き)

シンボル	説明	条件	最小	標準	最大	単位
T _{LLSKEW}	TX lane-to-lane スキュー (1)				350	ps
V _{TXOOBVDPP}	電気的アイドルの振幅				15	mV
T _{TXOOBTRANSITION}	電気的アイドル送信時間				75	ns
T _{J6.5}	総ジッタ(2)	6.5Gb/s			0.33	UI
D _{J6.5}	確定的なジッタ(2)				0.17	UI
T _{J5.0}	総ジッタ(2)	5.0Gb/s			0.33	UI
D _{J5.0}	確定的なジッタ(2)				0.15	UI
T _{J4.25}	総ジッタ(2)	4.25Gb/s			0.33	UI
D _{J4.25}	確定的なジッタ(2)				0.14	UI
T _{J3.75}	総ジッタ(2)	3.75Gb/s			0.34	UI
D _{J3.75}	確定的なジッタ(2)				0.16	UI
T _{J3.2}	総ジッタ(2)	3.2Gb/s			0.20	UI
D _{J3.2}	確定的なジッタ(2)				0.10	UI
T _{J3.2L}	総ジッタ(2)	3.2Gb/s(3)			0.36	UI
D _{J3.2L}	確定的なジッタ(2)				0.16	UI
T _{J2.5}	総ジッタ(2)	2.5Gb/s			0.20	UI
D _{J2.5}	確定的なジッタ(2)				0.08	UI
T _{J1.25}	総ジッタ(2)	1.25Gb/s			0.15	UI
D _{J1.25}	確定的なジッタ(2)				0.06	UI
T _{J750}	総ジッタ(2)	750Mb/s			0.10	UI
D _{J750}	確定的なジッタ(2)				0.03	UI
T _{J150}	総ジッタ(2)	150Mb/s			0.02	UI
D _{J150}	確定的なジッタ(2)				0.01	UI

メモ :

- 最大 4 個の連続した GTX_DUAL サイトに対して TXENPMAPHASEALIGN を有効にし、REFCLK 入力を使用した場合の値です。
- PLL_DIVSEL_FB = 2、INTDATAWIDTH = 1 を使用した場合の値です。これらの値は、プロトコル特定の準拠の確定のための値ではありません。
- PLL 周波数 1.6GHz、UTDIV = 1 を使用した場合の値です。
- GREFCLK は、1.0Gb/s までのシリアル データに使用できますが、パフォーマンスは保証されていません。

表 47 : GTX_DUAL タイルのレシーバのスイッチ特性

シンボル	説明	最小	標準	最大	単位	
F _{GTXRX}	シリアル データ レート	RX オーバーサンブラの無効時	0.75		F _{GTXMAX}	Gb/s
		RX オーバーサンブラの有効時	0.15		0.75	Gb/s
T _{RXELECIDLE}	RXELECIDLE がデータ損失または復元に応答するための時間	OOBDETECT_THRESHOLD = 110		75	ns	
R _{XOOBVDPP}	OOB 検出しきい値 Peak-to-Peak	OOBDETECT_THRESHOLD = 110		55	135	mV
R _{XSSST}	レシーバスペクトラム拡散のトラッキング(1)	33KHz で変調		-5000	0	ppm
R _{XRL}	ラン レングス (CID)	内部の AC キャパシタはバイパス			512	UI

表 47 : GTX_DUAL タイルのレシーバのスイッチ特性 (続き)

シンボル	説明		最小	標準	最大	単位
R _{XPPMTOL}	データ/REFCLK PPM オフセット耐性	CDR の 2 次ループが無効のとき	-200		200	ppm
		CDR の 2 次ループが有効のとき	-2000		2000	ppm
SJ ジッタ耐性 ⁽²⁾						
JT_SJ _{6.5}	正弦波ジッタ ⁽³⁾	6.5Gb/s	0.44			UI
JT_SJ _{5.0}	正弦波ジッタ ⁽³⁾	5.0Gb/s	0.44			UI
JT_SJ _{4.25}	正弦波ジッタ ⁽³⁾	4.25Gb/s	0.44			UI
JT_SJ _{3.75}	正弦波ジッタ ⁽³⁾	3.75Gb/s	0.44			UI
JT_SJ _{3.2}	正弦波ジッタ ⁽³⁾	3.2Gb/s	0.45			UI
JT_SJ _{3.2L}	正弦波ジッタ ⁽³⁾	3.2Gb/s ⁽⁴⁾	0.45			UI
JT_SJ _{2.5}	正弦波ジッタ ⁽³⁾	2.5Gb/s	0.50			UI
JT_SJ _{1.25}	正弦波ジッタ ⁽³⁾	1.25Gb/s	0.50			UI
JT_SJ ₇₅₀	正弦波ジッタ ⁽³⁾⁽⁵⁾	750Mb/s	0.57			UI
JT_SJ ₁₅₀	正弦波ジッタ ⁽³⁾⁽⁵⁾	150Mb/s	0.57			UI
負荷がある場合の SJ ジッタ耐性 ⁽²⁾						
JT_TJSE _{4.25}	負荷がある場合の総ジッタ ⁽⁶⁾	4.25Gb/s	0.69			UI
JT_SJSE _{4.25}	負荷がある場合の正弦波ジッタ ⁽⁶⁾	4.25Gb/s	0.1			UI

メモ :

1. PLL_RXDIVSELOUT = 1、2、および 4 を使用する場合があります。
2. すべてのジッタ値は、BER (Bit Error Ratio) が $1e^{-12}$ の場合に基づいています。
3. 確定的なジッタおよびランダム ジッタがない場合のみ、80MHz の正弦波ジッタを使用します。
4. PLL 周波数 1.6GHz、OUTDIV = 1 を使用した場合の値です。
5. GREFCLK は、1.0Gb/s までのシリアルデータに使用できますが、パフォーマンスは保証されていません。
6. RX イコライザが有効にされている複合ジッタです。DFE は無効です。

CRC ブロック スイッチ特性

表 48 : CRC ブロック スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F _{CRC}	CRCCLK の最大周波数	325	325	270	MHz

イーサネット MAC スイッチ特性

詳細は、[UG194](#) : 『Virtex-5 エンベデッド トライモード イーサネット MAC ユーザー ガイド』を参照してください。

表 49 : イーサネット MAC の最大パフォーマンス

シンボル	説明	条件	スピード グレード			単位
			-3	-2	-1	
F _{TEMACCLIENT}	クライアント インターフェイスの 最大周波数	10Mb/s – 8-ビット幅	1.25	1.25	1.25	MHz
		100Mb/s – 8-ビット幅	12.5	12.5	12.5	MHz
		1000Mb/s – 8-ビット幅	125	125	125	MHz
		2000Mb/s – 16-ビット幅	125	125	125	MHz

表 49 : イーサネット MAC の最大パフォーマンス

シンボル	説明	条件	スピード グレード			単位
			-3	-2	-1	
F _{TEMACPHY}	物理インターフェースの最大周波数	10Mb/s – 4-ビット幅	2.5	2.5	2.5	MHz
		100Mb/s – 4-ビット幅	25	25	25	MHz
		1000Mb/s – 8-ビット幅	125	125	125	MHz
		2000Mb/s – 8-ビット幅	250	250	250	MHz

PCI Express デザイン用エンドポイント ブロックのスイッチ特性

詳細は、[UG197](#) : 『PCI Express 用 Virtex-5 FPGA Integrated エンドポイント ブロック ユーザー ガイド』を参照してください。

表 50 : PCI Express デザインの最大パフォーマンス

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F _{PCIECORE}	コア クロックの最大周波数	250	250	250	MHz
F _{PCIEUSER}	ユーザー クロックの最大周波数	250	250	250	MHz

システム モニタの ADC (AD コンバータ) 仕様

表 51 : ADC の仕様

パラメータ	シンボル	コメント/ 条件	最小	標準	最大	単位
AV _{DD} = 2.5V ± 2%, V _{REFP} = 2.5V, V _{REFN} = 0V, ADCCLK = 5.2MHz, T _A = T _{MIN} ~ T _{MAX} , 標準値は T _A = +25 で指定						
DC 仕様の精密度 : V _P /V _N および V _{AUXP} [15:0]/V _{AUXN} [15:0] などすべての外部入力チャネル、ユニポーラ モード、同相電圧 = 0V の場合の値。						
精度			10			ビット
積分非直線性	INL				±2	LSB
差動非直線性	DNL	コードの欠落なし (T _{MIN} ~ T _{MAX}) 単調であることを保証			±0.9	LSB
ユニポーラ オフセット エラー ⁽¹⁾		キャリブレーションなし		±2	±30	LSB
バイポーラ オフセット エラー ⁽¹⁾		バイポーラ モードでキャリブレーションなし		±2	±30	LSB
ゲイン エラー ⁽¹⁾		キャリブレーションされていない		±0.2	±2	%
バイポーラ ゲイン エラー ⁽¹⁾		バイポーラ モードでキャリブレーションなし		±0.2	±2	%
総未調整エラー (キャリブレーションなし)	TUE	理想的な伝達関数からのずれ V _{REFP} - V _{REFN} = 2.5V		±10		LSB
総未調整エラー (キャリブレーション済み)	TUE	理想的な伝達関数からのずれ V _{REFP} - V _{REFN} = 2.5V		±1	±2	LSB
キャリブレーション済みの ゲイン温度係数		温度による FS コードの変動		±0.01		LSB/
DC 同相リジェクト	CMRR _{DC}	V _N = V _{CM} = 0.5V ± 0.5V, V _P - V _N = 100mV		70		dB
変換レート ⁽²⁾						

表 51 : ADC の仕様 (続き)

パラメータ	シンボル	コメント/条件	最小	標準	最大	単位
変換時間 - 継続	t_{CONV}	CLK サイクル数	26		32	
変換時間 - イベント	t_{CONV}	CLK サイクル数			21	
T/H 取得時間	t_{ACQ}	CLK サイクル数	4			
DRP クロック周波数	DCLK	DRP クロック周波数	8		250	MHz
ADC クロック周波数	ADCCLK	DCLK からの派生クロック	1		5.2	MHz
CLK デューティ サイクル			40		60	%
アナログ入力 ⁽³⁾						
専用アナログ入力 入力電圧範囲 $V_P - V_N$		ユニポーラ動作	0		1	V
		差動入力	-0.25		+0.25	
		ユニポーラ同相範囲 (FS 入力)	0		+0.5	
		差動同相範囲 (FS 入力)	+0.3		+0.7	
		バンド幅			20	MHz
補助アナログ入力 入力電圧範囲 $V_{\text{AUXP}[0]} / V_{\text{AUXN}[0]} \sim V_{\text{AUXP}[15]} / V_{\text{AUXN}[15]}$		ユニポーラ動作	0		1	V
		差動動作	-0.25		+0.25	
		ユニポーラ同相範囲 (FS 入力)	0		+0.5	
		差動同相範囲 (FS 入力)	+0.3		+0.7	
		バンド幅			10	kHz
入力リーク電流		A/D 変換なし、ADCCLK 停止		± 1.0		μA
入力容量				10		pF
オンチップ電源モニタ エラー		キャリブレーションが有効な場合の V_{CCINT} および V_{CCAUX}			± 1.0	% Reading
オンチップの温度モニタ エラー		キャリブレーションが有効な場合、 -40 ~ +125			± 4	
外部参照入力 ⁽⁴⁾						
参照入力電圧の正の範囲	V_{REFP}	V_{REFN} に対して計測	2.45	2.5	2.55	V
参照入力電圧の負の範囲	V_{REFN}	AGND に対して計測	-50	0	100	mV
入力電流	I_{REF}	ADCCLK = 5.2MHz			100	μA
電源要件						
アナログ電源	AV_{DD}	AV_{SS} に対して計測	2.45	2.5	2.55	V
アナログ電源の電流	AI_{DD}	ADCCLK = 5.2MHz	5		8	mA

メモ :

- オフセット エラーおよびゲイン エラーは、システム モニタの自動ゲイン キャリブレーション機能を有効にすると解除されます。
詳細は、[UG192](#) : 『Virtex-5 システム モニタ ユーザー ガイド』を参照してください。
- 詳細は、[UG192](#) : 『Virtex-5 システム モニタ ユーザー ガイド』の「システム モニタのタイミング」を参照してください。
- 詳細は、[UG192](#) : 『Virtex-5 システム モニタ ユーザー ガイド』の「アナログ入力」を参照してください。
- 参照電圧が $V_{\text{REFP}} = 2.5\text{V}$ および $V_{\text{REFN}} = 0\text{V}$ の標準電圧以外の場合、理想的な伝達関数からのずれを生じます。また、内部センサーの温度や電源などの計測値にも影響を与えます。外付けレシオメトリック タイプのアプリケーションでは、電源電圧および参照電圧の変動は $\pm 2\%$ まで許容されます。

パフォーマンス特性

ここでは、Virtex-5 デバイスにインプリメントされた一般的なファンクションおよびデザインのパフォーマンス特性を示します。ここに記載する値はワースト ケース値であり、完全に特性評価が行われています。また、これらの値は 31 ページの「スイッチ特性」に記載されたガイドラインに従ったものです。表 52 に、内部 (Register-to-Register) パフォーマンスを示します。

表 52 : Register-to-Register パフォーマンス

説明	Register-to-Register (I/O 遅延あり)			単位
	スピード グレード			
	-3	-2	-1	
基本ファンクション				
16:1 マルチプレクサ	550	500	450	MHz
32:1 マルチプレクサ	550	500	450	MHz
64:1 マルチプレクサ	511	467	407	MHz
4 段パイプラインの 9 x 9 ロジック乗算器	468	438	428	MHz
5 段パイプラインの 9 x 9 ロジック乗算器	550	500	428	MHz
16 ビット加算器	550	500	450	MHz
32 ビット加算器	550	500	447	MHz
64 ビット加算器	423	377	323	MHz
レジスタ - LUT - レジスタ	550	500	450	MHz
16 ビットカウンタ	550	500	450	MHz
32 ビットカウンタ	550	500	450	MHz
64 ビットカウンタ	428	381	333	MHz
メモリ				
カスケード接続されたブロック RAM (64K)	500	450	400	MHz
パイプライン化されたブロック RAM				
シングルポート 512 x 36 ビット	550	500	450	MHz
シングルポート 4096 x 4 ビット	550	500	450	MHz
デュアルポート A : 4096 x 4 ビットと B : 1024 x 18 ビット	550	500	450	MHz
分散 RAM				
シングルポート 16 x 8	550	500	450	MHz
シングルポート 32 x 8	550	500	450	MHz
シングルポート 64 x 8	550	500	450	MHz
デュアルポート 16 x 8				MHz
シフトレジスタチェーン				
16 ビット	550	500	450	MHz
32 ビット	550	500	450	MHz
64 ビット	550	500	438	MHz

表 52 : Register-to-Register パフォーマンス (続き)

説明	Register-to-Register (I/O 遅延あり)			単位
	スピード グレード			
	-3	-2	-1	
専用演算ロジック				
DSP48E クワッド 12 ビット加減算器	550	500	450	MHz
DSP48E デュアル 24 ビット加減算器	550	500	450	MHz
DSP48E 48 ビット加減算器	550	500	450	MHz
DSP48E 48 ビットカウンタ	550	500	450	MHz
DSP48E 48 ビットコンパレータ	550	500	450	MHz
パイプライン化された DSP48E 25 x 18 ビット乗算器	550	500	450	MHz
パイプライン化された DSP48E ダイレクト 4 タップ FIR フィルタ	510	458	397	MHz
パイプライン化された DSP48E シストリック N タップ FIR フィルタ	550	500	450	MHz

メモ :

1. 使用デバイスは XC5VLX50T-FF1136 です。

表 53 : インターフェイス パフォーマンス

説明	スピード グレード		
	-3	-2	-1
ネットワーク アプリケーション			
SFI-4.1 (SDR LVDS インターフェイス) ⁽¹⁾	710MHz	710MHz	645MHz
SPI-4.2 (DDR LVDS インターフェイス) ⁽²⁾	1.25Gb/s	1.25Gb/s	1.0Gb/s
メモリ インターフェイス			
DDR ⁽³⁾	200MHz	200MHz	200MHz
DDR2 ⁽⁴⁾	333MHz	300MHz	267MHz
QDR II SRAM ⁽⁵⁾	300MHz	300MHz	250MHz
RLDRAM II ⁽⁶⁾	333MHz	300MHz	250MHz

メモ :

1. アプリケーション ノート XAPP856 : 『SFI-4.1 16-Channel SDR Interface with Bus Alignment』に含まれるデザイン インプリメンテーションを使用した場合の値です。
2. アプリケーション ノート XAPP860 : 『16-Channel, DDR LVDS Interface with Real-time Window Monitoring』に含まれるデザイン インプリメンテーションを使用した場合の値です。
3. アプリケーション ノート XAPP851 : 『Virtex-5 FPGA デバイスを使用したDDR SDRAM コントローラ』に含まれるデザイン インプリメンテーションを使用した場合の値です。
4. アプリケーション ノート XAPP858 : 『High-Performance DDR2 SDRAM Interface in Virtex-5 Devices』に含まれるデザイン インプリメンテーションを使用した場合の値です。
5. アプリケーション ノート XAPP853 : 『QDR II SRAM Interface』に含まれるデザイン インプリメンテーションを使用した場合の値です。
6. アプリケーション ノート XAPP852 : 『Synthesizable RLDRAM II Controller』に含まれるデザイン インプリメンテーションを使用した場合の値です。

スイッチ特性

このデータシートに記載のすべての値は、v1.62 のスピード仕様に基づいています。スイッチ特性は、スピードグレードごとに指定され、Advance、Preliminary、Production のいずれかに該当します。それぞれの定義を次に示します。

Advance

シミュレーションにのみ基づいており、通常、デバイスの設計仕様の決定直後に入手可能です。この特性のスピードグレードは比較的安定しており、余裕を持たせた設定ですが、実際の遅延が大きくなることがあります。

Preliminary

ES (エンジニア サンプル) シリコン特性評価に基づいています。デバイスおよびスピードグレードは、量産シリコンのパフォーマンスにより近いものとなります。また Advanced と比較すると、実際の遅延の方が大きくなる可能性は低くなっています。

Production

特定のデバイス ファミリの十分な量産を経た上で、特性評価が行われ、リリースされています。スピード ファイルには、デバイスの実際の遅延に即した値が記載されています。また、以降の変更は、カスタマに正式に通知されます。通常、遅いスピードグレードから先に Production スピード ファイルが提供されます。

すべての仕様は、常にワースト ケースの電源電圧およびジャンクション温度条件を示します。

デバイスはそれぞれ生産時期が異なるため、カテゴリの移行は各デバイスの製造プロセスのステータスによって決定されます。

表 54 に、各 Virtex-5 デバイスのステータスをスピードグレードに基づいて示します。

表 54 : Virtex-5 デバイスのスピード グレード

デバイス	スピード グレード		
	Advance	Preliminary	Production
XC5VLX20T			-2, -1
XC5VLX30			-3, -2, -1
XC5VLX30T			-3, -2, -1
XC5VLX50			-3, -2, -1
XC5VLX50T			-3, -2, -1
XC5VLX85			-3, -2, -1
XC5VLX85T			-3, -2, -1
XC5VLX110			-3, -2, -1
XC5VLX110T			-3, -2, -1
XC5VLX155			-3, -2, -1
XC5VLX155T			-3, -2, -1
XC5VLX220			-2, -1
XC5VLX220T			-2, -1
XC5VLX330			-2, -1
XC5VLX330T			-2, -1
XC5VVSX35T			-3, -2, -1
XC5VVSX50T			-3, -2, -1
XC5VVSX95T			-2, -1
XC5VVSX240T			-2, -1
XC5VTX150T			-2, -1
XC5VTX240T			-2, -1
XC5VFX30T			-3, -2, -1
XC5VFX70T			-3, -2, -1
XC5VFX100T			-3, -2, -1
XC5VFX130T			-3, -2, -1
XC5VFX200T			-2, -1

スイッチ特性のテスト

すべてのデバイスは、完全にファンクション テストが実施されています。内部タイミングパラメータは、内部テストパターンで計測され、求められています。次に主な値を示します。

より 特定の条件での、ワースト ケースの正確で確定的なデータを得るには、Timing Analyzer を使用し、シミュレーション ネットリストにバックアノテートした値を使用してください。特記のない限り、これらの値はすべての Virtex-5 デバイスに適用されます。

製品シリコンおよび ISE ソフトウェア ステータス

特定のファミリメンバ (およびスピードグレード) は、それに正しく対応するスピード仕様 (Advance、Preliminary、Production) のリリース前に、Production としてリリースされる場合があります。このような不一致は、その後リリースされるスピード仕様で修正されます。表 55 に、Production がリリースされている Virtex-5 デバイス、スピードグレード、対応するスピード仕様および ISE® ソフトウェアのバージョンを示します (2009 年 1 月 14 日現在)。表に示されている ISE ソフトウェアおよびスピード仕様は Production で最小限必要になるリリースで、後続のソフトウェアおよびスピード仕様のリリースすべてを使用できます。

表 55 : Production 仕様の Virtex-5 デバイス、ソフトウェアおよびスピード仕様のバージョン

デバイス	スピードグレード		
	-3	-2	-1
XC5VLX20T	N/A	ISE 10.1 SP2 v1.61	
XC5VLX30	ISE 9.2i SP4 v1.58		
XC5VLX30T	ISE 9.2i SP4 v1.58		
XC5VLX50	ISE 9.2i SP4 v1.58		
XC5VLX50T	ISE 9.2i SP4 v1.58		
XC5VLX85	ISE 9.2i SP4 v1.58		
XC5VLX85T	ISE 9.2i SP4 v1.58		
XC5VLX110	ISE 9.2i SP4 v1.58		
XC5VLX110T	ISE 9.2i SP4 v1.58		
XC5VLX155	ISE 10.1 SP2 v1.61		
XC5VLX155T	ISE 10.1 SP2 v1.61		
XC5VLX220	N/A	ISE 9.2i SP4 v1.58	
XC5VLX220T	N/A	ISE 9.2i SP4 v1.58	
XC5VLX330	N/A	ISE 9.2i SP4 v1.58	
XC5VLX330T	N/A	ISE 9.2i SP4 v1.58	
XC5VSX35T	ISE 9.2i SP4 v1.58		
XC5VSX50T	ISE 9.2i SP4 v1.58		
XC5VSX95T	N/A	ISE 9.2i SP4 v1.58	
XC5VSX240T	N/A	ISE 10.1 SP3 v1.63	
XC5VTX150T	N/A	ISE 10.1 SP3 v1.63	
XC5VTX240T	N/A	ISE 10.1 SP3 v1.63	
XC5VFX30T	ISE 10.1 SP3 v1.63		
XC5VFX70T	ISE 10.1 SP3 v1.63		
XC5VFX100T	ISE 10.1 SP3 v1.63		
XC5VFX130T	ISE 10.1 SP3 v1.63		
XC5VFX200T	N/A	ISE 10.1 SP3 v1.63	

メモ :

1. 空欄はデバイス/スピードグレードのステータスが Advance または Preliminaryであることを示します。

IOB パッド入力/出力/トリステートスイッチ特性

表 56 に、各 I/O 規格のパッドからのデータ入力遅延、パッドまでのデータ出力遅延、およびトリステート遅延の値を示します。

T_{IOPI} は、IOB パッドから入力バッファを通り、I ピンに達するまでの遅延です。遅延値は、SelectIO 入力バッファの機能に依存します。

T_{IOOP} は、O ピンから出力バッファを通り、IOB パッドに達するまでの遅延です。遅延値は、SelectIO 出力バッファの機能に依存します。

T_{IOTP} は、トリステートがディスエーブルの場合の、T ピンから出力バッファを通り、IOB パッドに達するまでの遅延です。遅延値は、出力バッファの SelectIO の機能に依存します。

表 57 に、 T_{IOTPHZ} の値を示します。 T_{IOTPHZ} は、ハイインピーダンスステートのように、トリステートがイネーブルの場合の、T ピンから出力バッファを通り、IOB パッドに達するまでの遅延です。

表 56 : IOB スイッチ特性

I/O 規格	T_{IOPI}			T_{IOOP}			T_{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVDS_25	0.80	0.90	1.06	1.13	1.29	1.44	1.13	1.29	1.44	ns
LVDSEXT_25	1.01	1.16	1.30	1.17	1.34	1.49	1.17	1.34	1.49	ns
HT_25	0.80	0.90	1.06	1.10	1.26	1.40	1.10	1.26	1.40	ns
BLVDS_25	0.80	0.90	1.06	1.24	1.38	1.58	1.24	1.38	1.58	ns
RSDS_25 (point to point)	0.80	0.90	1.06	1.13	1.29	1.44	1.13	1.29	1.44	ns
ULVDS_25	0.80	0.90	1.06	1.10	1.27	1.41	1.10	1.27	1.41	ns
PCI33_3	0.62	0.70	0.82	1.85	2.06	2.38	1.85	2.06	2.38	ns
PCI66_3	0.62	0.70	0.82	1.85	2.06	2.38	1.85	2.06	2.38	ns
PCI-X	0.62	0.70	0.82	1.40	1.56	1.80	1.40	1.56	1.80	ns
GTL	0.76	0.85	1.00	1.47	1.63	1.86	1.47	1.63	1.86	ns
GTLP	0.76	0.85	1.00	1.51	1.68	1.93	1.51	1.68	1.93	ns
HSTL_I	0.76	0.85	1.00	1.42	1.57	1.79	1.42	1.57	1.79	ns
HSTL_II	0.76	0.85	1.00	1.39	1.53	1.74	1.39	1.53	1.74	ns
HSTL_III	0.76	0.85	1.00	1.44	1.60	1.85	1.44	1.60	1.85	ns
HSTL_IV	0.76	0.85	1.00	1.44	1.60	1.83	1.44	1.60	1.83	ns
HSTL_I_18	0.76	0.85	1.00	1.40	1.55	1.77	1.40	1.55	1.77	ns
HSTL_II_18	0.76	0.85	1.00	1.36	1.51	1.72	1.36	1.51	1.72	ns
HSTL_III_18	0.76	0.85	1.00	1.45	1.61	1.85	1.45	1.61	1.85	ns
HSTL_IV_18	0.76	0.85	1.00	1.41	1.57	1.81	1.41	1.57	1.81	ns
SSTL2_I	0.76	0.85	1.00	1.48	1.64	1.87	1.48	1.64	1.87	ns
SSTL2_II	0.76	0.85	1.00	1.40	1.55	1.76	1.40	1.55	1.76	ns
LVTTTL, Slow, 2mA	0.62	0.70	0.82	4.10	4.47	5.01	4.10	4.47	5.01	ns
LVTTTL, Slow, 4mA	0.62	0.70	0.82	2.87	3.09	3.41	2.87	3.09	3.41	ns
LVTTTL, Slow, 6mA	0.62	0.70	0.82	2.66	2.91	3.29	2.66	2.91	3.29	ns
LVTTTL, Slow, 8mA	0.62	0.70	0.82	2.09	2.30	2.61	2.09	2.30	2.61	ns
LVTTTL, Slow, 12mA	0.62	0.70	0.82	1.94	2.15	2.46	1.94	2.15	2.46	ns

表 56 : IOB スイッチ特性 (続き)

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVTTL、 Slow、 16mA	0.62	0.70	0.82	1.84	2.04	2.34	1.84	2.04	2.34	ns
LVTTL、 Slow、 24mA	0.62	0.70	0.82	1.87	2.07	2.38	1.87	2.07	2.38	ns
LVTTL、 Fast、 2mA	0.62	0.70	0.82	3.32	3.61	4.05	3.32	3.61	4.05	ns
LVTTL、 Fast、 4mA	0.62	0.70	0.82	2.32	2.55	2.90	2.32	2.55	2.90	ns
LVTTL、 Fast、 6mA	0.62	0.70	0.82	2.10	2.31	2.63	2.10	2.31	2.63	ns
LVTTL、 Fast、 8mA	0.62	0.70	0.82	1.65	1.82	2.09	1.65	1.82	2.09	ns
LVTTL、 Fast、 12mA	0.62	0.70	0.82	1.47	1.63	1.89	1.47	1.63	1.89	ns
LVTTL、 Fast、 16mA	0.62	0.70	0.82	1.41	1.57	1.81	1.41	1.57	1.81	ns
LVTTL、 Fast、 24mA	0.62	0.70	0.82	1.36	1.52	1.74	1.36	1.52	1.74	ns
LVCMOS33、 Slow、 2mA	0.62	0.70	0.82	3.63	3.96	4.44	3.63	3.96	4.44	ns
LVCMOS33、 Slow、 4mA	0.62	0.70	0.82	2.82	3.09	3.49	2.82	3.09	3.49	ns
LVCMOS33、 Slow、 6mA	0.62	0.70	0.82	2.61	2.86	3.24	2.61	2.86	3.24	ns
LVCMOS33、 Slow、 8mA	0.62	0.70	0.82	2.06	2.26	2.57	2.06	2.26	2.57	ns
LVCMOS33、 Slow、 12mA	0.62	0.70	0.82	1.95	2.14	2.42	1.95	2.14	2.42	ns
LVCMOS33、 Slow、 16mA	0.62	0.70	0.82	1.86	2.04	2.31	1.86	2.04	2.31	ns
LVCMOS33、 Slow、 24mA	0.62	0.70	0.82	1.87	2.07	2.35	1.87	2.07	2.35	ns
LVCMOS33、 Fast、 2mA	0.62	0.70	0.82	2.94	3.20	3.59	2.94	3.20	3.59	ns
LVCMOS33、 Fast、 4mA	0.62	0.70	0.82	2.27	2.50	2.84	2.27	2.50	2.84	ns
LVCMOS33、 Fast、 6mA	0.62	0.70	0.82	2.06	2.27	2.59	2.06	2.27	2.59	ns
LVCMOS33、 Fast、 8mA	0.62	0.70	0.82	1.61	1.79	2.05	1.61	1.79	2.05	ns
LVCMOS33、 Fast、 12mA	0.62	0.70	0.82	1.45	1.61	1.86	1.45	1.61	1.86	ns
LVCMOS33、 Fast、 16mA	0.62	0.70	0.82	1.40	1.56	1.80	1.40	1.56	1.80	ns
LVCMOS33、 Fast、 24mA	0.62	0.70	0.82	1.35	1.51	1.74	1.35	1.51	1.74	ns
LVCMOS25、 Slow、 2mA	0.61	0.70	0.82	3.67	3.97	4.42	3.67	3.97	4.42	ns
LVCMOS25、 Slow、 4mA	0.61	0.70	0.82	2.37	2.60	2.94	2.37	2.60	2.94	ns
LVCMOS25、 Slow、 6mA	0.61	0.70	0.82	2.19	2.41	2.74	2.19	2.41	2.74	ns
LVCMOS25、 Slow、 8mA	0.61	0.70	0.82	2.05	2.26	2.56	2.05	2.26	2.56	ns
LVCMOS25、 Slow、 12mA	0.61	0.70	0.82	2.10	2.31	2.63	2.10	2.31	2.63	ns
LVCMOS25、 Slow、 16mA	0.61	0.70	0.82	1.84	2.02	2.30	1.84	2.02	2.30	ns
LVCMOS25、 Slow、 24mA	0.61	0.70	0.82	1.83	2.04	2.34	1.83	2.04	2.34	ns
LVCMOS25、 Fast、 2mA	0.61	0.70	0.82	3.14	3.41	3.82	3.14	3.41	3.82	ns
LVCMOS25、 Fast、 4mA	0.61	0.70	0.82	1.89	2.08	2.37	1.89	2.08	2.37	ns
LVCMOS25、 Fast、 6mA	0.61	0.70	0.82	1.74	1.92	2.20	1.74	1.92	2.20	ns
LVCMOS25、 Fast、 8mA	0.61	0.70	0.82	1.66	1.83	2.09	1.66	1.83	2.09	ns

表 56 : IOB スイッチ特性 (続き)

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVC MOS25, Fast, 12mA	0.61	0.70	0.82	1.52	1.69	1.94	1.52	1.69	1.94	ns
LVC MOS25, Fast, 16mA	0.61	0.70	0.82	1.43	1.60	1.85	1.43	1.60	1.85	ns
LVC MOS25, Fast, 24mA	0.61	0.70	0.82	1.40	1.54	1.76	1.40	1.54	1.76	ns
LVC MOS18, Slow, 2mA	0.67	0.76	0.89	4.20	4.56	5.09	4.20	4.56	5.09	ns
LVC MOS18, Slow, 4mA	0.67	0.76	0.89	3.03	3.32	3.75	3.03	3.32	3.75	ns
LVC MOS18, Slow, 6mA	0.67	0.76	0.89	2.37	2.61	2.97	2.37	2.61	2.97	ns
LVC MOS18, Slow, 8mA	0.67	0.76	0.89	2.15	2.37	2.69	2.15	2.37	2.69	ns
LVC MOS18, Slow, 12mA	0.67	0.76	0.89	1.95	2.16	2.47	1.95	2.16	2.47	ns
LVC MOS18, Slow, 16mA	0.67	0.76	0.89	1.93	2.14	2.45	1.93	2.14	2.45	ns
LVC MOS18, Fast, 2mA	0.67	0.76	0.89	3.41	3.71	4.16	3.41	3.71	4.16	ns
LVC MOS18, Fast, 4mA	0.67	0.76	0.89	2.36	2.61	2.98	2.36	2.61	2.98	ns
LVC MOS18, Fast, 6mA	0.67	0.76	0.89	1.87	2.06	2.35	1.87	2.06	2.35	ns
LVC MOS18, Fast, 8mA	0.67	0.76	0.89	1.69	1.87	2.13	1.69	1.87	2.13	ns
LVC MOS18, Fast, 12mA	0.67	0.76	0.89	1.51	1.68	1.93	1.51	1.68	1.93	ns
LVC MOS18, Fast, 16mA	0.67	0.76	0.89	1.44	1.61	1.86	1.44	1.61	1.86	ns
LVC MOS15, Slow, 2mA	0.73	0.83	0.98	3.50	3.84	4.34	3.50	3.84	4.34	ns
LVC MOS15, Slow, 4mA	0.73	0.83	0.98	2.17	2.40	2.74	2.17	2.40	2.74	ns
LVC MOS15, Slow, 6mA	0.73	0.83	0.98	1.99	2.20	2.52	1.99	2.20	2.52	ns
LVC MOS15, Slow, 8mA	0.73	0.83	0.98	1.91	2.12	2.43	1.91	2.12	2.43	ns
LVC MOS15, Slow, 12mA	0.73	0.83	0.98	1.74	1.95	2.25	1.74	1.95	2.25	ns
LVC MOS15, Slow, 16mA	0.73	0.83	0.98	1.71	1.91	2.20	1.71	1.91	2.20	ns
LVC MOS15, Fast, 2mA	0.73	0.83	0.98	2.80	3.07	3.48	2.80	3.07	3.48	ns
LVC MOS15, Fast, 4mA	0.73	0.83	0.98	1.76	1.95	2.23	1.76	1.95	2.23	ns
LVC MOS15, Fast, 6mA	0.73	0.83	0.98	1.62	1.80	2.06	1.62	1.80	2.06	ns
LVC MOS15, Fast, 8mA	0.73	0.83	0.98	1.57	1.74	2.00	1.57	1.74	2.00	ns
LVC MOS15, Fast, 12mA	0.73	0.83	0.98	1.43	1.60	1.86	1.43	1.60	1.86	ns
LVC MOS15, Fast, 16mA	0.73	0.83	0.98	1.37	1.53	1.77	1.37	1.53	1.77	ns
LVC MOS12, Slow, 2mA	0.84	0.96	1.14	3.58	3.98	4.58	3.58	3.98	4.58	ns
LVC MOS12, Slow, 4mA	0.84	0.96	1.14	2.10	2.33	2.66	2.10	2.33	2.66	ns
LVC MOS12, Slow, 6mA	0.84	0.96	1.14	2.00	2.18	2.45	2.00	2.18	2.45	ns
LVC MOS12, Slow, 8mA	0.84	0.96	1.14	1.91	2.14	2.48	1.91	2.14	2.48	ns
LVC MOS12, Fast, 2mA	0.84	0.96	1.14	3.05	3.38	3.87	3.05	3.38	3.87	ns
LVC MOS12, Fast, 4mA	0.84	0.96	1.14	1.71	1.91	2.20	1.71	1.91	2.20	ns
LVC MOS12, Fast, 6mA	0.84	0.96	1.14	1.58	1.78	2.08	1.58	1.78	2.08	ns

表 56 : IOB スイッチ特性 (続き)

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVC MOS12, Fast, 8mA	0.84	0.96	1.14	1.52	1.70	1.97	1.52	1.70	1.97	ns
LVDCI_33	0.62	0.70	0.82	1.50	1.66	1.90	1.50	1.66	1.90	ns
LVDCI_25	0.61	0.70	0.82	1.55	1.71	1.93	1.55	1.71	1.93	ns
LVDCI_18	0.67	0.76	0.89	1.65	1.78	1.99	1.65	1.78	1.99	ns
LVDCI_15	0.73	0.83	0.98	1.58	1.75	2.02	1.58	1.75	2.02	ns
LVDCI_DV2_25	0.61	0.70	0.82	1.36	1.51	1.74	1.36	1.51	1.74	ns
LVDCI_DV2_18	0.67	0.76	0.89	1.43	1.60	1.85	1.43	1.60	1.85	ns
LVDCI_DV2_15	0.73	0.83	0.98	1.48	1.65	1.91	1.48	1.65	1.91	ns
GTL_DCI	0.76	0.85	1.00	1.36	1.47	1.65	1.36	1.47	1.65	ns
GTL_P_DCI	0.76	0.85	1.00	1.37	1.52	1.76	1.37	1.52	1.76	ns
LVPECL_25	0.80	0.90	1.06	1.28	1.42	1.62	1.28	1.42	1.62	ns
HSTL_I_12	0.76	0.85	1.00	1.45	1.61	1.85	1.45	1.61	1.85	ns
HSTL_I_DCI	0.76	0.85	1.00	1.41	1.56	1.77	1.41	1.56	1.77	ns
HSTL_II_DCI	0.76	0.85	1.00	1.34	1.48	1.69	1.34	1.48	1.69	ns
HSTL_II_T_DCI	0.76	0.85	1.00	1.41	1.56	1.77	1.41	1.56	1.77	ns
HSTL_III_DCI	0.76	0.85	1.00	1.57	1.72	1.95	1.57	1.72	1.95	ns
HSTL_IV_DCI	0.76	0.85	1.00	1.34	1.46	1.64	1.34	1.46	1.64	ns
HSTL_I_DCI_18	0.76	0.85	1.00	1.36	1.50	1.70	1.36	1.50	1.70	ns
HSTL_II_DCI_18	0.76	0.85	1.00	1.30	1.43	1.64	1.30	1.43	1.64	ns
HSTL_II_T_DCI_18	0.76	0.85	1.00	1.36	1.50	1.70	1.36	1.50	1.70	ns
HSTL_III_DCI_18	0.76	0.85	1.00	1.55	1.69	1.91	1.55	1.69	1.91	ns
HSTL_IV_DCI_18	0.76	0.85	1.00	1.31	1.44	1.62	1.31	1.44	1.62	ns
DIFF_HSTL_I_18	0.80	0.90	1.06	1.40	1.55	1.77	1.40	1.55	1.77	ns
DIFF_HSTL_I_DCI_18	0.80	0.90	1.06	1.36	1.50	1.70	1.36	1.50	1.70	ns
DIFF_HSTL_I	0.80	0.90	1.06	1.42	1.57	1.79	1.42	1.57	1.79	ns
DIFF_HSTL_I_DCI	0.80	0.90	1.06	1.41	1.56	1.77	1.41	1.56	1.77	ns
DIFF_HSTL_II_18	0.80	0.90	1.06	1.36	1.51	1.72	1.36	1.51	1.72	ns
DIFF_HSTL_II_DCI_18	0.80	0.90	1.06	1.30	1.43	1.64	1.30	1.43	1.64	ns
DIFF_HSTL_II	0.80	0.90	1.06	1.39	1.53	1.74	1.39	1.53	1.74	ns
DIFF_HSTL_II_DCI	0.80	0.90	1.06	1.34	1.48	1.69	1.34	1.48	1.69	ns

表 56 : IOB スイッチ特性 (続き)

I/O 規格	T_{IOPI}			T_{IOOP}			T_{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
SSTL2_I_DCI	0.76	0.85	1.00	1.42	1.56	1.78	1.42	1.56	1.78	ns
SSTL2_II_DCI	0.76	0.85	1.00	1.34	1.48	1.70	1.34	1.48	1.70	ns
SSTL2_II_T_DCI	0.76	0.85	1.00	1.42	1.56	1.78	1.42	1.56	1.78	ns
SSTL18_I	0.76	0.85	1.00	1.46	1.61	1.84	1.46	1.61	1.84	ns
SSTL18_II	0.76	0.85	1.00	1.39	1.53	1.75	1.39	1.53	1.75	ns
SSTL18_I_DCI	0.76	0.85	1.00	1.39	1.53	1.74	1.39	1.53	1.74	ns
SSTL18_II_DCI	0.76	0.85	1.00	1.30	1.44	1.64	1.30	1.44	1.64	ns
SSTL18_II_T_DCI	0.76	0.85	1.00	1.39	1.53	1.74	1.39	1.53	1.74	ns
DIFF_SSTL2_I	0.80	0.90	1.06	1.48	1.64	1.87	1.48	1.64	1.87	ns
DIFF_SSTL2_I_DCI	0.80	0.90	1.06	1.42	1.56	1.78	1.42	1.56	1.78	ns
DIFF_SSTL18_I	0.80	0.90	1.06	1.46	1.61	1.84	1.46	1.61	1.84	ns
DIFF_SSTL18_I_DCI	0.80	0.90	1.06	1.39	1.53	1.74	1.39	1.53	1.74	ns
DIFF_SSTL2_II	0.80	0.90	1.06	1.40	1.55	1.76	1.40	1.55	1.76	ns
DIFF_SSTL2_II_DCI	0.80	0.90	1.06	1.34	1.48	1.70	1.34	1.48	1.70	ns
DIFF_SSTL18_II	0.80	0.90	1.06	1.39	1.53	1.75	1.39	1.53	1.75	ns
DIFF_SSTL18_II_DCI	0.80	0.90	1.06	1.30	1.44	1.64	1.30	1.44	1.64	ns

 表 57 : IOB トライステート ON 出力スイッチ特性 (T_{IOTPHZ})

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{IOTPHZ}	T 入力からパッドのハイ インピーダンス	0.88	1.01	1.12	ns

I/O 規格での調整計測方法

入力遅延の計測

表 58 に、入力遅延の計測に使用されたテスト用の設定パラメータを示します。

表 58：入力遅延の計測方法

説明	I/O 規格属性	V_L (1, 2)	V_H (1, 2)	V_{MEAS} (1, 4, 5)	V_{REF} (1, 3, 5)
LVTTTL (Low-Voltage Transistor-Transistor Logic)	LVTTTL	0	3.0	1.4	–
LVC MOS (Low-Voltage CMOS)、3.3V	LVC MOS33	0	3.3	1.65	–
LVC MOS、2.5V	LVC MOS25	0	2.5	1.25	–
LVC MOS、1.8V	LVC MOS18	0	1.8	0.9	–
LVC MOS、1.5V	LVC MOS15	0	1.5	0.75	–
LVC MOS、1.2V	LVC MOS12	0	1.2	0.6	–
PCI (Peripheral Component Interface)、33MHz、3.3V	PCI33_3	PCI™ 仕様			–
PCI、66MHz、3.3V	PCI66_3	PCI 仕様			–
PCI-X、133MHz、3.3V	PCIX	PCI-X™ 仕様			–
GTL (Gunning Transceiver Logic)	GTL	$V_{REF} - 0.2$	$V_{REF} + 0.2$	V_{REF}	0.80
GTL Plus	GTL P	$V_{REF} - 0.2$	$V_{REF} + 0.2$	V_{REF}	1.0
HSTL (High-Speed Transceiver Logic)、Class I & II	HSTL_I、HSTL_II	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.75
HSTL、Class III & IV	HSTL_III、HSTL_IV	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.90
HSTL、Class I & II、1.8V	HSTL_I_18、 HSTL_II_18	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.90
HSTL、Class III & IV、1.8V	HSTL_III_18、 HSTL_IV_18	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	1.08
SSTL (Stub Terminated Transceiver Logic)、Class I & II、3.3V	SSTL3_I、SSTL3_II	$V_{REF} - 1.00$	$V_{REF} + 1.00$	V_{REF}	1.5
SSTL、Class I & II、2.5V	SSTL2_I、SSTL2_II	$V_{REF} - 0.75$	$V_{REF} + 0.75$	V_{REF}	1.25
SSTL、Class I & II、1.8V	SSTL18_I、SSTL18_II	$V_{REF} - 0.5$	$V_{REF} + 0.5$	V_{REF}	0.90
AGP-2X/AGP (Accelerated Graphics Port)	AGP	$V_{REF} - (0.2 \times V_{CCO})$	$V_{REF} + (0.2 \times V_{CCO})$	V_{REF}	AGP 仕様
LVDS (Low-Voltage Differential Signaling)、2.5V	LVDS_25	$1.2 - 0.125$	$1.2 + 0.125$	$0^{(6)}$	
LVDS EXT (LVDS Extended Mode)、2.5V	LVDS EXT_25	$1.2 - 0.125$	$1.2 + 0.125$	$0^{(6)}$	
LDT (HyperTransport)、2.5V	LDT_25	$0.6 - 0.125$	$0.6 + 0.125$	$0^{(6)}$	
LVPECL (Low-Voltage Positive Electron-Coupled Logic)、2.5V	LVPECL_25	$1.15 - 0.3$	$1.15 - 0.3$	$0^{(6)}$	

メモ：

1. LVDCI および HSLVDCI に対する入力遅延の計測パラメータは、同一電圧の LVC MOS 規格と同様です。その他すべての DCI 規格のパラメータは、対応する non-DCI 規格と同一です。
2. 入力の波形は V_L および V_H 間で切り替わります。
3. 計測は V_{REF} の標準、最小、最大値で実施します。記載されている遅延は計測のワースト ケース値です。 V_{REF} 値は標準値です。
4. 計測を開始した位置からの入力電圧レベルです。
5. IBIS モデルおよび図 11 の V_{REF} / V_{MEAS} パラメータとは無関係の入力参照電圧です。
6. 差動入力電圧の値です。

出力遅延の計測

出力遅延は、約 4 インチの FR4 マイクロストリップトレースで Tektronix P6245 TDS500/600 プローブ (<1pF) を使用して計測されます。すべてのテストに標準的な終端を使用しました。4" トレースの伝播遅延は別途、特性評価されて最終的な計測値から減算されます。したがって、図 11 および 図 12 に示す一般的なテスト設定には含まれていません。

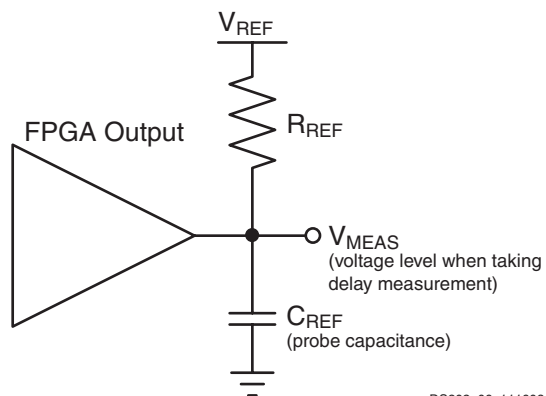
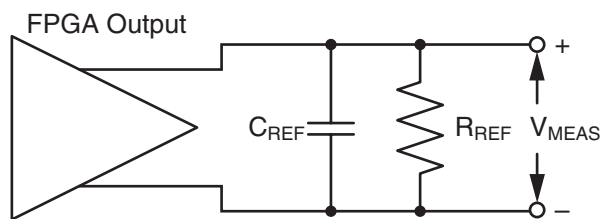


図 11 : シングルエンド テスト設定



ds202_12_042808

図 12 : 差動テスト設定

計測およびテスト条件は、IBIS 形式で定義されていないものを除き、IBIS モデルに入っています。パラメータ V_{REF} 、 R_{REF} 、 C_{REF} 、 V_{MEAS} により、各 I/O 規格に対するテスト条件すべてが示されています。IBIS モデルを使用したシミュレーションにより、アプリケーションにおける伝播遅延を最も正確に予測できるようになります。次の手順に従ってシミュレーションを行ってください。

1. テスト装置に出力ドライバを接続してシミュレートします。この際、表 59 に記載の値を使用してください。
2. V_{MEAS} への時間を記録します。
3. 負荷のある実際の PCB トレースに出力ドライバを接続してシミュレーションを行います。適切な IBIS モデルまたは負荷を表す容量値を使用してください。
4. V_{MEAS} への時間を記録します。
5. 手順 2 および手順 4 の結果を比較します。遅延の増加または減少から PCB トレースの実際の伝播遅延を求めてください。

表 59 : 出力遅延の計測方法

説明	I/O 規格属性	R_{REF} (Ω)	$C_{REF}^{(1)}$ (pF)	V_{MEAS} (V)	V_{REF} (V)
LVTTTL (Low-Voltage Transistor-Transistor Logic)	LVTTTL (すべて)	1M	0	1.4	0
LVC MOS (Low-Voltage CMOS), 3.3V	LVC MOS33	1M	0	1.65	0
LVC MOS, 2.5V	LVC MOS25	1M	0	1.25	0
LVC MOS, 1.8V	LVC MOS18	1M	0	0.9	0
LVC MOS, 1.5V	LVC MOS15	1M	0	0.75	0
LVC MOS, 1.2V	LVC MOS12	1M	0	0.6	0
PCI (Peripheral Component Interface), 33MHz, 3.3V	PCI33_3 (立ち上がりエッジ)	25	$10^{(2)}$	0.94	0
	PCI33_3 (立ち下がりエッジ)	25	$10^{(2)}$	2.03	3.3
PCI, 66MHz, 3.3V	PCI66_3 (立ち上がりエッジ)	25	$10^{(2)}$	0.94	0
	PCI66_3 (立ち下がりエッジ)	25	$10^{(2)}$	2.03	3.3
PCI-X, 133 MHz, 3.3V	PCIX (立ち上がりエッジ)	25	$10^{(3)}$	0.94	
	PCIX (立ち下がりエッジ)	25	$10^{(3)}$	2.03	3.3
GTL (Gunning Transceiver Logic)	GTL	25	0	0.8	1.2
GTL Plus	GTLP	25	0	1.0	1.5
HSTL (High-Speed Transceiver Logic), Class I	HSTL_I	50	0	V_{REF}	0.75

表 59 : 出力遅延の計測方法 (続き)

説明	I/O 規格属性	R _{REF} (Ω)	C _{REF} ⁽¹⁾ (pF)	V _{MEAS} (V)	V _{REF} (V)
HSTL、 Class II	HSTL_II	25	0	V _{REF}	0.75
HSTL、 Class III	HSTL_III	50	0	0.9	1.5
HSTL、 Class IV	HSTL_IV	25	0	0.9	1.5
HSTL、 Class I、 1.8V	HSTL_I_18	50	0	V _{REF}	0.9
HSTL、 Class II、 1.8V	HSTL_II_18	25	0	V _{REF}	0.9
HSTL、 Class III、 1.8V	HSTL_III_18	50	0	1.1	1.8
HSTL、 Class IV、 1.8V	HSTL_IV_18	25	0	1.1	1.8
SSTL (Stub Series Terminated Logic)、 Class I、 1.8V	SSTL18_I	50	0	V _{REF}	0.9
SSTL、 Class II、 1.8V	SSTL18_II	25	0	V _{REF}	0.9
SSTL、 Class I、 2.5V	SSTL2_I	50	0	V _{REF}	1.25
SSTL、 Class II、 2.5V	SSTL2_II	25	0	V _{REF}	1.25
LVDS (Low-Voltage Differential Signaling)、 2.5V	LVDS_25	100	0	0 ⁽⁴⁾	1.2
LVDS (Low-Voltage Differential Signaling) Extended Mode、 2.5V	LVDS_25	100	0	0 ⁽⁴⁾	1.2
BLVDS (Bus LVDS)、 2.5V	BLVDS_25	100	0	0 ⁽⁴⁾	0
LDT (HyperTransport)、 2.5V	LDT_25	100	0	0 ⁽⁴⁾	0.6
LVPECL (Low-Voltage Positive Emitter-Coupled Logic)、 2.5V	LVPECL_25	100	0	0 ⁽⁴⁾	0
LVDCI/HSLVDCI (Low-Voltage Digitally Controlled Impedance)、 3.3V	LVDCI_33、 HSLVDCI_33	1M	0	1.65	0
LVDCI/HSLVDCI、 2.5V	LVDCI_25、 HSLVDCI_25	1M	0	1.25	0
LVDCI/HSLVDCI、 1.8V	LVDCI_18、 HSLVDCI_18	1M	0	0.9	0
LVDCI/HSLVDCI、 1.5V	LVDCI_15、 HSLVDCI_15	1M	0	0.75	0
HSTL (High-Speed Transceiver Logic)、 Class I & II、 DCI あり	HSTL_I_DCI、 HSTL_II_DCI	50	0	V _{REF}	0.75
HSTL、 Class III & IV、 DCI あり	HSTL_III_DCI、 HSTL_IV_DCI	50	0	0.9	1.5
HSTL、 Class I & II、 1.8V、 DCI あり	HSTL_I_DCI_18、 HSTL_II_DCI_18	50	0	V _{REF}	0.9
HSTL、 Class III & IV、 1.8V、 DCI あり	HSTL_III_DCI_18、 HSTL_IV_DCI_18	50	0	1.1	1.8
SSTL (Stub Series Termi.Logic)、 Class I & II、 1.8V、 DCI あり	SSTL18_I_DCI、 SSTL18_II_DCI	50	0	V _{REF}	0.9
SSTL、 Class I & II、 2.5V、 DCI あり	SSTL2_I_DCI、 SSTL2_II_DCI	50	0	V _{REF}	1.25
GTL (Gunning Transceiver Logic)、 DCI あり	GTL_DCI	50	0	0.8	1.2
GTL Plus、 DCI あり	GTLPlus_DCI	50	0	1.0	1.5

メモ :

1. C_{REF} はプローブの容量で、通常は 0pF です。
2. PCI 仕様によって決定されます。
3. PCI-X 仕様によって決定されます。
4. 差動入力電圧の値です。

入力/出力ロジック スイッチ特性

表 60 : ILOGIC スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
セットアップ/ホールド					
T_{ICEICK}/T_{ICKCE1}	CE1 ピンの CLK に対するセットアップ/ホールド	0.43 -0.24	0.49 -0.24	0.59 -0.24	ns
T_{ISRCK}/T_{ICKSR}	SR/REV ピンの CLK に対するセットアップ/ホールド	0.85 -0.20	1.00 -0.20	1.22 -0.20	ns
T_{IDOCK}/T_{IOCKD}	D ピンの CLK に対するセットアップ/ホールド (遅延なし)	0.34 -0.12	0.37 -0.12	0.39 -0.12	ns
T_{IDOCKD}/T_{IOCKDD}	DDL Y ピンの CLK に対するセットアップ/ホールド (IODELAY 使用)	0.31 -0.09	0.33 -0.09	0.36 -0.08	ns
組み合わせ					
T_{IDI}	D ピンから O ピンまでの伝搬遅延 (遅延なし)	0.24	0.26	0.30	ns
T_{IDID}	DDL Y ピンから O ピンまでの伝搬遅延 (IODELAY 使用)	0.20	0.22	0.26	ns
シーケンシャル遅延					
T_{IDLO}	フリップフロップをラッチとして使用する場合の D ピンから Q1 ピンまでの遅延 (遅延なし)	0.44	0.50	0.58	ns
T_{IDL0D}	フリップフロップをラッチとして使用する場合の DDL Y ピンから Q1 ピンまでの遅延 (IODELAY 使用)	0.41	0.46	0.55	ns
T_{ICKQ}	CLK から Q 出力までの遅延	0.47	0.52	0.60	ns
T_{RQ}	SR/REV ピンから OQ/TQ 出力までの遅延	1.12	1.28	1.53	ns
T_{GSRQ}	グローバルセット/リセットから Q 出力までの遅延	7.30	7.30	10.10	ns
セット/リセット					
T_{RPW}	最小パルス幅、SR/REV 入力	0.78	0.95	1.20	ns、 最小

表 61 : OLOGIC スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
セットアップ/ホールド					
T_{ODCK}/T_{OCKD}	D1/D2 ピンの CLK に対するセットアップ/ホールド	0.30 -0.21	0.36 -0.21	0.44 -0.21	ns
T_{OOCECK}/T_{OCKOCE}	OCE ピンの CLK に対するセットアップ/ホールド	0.16 -0.07	0.19 -0.07	0.23 -0.07	ns
T_{OSRCK}/T_{OCKSR}	SR/REV ピンの CLK に対するセットアップ/ホールド	0.93 -0.20	1.02 -0.20	1.16 -0.20	ns
T_{OTCK}/T_{OCKT}	T1/T2 ピンの CLK に対するセットアップ/ホールド	0.28 -0.18	0.34 -0.18	0.41 -0.18	ns
T_{OTCECK}/T_{OCKTCE}	TCE ピンの CLK に対するセットアップ/ホールド	0.20 -0.06	0.23 -0.06	0.29 -0.06	ns
組み合わせ					
T_{DOQ}	D1 から OQ 出力または T1 から TQ 出力までの遅延	0.62	0.70	0.83	ns
シーケンシャル遅延					
T_{OCKQ}	CLK から OQ/TQ 出力までの遅延	0.61	0.62	0.62	ns
T_{RQ}	SR/REV ピンから OQ/TQ 出力までの遅延	1.63	1.89	2.27	ns
T_{GSRQ}	グローバルセット/リセットから Q 出力までの遅延	7.30	7.30	10.10	ns
セット/リセット					
T_{RPW}	最小パルス幅、SR/REV 入力	0.80	0.98	1.25	ns、 最小

入力シリアライザ/デシリアライザ スイッチ特性

表 62 : ISERDES スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
制御ラインのセットアップ/ホールド					
$T_{ISCK_BITSLLIP}/T_{ISCKC_BITSLLIP}$	BITSLLIP ピンの CLKDIV に対するセットアップ/ホールド	0.10 0.00	0.11 0.00	0.12 0.00	ns
$T_{ISCK_CE}/T_{ISCKC_CE}^{(2)}$	CE ピン (CE1) の CLK に対するセットアップ/ホールド	0.43 -0.24	0.49 -0.24	0.59 -0.24	ns
$T_{ISCK_CE2}/T_{ISCKC_CE2}^{(2)}$	CE ピン (CE2) の CLKDIV に対するセットアップ/ホールド	0.03 0.11	0.04 0.13	0.06 0.15	ns
データラインのセットアップ/ホールド					
T_{ISDCK_D}/T_{ISCKD_D}	D ピンの CLK に対するセットアップ/ホールド	0.34 -0.12	0.37 -0.12	0.39 -0.12	ns
$T_{ISDCK_DDLY}/T_{ISCKD_DDLY}$	DDLY ピンの CLK に対するセットアップ/ホールド (IODELAY 使用)	0.31 -0.09	0.33 -0.09	0.36 -0.08	ns
$T_{ISDCK_DDR}/T_{ISCKD_DDR}$	DDR モードでの、D ピンの CLK に対するセットアップ/ホールド	0.34 -0.12	0.37 -0.12	0.39 -0.12	ns
$T_{ISDCK_DDLY_DDR}/T_{ISCKD_DDLY_DDR}$	DDR モードでの、D ピンの CLK に対するセットアップ/ホールド (IODELAY を使用)	0.31 -0.09	0.33 -0.09	0.36 -0.08	ns
シーケンシャル遅延					
T_{ISCKO_Q}	CLKDIV から Q ピンで出力されるまでの遅延	0.46	0.51	0.60	ns
伝搬遅延					
T_{ISDO_DO}	D 入力から DO 出力ピンまでの遅延	0.20	0.22	0.26	ns

メモ :

1. タップが 0 の場合の値です。
2. T_{ISCK_CE2} および T_{ISCKC_CE2} は、TRACE レポートでは T_{ISCK_CE}/T_{ISCKC_CE} と表示されます。

出力シリアライザ/デシリアライザ スイッチ特性

表 63 : OSERDES スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
セットアップ/ホールド					
T_{OSDCK_D}/T_{OSCKD_D}	D 入力の CLKDIV に対するセットアップ/ホールド	0.21 -0.02	0.24 -0.02	0.30 -0.02	ns
$T_{OSDCK_T}/T_{OSCKD_T}^{(1)}$	T 入力の CLK に対するセットアップ/ホールド	0.28 -0.18	0.34 -0.18	0.41 -0.18	ns
$T_{OSDCK_T2}/T_{OSCKD_T2}^{(1)}$	T 入力の CLKDIV に対するセットアップ/ホールド	0.21 -0.03	0.24 -0.03	0.28 -0.03	ns
$T_{OSCK_OCE}/T_{OSCKC_OCE}$	OCE 入力の CLK に対するセットアップ/ホールド	0.16 -0.07	0.19 -0.07	0.23 -0.07	ns

表 63 : OSERDES スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{OSCKK_S}	SR (リセット) 入力の CLKDIV に対するセットアップ	0.52	0.58	0.70	ns
$T_{OSCKK_TCE}/T_{OSCKC_TCE}$	TCE 入力の CLK に対するセットアップ/ホールド	0.20 -0.06	0.23 -0.06	0.29 -0.06	ns
シーケンシャル遅延					
T_{OSCKO_OQ}	CLK から OQ までの Clock-to-Out 遅延	0.59	0.60	0.61	ns
T_{OSCKO_TQ}	CLK から TQ までの Clock-to-Out 遅延	0.61	0.62	0.62	ns
組み合わせ					
T_{OSDO_TQ}	T 入力から TQ 出力までの遅延	0.62	0.70	0.83	ns
T_{OSCO_OQ}	非同期リセットから OQ までの遅延	1.57	1.82	2.19	ns
T_{OSCO_TQ}	非同期リセットから TQ までの遅延	1.63	1.89	2.27	ns

メモ :

1. T_{OSDCK_T2} および T_{OSCKD_T2} は、TRACE レポートでは T_{OSDCK_T}/T_{OSCKD_T} と表示されます。

入力/出力遅延スイッチ特性

表 64 : 入力/出力遅延スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
IDELAYCTRL					
$T_{IDELAYCTRLCO_RDY}$	IDELAYCTRL の Reset から Ready	3.00	3.00	3.00	μs
$F_{IDELAYCTRL_REF}$	REFCLK 周波数	200.00	200.00	200.00	MHz
$IDELAYCTRL_REF_PRECISION$	REFCLK 精度	±10	±10	±10	MHz
$T_{IDELAYCTRL_RPW}$	最小リセット パルス幅	50.00	50.00	50.00	ns
IODELAY					
$T_{IDELAYRESOLUTION}$	IDELAY チェーン遅延精度	$1/(64 \times F_{REF} \times 1e^6)^{(1)}$			ps
$T_{IDELAYPAT_JIT}$	クロック パターンの遅延チェーンにおけるパターン依存周期ジッタ	0	0	0	メモ 2
	ランダム データ パターンの遅延チェーンにおけるパターン依存周期ジッタ (PRBS 23)	±5	±5	±5	メモ 2
$T_{IODELAY_CLK_MAX}$	IODELAY への CLK 入力の最大周波数	300	250	250	MHz
$T_{IODCK_CE} / T_{IODCK_CE}$	CE ピンの CK に対するセットアップ/ホールド	0.29 -0.06	0.34 -0.06	0.42 -0.06	ns
$T_{IODCK_INC} / T_{IODCK_INC}$	INC ピンの CK に対するセットアップ/ホールド	0.18 0.02	0.20 0.04	0.24 0.06	ns
$T_{IODCK_RST} / T_{IODCK_RST}$	RST ピンの CK に対するセットアップ/ホールド	0.25 -0.12	0.28 -0.12	0.33 -0.12	ns
T_{IODDO_T}	IODELAY にある MUXE/MUXF スイッチに対する TSCONTROL 遅延	メモ 3	メモ 3	メモ 3	
$T_{IODDO_IDATAIN}$	IODELAY の伝播遅延	メモ 3	メモ 3	メモ 3	
$T_{IODDO_ODATAIN}$	IODELAY の伝播遅延	メモ 3	メモ 3	メモ 3	

メモ :

1. タップ遅延の平均値は 200MHz で 78ps です。
2. 単位は ps で、高性能モード時における各タップでの Peak-to-Peak 値です。
3. 遅延は、IODELAY タップの設定に依存します。実際の値は、TRACE レポートを参照してください。

CLB スイッチ特性

表 65 : CLB スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
組み合わせ遅延					
T_{ILO}	An - Dn LUT アドレスから A までの遅延	0.08	0.09	0.10	ns、最大
	An - Dn LUT アドレスから AMUX/CMUX までの遅延	0.20	0.22	0.25	ns、最大
	An - Dn LUT アドレスから BMUX_A までの遅延	0.31	0.35	0.40	ns、最大
T_{ITO}	An - Dn 入力から A - D Q 出力までの遅延	0.67	0.77	0.90	ns、最大
T_{AXA}	AX 入力から AMUX 出力までの遅延	0.39	0.44	0.53	ns、最大

表 65 : CLB スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{AXB}	AX 入力から BMUX 出力までの遅延	0.46	0.52	0.61	ns、最大
T_{AXC}	AX 入力から CMUX 出力までの遅延	0.31	0.36	0.42	ns、最大
T_{AXD}	AX 入力から DMUX 出力までの遅延	0.55	0.62	0.73	ns、最大
T_{BXB}	BX 入力から BMUX 出力までの遅延	0.36	0.41	0.48	ns、最大
T_{BXD}	BX 入力から DMUX 出力までの遅延	0.45	0.51	0.59	ns、最大
T_{CXB}	CX 入力から CMUX 出力までの遅延	0.33	0.36	0.42	ns、最大
T_{CXD}	CX 入力から DMUX 出力までの遅延	0.37	0.42	0.49	ns、最大
T_{DXD}	DX 入力から DMUX 出力までの遅延	0.38	0.42	0.49	ns、最大
T_{OPCYA}	An 入力から COUT 出力までの遅延	0.43	0.50	0.59	ns、最大
T_{OPCYB}	Bn 入力から COUT 出力までの遅延	0.39	0.44	0.51	ns、最大
T_{OPCYC}	Cn 入力から COUT 出力までの遅延	0.33	0.37	0.43	ns、最大
T_{OPCYD}	Dn 入力から COUT 出力までの遅延	0.30	0.34	0.40	ns、最大
T_{AXCY}	AX 入力から COUT 出力までの遅延	0.36	0.42	0.50	ns、最大
T_{BXCY}	BX 入力から COUT 出力までの遅延	0.26	0.30	0.37	ns、最大
T_{CXCY}	CX 入力から COUT 出力までの遅延	0.20	0.22	0.26	ns、最大
T_{DXCY}	DX 入力から COUT 出力までの遅延	0.20	0.22	0.26	ns、最大
T_{BYP}	CIN 入力から COUT 出力までの遅延	0.09	0.10	0.11	ns、最大
T_{CINA}	CIN 入力から AMUX 出力までの遅延	0.24	0.27	0.31	ns、最大
T_{CINB}	CIN 入力から BMUX 出力までの遅延	0.27	0.30	0.35	ns、最大
T_{CINC}	CIN 入力から CMUX 出力までの遅延	0.29	0.32	0.36	ns、最大
T_{CIND}	CIN 入力から DMUX 出力までの遅延	0.31	0.35	0.41	ns、最大
シーケンシャル遅延					
T_{CKO}	クロックから AQ - DQ 出力までの遅延	0.35	0.40	0.47	ns、最大
クロック CLK 前後における CLB フリップフロップのセットアップ/ホールド タイム					
T_{DICK}/T_{CKDI}	A - D フリップフロップの AX - DX 入力から CLK	0.36 0.19	0.41 0.21	0.49 0.24	ns、最小
T_{RCK}	DX 入力から CLK (REV として使用されている場合)	0.37	0.42	0.51	ns、最小
T_{CECK}/T_{CKCE}	A - D フリップフロップの CE 入力から CLK	0.18 -0.04	0.20 -0.04	0.23 -0.04	ns、最小
T_{SRCK}/T_{CKSR}	A - D フリップフロップの SR 入力から CLK	0.41 -0.19	0.49 -0.19	0.59 -0.19	ns、最小
T_{CINCK}/T_{CKCIN}	A - D フリップフロップの CIN 入力から CLK	0.14 0.14	0.16 0.16	0.18 0.19	ns、最小
セット/リセット					
T_{SRMIN}	SR 入力最小パルス幅	0.90	0.90	0.90	ns、最小

表 65 : CLB スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{RQ}	SR または REV 入力から AQ - DQ フリップフロップまでの遅延	0.74	0.86	1.03	ns、最大
T_{CEO}	CE 入力から AQ - DQ フリップフロップまでの遅延	0.46	0.52	0.63	ns、最大
F_{TOG}	トグル周波数 (エクスポート制御用)	1412	1265	1098	MHz

メモ :

1. ホールド タイムが「0」の場合は、ホールド タイムがないか、負であることを意味します。負のホールド タイムはベスト ケースを保証するものではありません。「0」の場合は、正のホールド タイムはありません。
2. キャリーチェーンを使用するアプリケーションで重要です。

CLB 分散 RAM スイッチ特性 (SLICEM のみ)

表 66 : CLB 分散 RAM スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
シーケンシャル遅延					
T_{SHCKO}	クロックから A - B 出力までの遅延	1.08	1.26	1.54	ns、最大
T_{SHCKO_1}	クロックから AMUX - BMUX 出力までの遅延	1.19	1.38	1.68	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T_{DS}/T_{DH}	A - D 入力から CLK	0.72 0.20	0.84 0.22	1.03 0.26	ns、最小
T_{AS}/T_{AH}	アドレス An 入力からクロック	0.41 0.20	0.46 0.22	0.54 0.27	ns、最小
T_{WS}/T_{WH}	WE 入力からクロック	0.34 -0.06	0.39 -0.04	0.46 -0.02	ns、最小
T_{CECK}/T_{CKCE}	CE 入力から CLK	0.36 -0.08	0.42 -0.07	0.51 -0.06	ns、最小
クロック CLK					
T_{MPW}	最小パルス幅	0.70	0.82	1.00	ns、最小
T_{MCP}	最小クロック周期	1.40	1.64	2.00	ns、最小

メモ :

1. ホールド タイムが「0」の場合は、ホールド タイムがないか、負であることを意味します。負のホールド タイムはベスト ケースを保証するものではありません。「0」の場合は、正のホールド タイムはありません。
2. T_{SHCKO} は、CLK から XMUX 出力までの遅延も表します。TRACE レポートで、CLK から XMUX までのパスを参照してください。

CLB シフト レジスタ スイッチ特性 (SLICEM のみ)

表 67 : CLB シフト レジスタ スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
シーケンシャル遅延					
T_{REG}	クロックから A - D 出力までの遅延	1.23	1.43	1.73	ns、最大
T_{REG_MUX}	クロックから AMUX - DMUX 出力までの遅延	1.33	1.55	1.87	ns、最大
T_{REG_M31}	クロックから M31 出力を介した DMUX 出力までの遅延	0.99	1.15	1.38	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T_{WS}/T_{WH}	WE 入力	0.21 -0.06	0.24 -0.04	0.29 -0.02	ns、最小
T_{CECK}/T_{CKCE}	CE 入力から CLK	0.23 -0.08	0.27 -0.07	0.33 -0.06	ns、最小
T_{DS}/T_{DH}	A - D 入力から CLK	0.57 0.07	0.66 0.09	0.78 0.11	ns、最小
クロック CLK					
T_{MPW}	最小パルス幅	0.60	0.70	0.85	ns、最小

メモ :

1. ホールド タイムが「0」の場合は、ホールド タイムがないか、負であることを意味します。負のホールド タイムはベスト ケースを保証するものではありません。「0」の場合は、正のホールド タイムはありません。

ブロック RAM および FIFO スイッチ特性

表 68 : ブロック RAM および FIFO のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
ブロック RAM および FIFO の Clock to Out 遅延					
T_{RCKO_DO} および $T_{RCKO_DOR}^{(1)}$	クロック CLK から DOUT 出力までの遅延 (出力レジスタあり) ^(2, 3)	1.79	1.92	2.19	ns、最大
	クロック CLK から DOUT 出力までの遅延 (出力レジスタなし) ^(4, 5)	0.61	0.69	0.82	ns、最大
	ECC を使用した場合のクロック CLK から DOUT 出力までの遅延 (出力レジスタなし) ^(2, 3)	2.64	3.03	3.61	ns、最大
	ECC を使用した場合のクロック CLK から DOUT 出力までの遅延 (出力レジスタあり) ^(4, 5)	0.66	0.77	0.93	ns、最大
	カスケード接続した場合のクロック CLK から DOUT 出力までの遅延 (出力レジスタなし) ⁽²⁾	2.10	2.44	2.94	ns、最大
	カスケード接続した場合のクロック CLK から DOUT 出力までの遅延 (出力レジスタあり) ⁽⁴⁾	0.91	1.07	1.30	ns、最大
T_{RCKO_FLAGS}	クロック CLK から FIFO フラグ出力までの遅延 ⁽⁶⁾	0.76	0.87	1.02	ns、最大
$T_{RCKO_POINTERS}$	クロック CLK から FIFO ポインタ出力までの遅延 ⁽⁷⁾	1.10	1.26	1.48	ns、最大
T_{RCKO_ECCR}	クロック CLK から BITERR までの遅延 (出力レジスタあり)	0.66	0.77	0.93	ns、最大
T_{RCKO_ECC}	クロック CLK から BITERR までの遅延 (出力レジスタなし)	2.48	2.85	3.41	ns、最大
	標準モードの ECC を使用した場合のクロック CLK から ECCPARITY までの遅延	1.29	1.47	1.74	ns、最大
	Encode Only モードの ECC を使用した場合のクロック CLK から ECCPARITY までの遅延	0.77	0.89	1.05	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
$T_{RCK_ADDR}/T_{RCKC_ADDR}$	ADDR 入力 ⁽⁸⁾	0.34 0.30	0.40 0.32	0.48 0.36	ns、最小
T_{RDCK_DI}/T_{RCKD_DI}	DIN 入力 ⁽⁹⁾	0.27 0.28	0.30 0.28	0.35 0.29	ns、最小
$T_{RDCK_DI_ECC}/T_{RCKD_DI_ECC}$	標準モードの ECC を使用した場合の DIN 入力 ⁽⁹⁾	0.33 0.32	0.37 0.33	0.42 0.36	ns、最小
	Encode Only モードの ECC を使用した場合の DIN 入力 ⁽⁹⁾	0.68 0.32	0.72 0.33	0.77 0.36	ns、最小
T_{RCK_EN}/T_{RCKC_EN}	ブロック RAM の (EN) 入力	0.32 0.15	0.36 0.15	0.42 0.15	ns、最小
$T_{RCK_REGCE}/T_{RCKC_REGCE}$	出力レジスタの CE 入力	0.15 0.22	0.16 0.24	0.18 0.27	ns、最小
T_{RCK_SSR}/T_{RCKC_SSR}	同期セット/リセット (SSR) 入力	0.17 0.23	0.21 0.25	0.26 0.28	ns、最小

表 68 : ブロック RAM および FIFO のスイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{RCKC_WE}/T_{RCKC_WE}	ライト イネーブル (WE) 入力	0.44 0.16	0.51 0.17	0.63 0.18	ns、最小
$T_{RCKC_WREN}/T_{RCKC_WREN}$	WREN/RDEN FIFO 入力 ⁽¹⁰⁾	0.36 0.30	0.41 0.34	0.48 0.40	ns、最小
リセット遅延					
T_{RCO_FLAGS}	リセット RST から FIFO フラグ/ポインタまでの遅延 ⁽¹¹⁾	1.10	1.26	1.48	ns、最大
最大周波数					
F_{MAX}	すべてのモードのブロック RAM	550	500	450	MHz
$F_{MAX_CASCADE}$	カスケード コンフィギュレーションのブロック RAM	500	450	400	MHz
F_{MAX_FIFO}	すべてのモードの FIFO	550	500	450	MHz
F_{MAX_ECC}	ECC コンフィギュレーションのブロック RAM および FIFO	415	375	325	MHz

メモ :

- TRACE では、すべてのパラメータが T_{RCKO_DO} と表示されます。
- T_{RCKO_DOR} には、B ポートに相当するタイミングパラメータのほかに、 T_{RCKO_DOW} 、 T_{RCKO_DOPR} 、および T_{RCKO_DOPW} が含まれます。
- これらのパラメータは、 $DO_REG = 0$ に設定された同期 FIFO にも適用されます。
- T_{RCKO_DO} には、B ポートに相当するタイミングパラメータのほかに、 T_{RCKO_DOP} が含まれます。
- これらのパラメータは、 $DO_REG = 1$ に設定されたマルチレート (非同期) FIFO および同期 FIFO にも適用されます。
- T_{RCKO_FLAGS} には、 T_{RCKO_AEMPTY} 、 T_{RCKO_AFULL} 、 T_{RCKO_EMPTY} 、 T_{RCKO_FULL} 、 T_{RCKO_RDERR} 、 T_{RCKO_WRERR} が含まれます。
- $T_{RCKO_POINTERS}$ には $T_{RCKO_RDCOUNT}$ および $T_{RCKO_WRCOUNT}$ が含まれます。
- ADDR のセットアップおよびホールドタイムは、WE がディスエーブルの場合でも、EN がアサートされるときに満たされている必要があります。満たされていないと、ブロック RAM データが破損する可能性があります。
- T_{RCKO_DI} には、A 入力と B 入力、およびそれらのパリティ入力が含まれます。
- これらのパラメータは、RDEN にも適用されます。
- T_{RCKO_FLAGS} には、AEMPTY、AFULL、EMPTY、FULL、RDERR、WRERR、RDCOUNT、および WRCOUNT フラグが含まれます。

DSP48E スイッチ特性

表 69 : DSP48E スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
データ/制御ピンから入力レジスタ クロックへのセットアップ タイムおよびホールド タイム					
TDSPDCK_{AA, BB, ACINA, BCINB}/ TDSPCKD_{AA, BB, ACINA, BCINB}	{A, B, ACIN, BCIN} 入力から {A, B} レジスタ CLK	0.17 0.17	0.21 0.23	0.26 0.30	ns
TDSPDCK_CC/TDSPCKD_CC	C 入力から C レジスタ CLK	0.14 0.26	0.16 0.31	0.20 0.37	ns
データ ピンからパイプライン レジスタ クロックへのセットアップ タイムおよびホールド タイム					
TDSPDCK_{AM, BM, ACINM, BCINM}/ TDSPCKD_{AM, BM, ACINM, BCINM}	{A, B, ACIN, BCIN} 入力から M レジスタ CLK	1.30 0.19	1.44 0.19	1.71 0.19	ns
データ/制御ピンから出力レジスタ クロックへのセットアップ タイムおよびホールド タイム					
TDSPDCK_{AP, BP, ACINP, BCINP}_M/ TDSPCKD_{AP, BP, ACINP, BCINP}_M	{A, B, ACIN, BCIN} 入力から P レジスタ CLK (乗算器を使用)	2.39 -0.3 0	2.74 -0.3 0	3.25 -0.3 0	ns
TDSPDCK_{AP, BP, ACINP, BCINP}_NM/ TDSPCKD_{AP, BP, ACINP, BCINP}_NM	{A, B, ACIN, BCIN} 入力から P レジスタ CLK (乗算器は未使用)	1.35 -0.1 0	1.54 -0.1 0	1.83 -0.1 0	ns
TDSPDCK_CP/TDSPCKD_CP	C 入力から P レジスタ CLK	1.30 -0.1 3	1.42 -0.1 3	1.70 -0.1 3	ns
TDSPDCK_{PCINP, CRYCINP, MULTSIGNINP}/ TDSPCKD_{PCINP, CRYCINP, MULTSIGNINP}	{PCIN, CARRYCASCIN, MULTSIGNIN} 入力から P レジスタ CLK	1.06 0.11	1.17 0.11	1.31 0.11	ns
CE ピンのセットアップ タイムおよびホールド タイム					
TDSPCCK_{CEA1A, CEA2A, CEB1B, CEB2B}/ TDSPCKC_{CEA1A, CEA2A, CEB1A, CEB2B}	{CEA1, CEA2A, CEB1B, CEB2B} 入力から {A, B} レジスタ CLK	0.24 0.21	0.28 0.25	0.33 0.31	ns
TDSPCCK_CECC/TDSPCKC_CECC	CEC 入力から C レジスタ CLK	0.19 0.17	0.21 0.21	0.26 0.28	ns
TDSPCCK_CEMM/TDSPCKC_CEMM	CEM 入力から M レジスタ CLK	0.25 0.18	0.29 0.21	0.36 0.26	ns
TDSPCCK_CEPP/TDSPCKC_CEPP	CEP 入力から P レジスタ CLK	0.56 0.01	0.63 0.01	0.73 0.01	ns
RST ピンのセットアップ タイムおよびホールド タイム					
TDSPCCK_{RSTAA, RSTBB}/ TDSPCKC_{RSTAA, RSTBB}	{RSTA, RSTB} 入力から {A, B} レジスタ CLK	0.24 0.23	0.28 0.26	0.33 0.31	ns
TDSPCCK_RSTCC/TDSPCKC_RSTCC	RSTC 入力から C レジスタ CLK	0.19 0.17	0.21 0.21	0.26 0.28	ns
TDSPCCK_RSTMM/TDSPCKC_RSTMM	RSTM 入力から M レジスタ CLK	0.25 0.18	0.29 0.21	0.36 0.26	ns
TDSPCCK_RSTPP/TDSPCKC_RSTPP	RSTP 入力から P レジスタ CLK	0.56 0.01	0.63 0.01	0.73 0.01	ns

表 69 : DSP48E スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
入力ピンから出力ピンまでの組み合わせ遅延					
TDSPDO_{AP, ACRYOUT, BP, BCRYOUT}_M	{A, B} 入力から {P, CARRYOUT} 出力 (乗算器を使用)	2.78	3.22	3.84	ns
TDSPDO_{AP, ACRYOUT, BP, BCRYOUT}_NM	{A, B} 入力から {P, CARRYOUT} 出力 (乗算器は未使用)	1.59	1.77	2.22	ns
TDSPDO_{CP, CCRYOUT, CRYINP, CRYINCRYOUT}	{C, CARRYIN} 入力から {P, CARRYOUT} 出力	1.50	1.67	2.08	ns
入力ピンからカスケード接続された出力ピンまでの組み合わせ遅延					
TDSPDO_{AACOUT, BBCOUT}	{A, B} 入力から {ACOUT, BCOUT} 出力	1.00	1.12	1.31	ns
TDSPDO_{APCOUT, ACRYCOUT, AMULTSIGNOUT, BPCOUT, BCRYCOUT, BMULTSIGNOUT}_M	{A, B} 入力から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力 (乗算器を使用)	2.78	3.22	3.84	ns
TDSPDO_{APCOUT, ACRYCOUT, AMULTSIGNOUT, BPCOUT, BCRYCOUT, BMULTSIGNOUT}_NM	{A, B} 入力から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力 (乗算器は未使用)	1.72	1.92	2.42	ns
TDSPDO_{CPCOUT, CCRYCOUT, CMULTSIGNOUT, CRYINPCOUT, CRYINCRYCOUT, CRYINMULTSIGNOUT}	{C, CARRYIN} 入力から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力	1.63	1.82	2.28	ns
カスケード接続された入力ピンからすべての出力ピンまでの組み合わせ遅延					
TDSPDO_{ACINP, ACINCRYOUT, BCINP, BCINCRYOUT}_M	{ACIN, BCIN} 入力から {P, CARRYOUT} 出力 (乗算器を使用)	2.78	3.22	3.84	ns
TDSPDO_{ACINP, ACINCRYOUT, BCINP, BCINCRYOUT}_NM	{ACIN, BCIN} 入力から {P, CARRYOUT} 出力 (乗算器は未使用)	1.59	1.77	2.22	ns
TDSPDO_{ACINACOUT, BCINBCOUT}	{ACIN, BCIN} 入力から {ACOUT, BCOUT} 出力	1.00	1.12	1.31	ns
TDSPDO_{ACINPCOUT, ACINCRYCOUT, ACINMULTSIGNOUT, BCINPCOUT, BCINCRYCOUT, BCINMULTSIGNOUT}_M	{ACIN, BCIN} 入力から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力 (乗算器を使用)	2.78	3.22	3.84	ns
TDSPDO_{ACINPCOUT, ACINCRYCOUT, ACINMULTSIGNOUT, BCINPCOUT, BCINCRYCOUT, BCINMULTSIGNOUT}_NM	{ACIN, BCIN} 入力から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力 (乗算器は未使用)	1.72	1.92	2.42	ns
TDSPDO_{PCINP, CRYCINP, MULTSIGNINP, PCINCRYOUT, CRYCINCRYOUT, MULTSIGNINCRYOUT}	{PCIN, CARRYCASCIN, MULTSIGNIN} 入力から {P, CARRYOUT} 出力	1.30	1.45	1.82	ns
TDSPDO_{PCINPCOUT, CRYCINPCOUT, MULTSIGNINPCOUT, PCINCRYCOUT, CRYCINCRYCOUT, MULTSIGNINCRYCOUT, PCINMULTSIGNOUT, CRYCINMULTSIGNOUT, MULTSIGNINMULTSIGNOUT}	{PCIN, CARRYCASCIN, MULTSIGNIN} 入力から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力	1.43	1.60	2.02	ns
出力レジスタ クロックから出力ピンまでの Clock to Output					
TDSPCKO_{PP, CRYOUTP}	CLK (PREG) から {P, CARRYOUT} 出力	0.45	0.48	0.56	ns

表 69 : DSP48E スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
TDSPCKO_{CRYCOUTP, PCOUTP, MULTSIGNOUTP}	CLK (PREG) から {CARRYCASCOUT, PCOUT, MULTSIGNOUT} 出力	0.48	0.53	0.62	ns
パイプライン レジスタ クロックから出力ピンまでの Clock to Output					
TDSPCKO_{PM, CRYOUTM}	CLK (MREG) から {P, CARRYOUT} 出力	1.81	2.10	2.47	ns
TDSPCKO_{PCOUTM, CRYCOUTM, MULTSIGNOUTM}	CLK (MREG) から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力	1.91	2.13	2.66	ns
入力レジスタ クロックから出力ピンまでの Clock to Output					
TDSPCKO_{PA, CRYOUTA, PB, CRYOUTB}_M	CLK (AREG, BREG) から {P, CARRYOUT} 出力 (乗算器を使用)	3.09	3.57	4.23	ns
TDSPCKO_{PA, CRYOUTA, PB, CRYOUTB}_NM	CLK (AREG, BREG) から {P, CARRYOUT} 出力 (乗算器は未使用)	1.90	2.11	2.63	ns
TDSPCKO_{PC, CRYOUTC}	CLK (CREG) から {P, CARRYOUT} 出力	1.89	2.11	2.62	ns
入力レジスタ クロックからカスケード接続された出力ピンまでの Clock to Out					
TDSPCKO_{ACOUTA, BCOUTB}	CLK (AREG, BREG) から {ACOUT, BCOUT}	0.61	0.68	0.79	ns
TDSPCKO_{PCOUTA, CRYCOUTA, MULTSIGNOUTA, PCOUTB, CRYCOUTB, MULTSIGNOUTB}_M	CLK (AREG, BREG) から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力 (乗算器を使用)	3.09	3.57	4.23	ns
TDSPCKO_{PCOUTA, CRYCOUTA, MULTSIGNOUTA, PCOUTB, CRYCOUTB, MULTSIGNOUTB}_NM	CLK (AREG, BREG) から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力 (乗算器は未使用)	2.03	2.27	2.82	ns
TDSPCKO_{PCOUTC, CRYCOUTC, MULTSIGNOUTC}	CLK (CREG) から {PCOUT, CARRYCASCOUT, MULTSIGNOUT} 出力	2.03	2.26	2.82	ns
最大周波数					
F _{MAX}	すべてのレジスタを使用	550	500	450	MHz
F _{MAX_PATDET}	パターン検出器を使用	515	465	410	MHz
F _{MAX_MULT_NOMREG}	2つのレジスタ付き乗算器 (MREG なし)	374	324	275	MHz
F _{MAX_MULT_NOMREG_PATDET}	2つのレジスタ付き乗算器 (MREG なし、パターン検出器あり)	345	300	254	MHz

コンフィギュレーション スイッチ特性

表 70 : コンフィギュレーション スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
電源投入タイミング特性					
T_{PL}	プログラム レイテンシ	3	3	3	ms、最大
T_{POR}	パワーオン リセット	10 50	10 50	10 50	ms、 最小/最大
T_{ICCK}	CCLK (出力) 遅延	400	400	400	ns、最小
$T_{PROGRAM}$	プログラム パルス幅	250	250	250	ns、最小
マスタ/スレーブ シリアル モード プログラム スイッチ ⁽¹⁾					
T_{DCCK}/T_{CCKD}	DIN セットアップ/ホールド (スレーブ モード)	4.0 0.0	4.0 0.0	4.0 0.0	ns、最小
T_{DSCCK}/T_{SCCKD}	DIN セットアップ/ホールド (マスタ モード)	4.0 0.0	4.0 0.0	4.0 0.0	ns、最小
T_{CCO}	DOUT	7.5	7.5	7.5	ns、最大
F_{MCCK}	標準 CCLK に対する最大周波数 (マスタ モード)	100	100	100	MHz、 Max
$F_{MCCKTOL}$	標準 CCLK に対する周波数偏差 (マスタ モード)	±50	±50	±50	%
F_{MSCCK}	外部 CCLK (スレーブ モード)	100	100	100	MHz
SelectMAP モード プログラム スイッチ ⁽¹⁾					
T_{SMDCK}/T_{SMCKD}	SelectMAP データ セットアップ/ホールド	3.0 0.5	3.0 0.5	3.0 0.5	ns、最小
$T_{SMCSCCK}/T_{SMCKCS}$	CS_B セットアップ/ホールド	3.0 0.5	3.0 0.5	3.0 0.5	ns、最小
T_{SMCKKW}/T_{SMWCK}	RDWR_B セットアップ/ホールド	8.0 0.5	8.0 0.5	8.0 0.5	ns、最小
$T_{SMCKCSO}$	CSO_B の Clock to Out (330Ω のプルアップ抵抗が必要)	10	10	10	ns、最小
T_{SMCO}	リードバックでの CCLK to DATA Out	9.0	9.0	9.0	ns、最大
T_{SMCKBY}	リードバックでの CCLK to BUSY Out	7.5	7.5	7.5	ns、最大
F_{SMCK}	標準 CCLK に対する最大周波数	100	100	100	MHz、 最大
F_{RBCK}	標準 CCLK に対する最大リードバック周波数	60	60	60	MHz、 最大
$F_{MCCKTOL}$	標準 CCLK に対する周波数偏差	±50	±50	±50	%
バウンダリ スキャン ポートのタイミング仕様					
T_{TAPTCK}	TCK 前の TMS および TDI セットアップ タイム	1.0	1.0	1.0	ns、最小
T_{TCKTAP}	TCK 後の TMS および TDI ホールド タイム	2.0	2.0	2.0	ns、最小

表 70 : コンフィギュレーション スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{TCKTDO}	TCK の立ち下がりエッジから TDO 出力が有効になるまでの時間	6	6	6	ns、最大
F_{TCK}	コンフィギュレーション TCK クロックの最大周波数	66	66	66	MHz、最大
F_{TCKB}	バウンダリ スキャン TCK クロックの最大周波数	66	66	66	MHz、最大
BPI マスタ フラッシュ モード プログラム スイッチ					
$T_{BPICCO}^{(4)}$	CCLK の立ち上がりエッジから ADDR[25:0]、RS[1:0]、FCS_B、FOE_B、FWE_B 出力が有効になるまでの時間	10	10	10	ns
T_{BPIDCC}/T_{BPICCD}	D[15:0] データ入力ピンでのセットアップ/ホールド	3.0 0.5	3.0 0.5	3.0 0.5	ns
$T_{INITADDR}$	初期 ADDR[25:0] アドレス サイクルの最短周期	3.0	3.0	3.0	CCLK サイクル
SPI マスタ フラッシュ モード プログラム スイッチ					
$T_{SPIDCC}/T_{SPIDCCD}$	CCLK 立ち上がりエッジ前後での DIN セットアップ/ホールド	4.0 0.0	4.0 0.0	4.0 0.0	ns
T_{SPICCM}	MOSI の Clock-to-Out	10	10	10	ns
T_{SPICFC}	FCS_B の Clock-to-Out	10	10	10	ns
$T_{FSINIT}/T_{FSINITH}$	FS[2:0] から INIT_B 立ち上がりエッジのセットアップおよびホールド	2	2	2	μ s
CCLK 出力 (マスタ モード)					
T_{MCCKL}	マスタ CCLK クロックの最小 Low 時間	3.0	3.0	3.0	ns、最小
T_{MCCKH}	マスタ CCLK クロックの最小 High 時間	3.0	3.0	3.0	ns、最小
CCLK 入力 (スレーブ モード)					
T_{SCCKL}	スレーブ CCLK クロックの最小 Low 時間	2.0	2.0	2.0	ns、最小
T_{SCCKH}	スレーブ CCLK クロックの最小 High 時間	2.0	2.0	2.0	ns、最小
DCLK 前後の DCM および PLL の DRP (ダイナミック リコンフィギュレーション ポート)					
F_{DCK}	DCLK の最大周波数	500	450	400	MHz
$T_{DMCKC_DADDR}/T_{DMCKC_DADDR}$	DADDR セットアップ/ホールド	1.2 0.0	1.35 0.0	1.56 0.0	ns
$T_{DMCKC_DI}/T_{DMCKC_DI}$	DI セットアップ/ホールド	1.2 0.0	1.35 0.0	1.56 0.0	ns
$T_{DMCKC_DEN}/T_{DMCKC_DEN}$	DEN セットアップ/ホールド タイム	1.2 0.0	1.35 0.0	1.56 0.0	ns
$T_{DMCKC_DWE}/T_{DMCKC_DWE}$	DWE セットアップ/ホールド タイム	1.2 0.0	1.35 0.0	1.56 0.0	ns

表 70 : コンフィギュレーション スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{DMCKO_DO}	DO の CLK-to-Out ⁽³⁾	1.0	1.12	1.3	ns
$T_{DMCKO_DRDY}/T_{DMCKCO_DRDY}$	DRDY の CLK-to-Out	1.0	1.12	1.3	ns

メモ :

- 3.3V および 2.5V のコンフィギュレーション電圧に対する最大周波数およびセットアップ/ホールド タイミング パラメータです。
- コンフィギュレーションでより長い遅延をサポートするには、[UG190](#) : 『Virtex-5 FPGA ユーザー ガイド』に記載のデザイン ソリューションを参照してください。
- DO の値は、次に DRP が実行されるまで保持されます。
- コンフィギュレーション中のみ、I/O の弱いプルアップ/プルダウン抵抗値によって最後のエッジが決定されます。

クロック バッファおよびネットワーク

表 71 : グローバル クロックスイッチ特性 (BUFGCTRL を含む)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
$T_{BCCCK_CE}/T_{BCCCK_CE}^{(1)}$	CE ピンのセット アップ/ホールド	すべて	0.27 0.00	0.27 0.00	0.31 0.00	ns
$T_{BCCCK_S}/T_{BCCCK_S}^{(1)}$	S ピンのセット アップ/ホールド	すべて	0.27 0.00	0.27 0.00	0.31 0.00	ns
$T_{BCCCKO_O}^{(2)}$	I0/I1 から O の BUFGCTRL 遅延	LX20T	N/A	0.24	0.30	ns
		LX30, LX30T, LX50, LX50T, LX85, LX85T, LX110, LX110T, SX35T, SX50T, FX70T, FX100T, FX130T	0.19	0.22	0.25	ns
		FX30T	0.23	0.23	0.25	ns
		LX155 および LX155T	0.12	0.14	0.30	ns
		LX220, LX220T, LX330, LX330T, SX95T, SX240T, TX150T, TX240T, FX200T	N/A	0.22	0.25	ns
最大周波数						
F_{MAX}	グローバル クロック ツリー (BUFG)	LX20T	N/A	667	600	MHz
		LX30, LX30T, LX50T, LX85, LX85T, LX110, LX110T, SX35T, SX50T, FX30T, FX70T	710	667	600	MHz
		LX155, LX155T, FX100	650	600	550	MHz
		FX130	550	500	450	MHz
		LX220, LX220T, LX330, LX330T, SX95T, SX240T, TX150T, TX240T, FX200T	N/A	500	450	MHz

メモ :

- T_{BCCCK_CE} および T_{BCCCK_S} は、クロックの切り替え時にグローバル クロックの動作でグリッチが発生しないようにするため、仕様を満たす必要があります。BUFGMUX_VIRTEX4 プリミティブではグリッチが発生しないため、これらのパラメータは適用されません。その他のグローバル クロックのセットアップおよびホールド タイムはオプションです。この要件を満たす必要があるのは、クロックの切り替え時に、サイクルごとにデバイス動作をシミュレーションと一致させる必要がある場合のみです。
- T_{BCCCKO_O} (I0 から O までの BUFG 遅延) の値は、 T_{BCCCKO_O} の値と同じです。

表 72 : 入力/出力クロック スイッチ特性 (BUFIO)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{BUFIOCKO_O}	I から O の Clock-to-Out 遅延	1.08	1.16	1.29	ns
最大周波数					
F_{MAX}	I/O クロック ツリー (BUFIO)	710	710	644	MHz

表 73 : リージョナルクロック スイッチ特性 (BUFR)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T_{BRCKO_O}	I から O の Clock-to-Out 遅延	LX20T	N/A	0.79	0.90	ns
		LX30, LX30T, LX50T, LX85, LX85T, LX110, LX110T, SX35T, SX50T, FX100T, FX130T	0.56	0.59	0.67	ns
		FX30T	0.72	0.78	0.86	ns
		FX70T	0.69	0.74	0.83	ns
		LX155, LX155T	0.73	0.80	0.90	ns
		LX220, LX220T, LX330, LX330T, SX95T, SX240T, TX150T, TX240T, FX200T	N/A	0.59	0.67	ns
$T_{\text{BRCKO}_O_BYP}$	Divide Bypass 属性設定時の I から O の Clock-to-Out 遅延	LX20T	n/a	0.29	0.30	ns
		LX30, LX30T, LX50T, LX85, LX85T, LX110, LX110T, SX35T, SX50T, FX30T, FX100T, FX130T	0.23	0.24	0.26	ns
		LX155, LX155T	0.24	0.26	0.30	ns
		LX220, LX220T, LX330, LX330T, SX95T, SX240T, TX150T, TX240T, FX200T	0.61	0.70	0.26	ns
$T_{\text{BRDO_CLRO}}$	CLR から O の伝播遅延	すべて	0.61	0.70	0.82	ns
最大周波数						
F_{MAX}	リージョナルクロック ツリー (BUFR)	すべて	300	250	250	MHz

PLL スイッチング仕様

表 74 : PLL スイッチング仕様

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F_{INMAX}	最大入力クロック周波数	710	710	645	MHz
F_{INMIN}	最小入力クロック周波数	19	19	19	MHz
$F_{INJITTER}$	最大入力クロック周期ジッタ	クロック入力周期の 20% 未満または最大 1ns			
F_{INDUTY}	入力デューティ サイクル範囲 : 19 ~ 49MHz	25/75			%
	入力デューティ サイクル範囲 : 50 ~ 199MHz	30/70			%
	入力デューティ サイクル範囲 : 200 ~ 399MHz	35/65			%
	入力デューティ サイクル範囲 : 400 ~ 499MHz	40/60			%
	入力デューティ サイクル範囲 : > 500MHz	45/55			%
F_{VCOMIN}	最小 PLL VCO 周波数	400	400	400	MHz
F_{VCOMAX}	最大 PLL VCO 周波数	1440	1200	1000	MHz
$F_{BANDWIDTH}$	標準 Low PLL バンド幅 ⁽¹⁾	1	1	1	MHz
	標準 High PLL バンド幅 ⁽¹⁾	4	4	4	MHz
$T_{STAPHAOFFSET}$	PLL 出力のスタティック位相オフセット	120	120	120	ps
$T_{OUTJITTER}$	PLL 出力ジッタ ⁽²⁾	メモ 1			
$T_{OUTDUTY}$	PLL 出カクロックのデューティ サイクル精度 ⁽³⁾	±150	±200	±200	ps
$T_{LOCKMAX}$	PLL 最大ロック時間 ⁽⁴⁾	100	100	100	μs
F_{OUTMAX}	LX20T デバイスの PLL 最大出力周波数	N/A	667	600	MHz
	LX30, LX30T, LX50, LX50T, LX85, LX85T, LX110, LX110T, SX35T, SX50T, FX30T、および FX70T デバイスの PLL 最大出力周波数	710	667	600	MHz
	LX155, LX155T、および FX100T デバイスの PLL 最大出力周波数	650	600	550	MHz
	FX130T デバイスの PLL 最大出力周波数	550	500	450	MHz
	LX220, LX220T, LX330, LX330T, SX95T, SX240T, TX150T, TX240T、および FX200T デバイスの PLL 最大出力周波数	N/A	500	450	MHz
F_{OUTMIN}	PLL 最小出力周波数 ⁽⁵⁾	3.125	3.125	3.125	MHz
$T_{EXTFDVAR}$	外部クロック フィードバックの変動	クロック入力周期の 20% 未満または最大 1ns			
$RST_{MINPULSE}$	最小リセット パルス幅	5	5	5	ns
F_{PFDMAX}	PFD (位相周波数検出器) での最大周波数	550	500	450	MHz

表 74 : PLL スイッチング仕様 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F_{PFDMIN}	PFD (位相周波数検出器) での最小周波数	19	19	19	MHz
$T_{FBDELAY}$	フィードバック パスでの最大遅延	3ns 最大または CLKIN の 1 サイクル			

メモ :

- PLL では通常の拡散スペクトラム入力クロックがフィルタされません。これは、通常これらの入力が帯域幅フィルタの周波数よりはるかに低い値のためです。
- このパラメータの値は、Architecture Wizard から取得できます。
- グローバルクロック バッファを含みます。
- LOCK 信号は $T_{LOCKMAX}$ の後にサンプルしてください。LOCK 信号は、コンフィギュレーションまたはリセット後、 $T_{LOCKMAX}$ 時間経過するまで無効です。
- デューティ サイクルが 50% の場合に $F_{VCO}/128$ として算出した値です。

表 75 : PMCD モードでの PLL スイッチ仕様

シンボル	内容	スピード グレード			単位
		-3	-2	-1	
$T_{PLLCK_REL}/T_{PLLCKC_REL}$	全出力の REL セットアップおよびホールド	0.00 0.60	0.00 0.60	0.00 0.60	ns
T_{PLLCKO}	最大クロック伝播遅延	4.6	4.6	5.2	ns
CLKIN_FREQ_MAX	最大入力周波数	710	710	645	MHz
CLKIN_FREQ_MIN	最小入力周波数	1	1	1	MHz
CLKIN_DUTY_CYCLE	入力デューティ サイクル許容範囲 : 1 ~ 49 MHz	25/75			%
	入力デューティ サイクル許容範囲 : 50 ~ 199 MHz	30/70			%
	入力デューティ サイクル許容範囲 : 200 ~ 399 MHz	35/65			%
	入力デューティ サイクル許容範囲 : 400 ~ 499 MHz	40/60			%
	入力デューティ サイクル許容範囲 : >500 MHz	45/55			%
RES_REL_PULSE_MIN	RST および REL の最小パルス幅	5	5	5	ns

DCM スイッチ特性

表 76 : DCM MS (最高速度) モードで使用する場合の動作周波数範囲

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
出力クロック (低周波数モード)					
F _{1XLFMSMIN}	CLK0、CLK90、CLK180、CLK270	32.00	32.00	32.00	MHz
F _{1XLFMSMAX}		150.00	135.00	120.00	MHz
F _{2XLFMSMIN}	CLK2X、CLK2X180	64.00	64.00	64.00	MHz
F _{2XLFMSMAX}		300.00	270.00	240.00	MHz
F _{DVLFMSMIN}	CLKDV	2.0	2.0	2.0	MHz
F _{DVLFMSMAX}		100.00	90.00	80.00	MHz
F _{FXLFMSMIN}	CLKFX、CLKFX180	32.00	32.00	32.00	MHz
F _{FXLFMSMAX}		180.00	160.00	140.00	MHz
入力クロック (低周波数モード)					
F _{DLLFMSMIN}	CLKIN (DLL 出力を使用) ^(1、3、4)	32.00	32.00	32.00	MHz
F _{DLLFMSMAX}		150.00	135.00	120.00	MHz
F _{CLKINLFFXMSMIN}	CLKIN (DFS 出力のみを使用) ^(2、3、4)	1.00	1.00	1.00	MHz
F _{CLKINLFFXMSMAX}		180.00	160.00	140.00	MHz
F _{PSCLKFMSMIN}	PSCLK	1.00	1.00	1.00	KHz
F _{PSCLKFMSMAX}		550.00	500.00	450.00	MHz
出力クロック (高周波数モード)					
F _{1XHFMSMIN}	CLK0、CLK90、CLK180、CLK270	120.00	120.00	120.00	MHz
F _{1XHFMSMAX}		550.00	500.00	450.00	MHz
F _{2XHFMSMIN}	CLK2X、CLK2X180	240.00	240.00	240.00	MHz
F _{2XHFMSMAX}		550.00	500.00	450.00	MHz
F _{DVHFMSMIN}	CLKDV	7.5	7.5	7.5	MHz
F _{DVHFMSMAX}		366.67	333.34	300.00	MHz
F _{FXHFMSMIN}	CLKFX、CLKFX180	140.00	140.00	140.00	MHz
F _{FXHFMSMAX}		400.00	375.00	350.00	MHz
入力クロック (高周波数モード)					
F _{DLLHFMSMIN}	CLKIN (DLL 出力を使用) ^(1、3、4)	120.00	120.00	120.00	MHz
F _{DLLHFMSMAX}		550.00	500.00	450.00	MHz
F _{CLKINHFFXMSMIN}	CLKIN (DFS 出力のみを使用) ^(2、3、4)	25.00	25.00	25.00	MHz
F _{CLKINHFFXMSMAX}		400.00	375.00	350.00	MHz

表 76 : DCM MS (最高速度) モードで使用する場合の動作周波数範囲 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F _{PSCLKHFMSMIN}	PSCLK	1.00	1.00	1.00	KHz
F _{PSCLKHFMSMAX}		550.00	500.00	450.00	MHz

メモ :

1. ここでは DLL 出力は、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180 および CLKDV 出力です。
2. ここでは DFS 出力は、CLKFX 出力および CLKFX180 出力です。
3. DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、値を 2 倍にする必要があります。これ以外のリソースによって最大入力周波数が制限される場合があります。
4. CLKIN 周波数 > 400MHz および DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、CLKIN のデューティ サイクルが ±5% (45/55 ~ 55/45) 以内である必要があります。

表 77 : DCM を MR (最大範囲) モードで使用する場合の動作周波数範囲

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
出力クロック (低周波数モード)					
F _{1XMRMIN}	CLK0、CLK90、CLK180、CLK270	19.00	19.00	19.00	MHz
F _{1XMRMAX}		32.00	32.00	32.00	MHz
F _{2XMRMIN}	CLK2X、CLK2X180	38.00	38.00	38.00	MHz
F _{2XMRMAX}		64.00	64.00	64.00	MHz
F _{DLLMRMIN}	CLKDV	1.19	1.19	1.19	MHz
F _{DLLMRMAX}		21.34	21.34	21.34	MHz
F _{FXMRMIN}	CLKFX、CLKFX180	19.00	19.00	19.00	MHz
F _{FXMRMAX}		40.00	40.00	40.00	MHz
入力クロック (低周波数モード)					
F _{CLKINDLLMRMIN}	CLKIN (DLL 出力を使用) ^(1, 3, 4)	19.00	19.00	19.00	MHz
F _{CLKINDLLMRMAX}		32.00	32.00	32.00	MHz
F _{CLKINFXMRMIN}	CLKIN (DFS 出力のみを使用) ^(2, 3, 4)	1.00	1.00	1.00	MHz
F _{CLKINFXMRMAX}		40.00	40.00	40.00	MHz
F _{PSCLKMRMIN}	PSCLK	1.00	1.00	1.00	KHz
F _{PSCLKMRMAX}		300.00	270.00	240.00	MHz

メモ :

1. ここでは DLL 出力は、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180 および CLKDV 出力です。
2. ここでは DFS 出力は、CLKFX 出力および CLKFX180 出力です。
3. DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、値を 2 倍にする必要があります。これ以外のリソースによって最大入力周波数が制限される場合があります。
4. CLKIN 周波数 > 400MHz および DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、CLKIN のデューティ サイクルが ±5% (45/55 ~ 55/45) 以内である必要があります。

表 78 : 入力クロック耐性

シンボル	説明	周波数範囲		値	単位
デューティ サイクル入力耐性 (%)					
T _{DUTYCYCRANGE_1}	PSCLK のみ	< 1MHz		25 ~ 75	%
T _{DUTYCYCRANGE_1_50}	PSCLK および CLKIN	1 ~ 50MHz		25 ~ 75	%
T _{DUTYCYCRANGE_50_100}		50 ~ 100MHz		30 ~ 70	%
T _{DUTYCYCRANGE_100_200}		100 ~ 200MHz		40 ~ 60	%
T _{DUTYCYCRANGE_200_400}		200 ~ 400MHz ⁽⁴⁾		45 ~ 55	%
T _{DUTYCYCRANGE_400}		> 400MHz		45 ~ 55	%
入力クロック Cycle-Cycle ジッタ (低周波数モード)		スピード グレード			単位
		-3	-2	-1	
T _{CYCLFDLL}	CLKIN (DLL 出力を使用) ⁽¹⁾	300.00	300.00	345.00	ps
T _{CYCLFFX}	CLKIN (DFS 出力を使用) ⁽²⁾	300.00	300.00	345.00	ps
入力クロック Cycle-Cycle ジッタ (高周波数モード)					
T _{CYCHFDLL}	CLKIN (DLL 出力を使用) ⁽¹⁾	150.00	150.00	173.00	ps
T _{CYCHFFX}	CLKIN (DFS 出力を使用) ⁽²⁾	150.00	150.00	173.00	ps
入力クロック周期ジッタ (低周波数モード)					
T _{PERLFDLL}	CLKIN (DLL 出力を使用) ⁽¹⁾	1.00	1.00	1.15	ns
T _{PERLFFX}	CLKIN (DFS 出力を使用) ⁽²⁾	1.00	1.00	1.15	ns
入力クロック周期ジッタ (高周波数モード)					
T _{PERHFDLL}	CLKIN (DLL 出力を使用) ⁽¹⁾	1.00	1.00	1.15	ns
T _{PERHFFX}	CLKIN (DFS 出力を使用) ⁽²⁾	1.00	1.00	1.15	ns
フィードバック クロック パス遅延の変動					
T _{CLKFB_DELAY_VAR}	CLKFB オフチップ フィードバック	1.00	1.00	1.15	ns

メモ :

1. ここでは DLL 出力は、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180 および CLKDV 出力です。
2. ここでは DFS 出力は、CLKFX 出力および CLKFX180 出力です。
3. DLL 出力と DFX 出力の両方を使用する場合は、より厳密な仕様に従ってください。
4. このデューティ サイクルの仕様は、GTP_DUAL から DCM または GTX_DUAL から DCM への接続には適用されません。GTP トランシーバは、-1 スピード グレードのデバイスでは 320MHz、-2 または -3 スピード グレードのデバイスでは 375MHz の周波数で DCM を駆動します。GTX トランシーバは、-1 スピード グレードのデバイスでは 450MHz、-2 スピード グレードのデバイスでは 500MHz の周波数で DCM を駆動します。

出力クロック ジッタ

表 79 : 出力クロック ジッタ

シンボル	説明	制約	スピード グレード			単位
			-3	-2	-1	
クロック合成周期ジッタ						
T _{PERJITT_0}	CLK0		±120	±120	±120	ps
T _{PERJITT_90}	CLK90		±120	±120	±120	ps
T _{PERJITT_180}	CLK180		±120	±120	±120	ps
T _{PERJITT_270}	CLK270		±120	±120	±120	ps
T _{PERJITT_2X}	CLK2X, CLK2X180		±200	±200	±230	ps
T _{PERJITT_DV1}	CLKDV (分周値は整数)		±150	±150	±180	ps
T _{PERJITT_DV2}	CLKDV (分周値は整数でない)		±300	±300	±345	ps
T _{PERJITT_FX}	CLKFX, CLKFX180		メモ 1	メモ 1	メモ 1	ps

メモ :

- このパラメータの値は、Architecture Wizard より取得できます。

出力クロック位相調整

表 80 : 出力クロックの位相調整

シンボル	説明	制約	スピード グレード			単位
			-3	-2	-1	
CLKIN と CLKFB 間の位相オフセット						
T _{IN_FB_OFFSET}	CLKIN/CLKFB		±50	±50	±60	ps
任意の DCM 出力間の位相オフセット ⁽¹⁾						
T _{OUT_OFFSET_1X}	CLK0, CLK90, CLK180, CLK270		±140	±140	±160	ps
T _{OUT_OFFSET_2X}	CLK2X, CLK2X180, CLKDV		±150	±150	±200	ps
T _{OUT_OFFSET_FX}	CLKFX, CLKFX180		±160	±160	±220	ps
デューティ サイクル精度 ⁽²⁾						
T _{DUTY_CYC_DLL} ⁽³⁾	DLL 出力 ⁽³⁾		±150	±150	±180	ps
T _{DUTY_CYC_FX}	DFS 出力 ⁽⁴⁾		±150	±150	±180	ps

メモ :

- すべて位相オフセットは、CLK1X のグループに対する値です。
- CLKOUT_DUTY_CYCLE_DLL は、DUTY_CYCLE_CORRECTION = TRUE の場合にのみ、1X クロック出力 (CLK0, CLK90, CLK180, および CLK270) に適用されます。デューティ サイクルの歪みには、グローバルクロック ツリー (BUFG) が含まれています。
- ここでは DLL 出力は、CLK0, CLK90, CLK180, CLK270, CLK2X, CLK2X180 および CLKDV 出力です。
- ここでは DFS 出力は、CLKFX 出力および CLKFX180 出力です。

表 81：その他のタイミングパラメータ

シンボル	説明	スピードグレード			単位
		-3	-2	-1	
LOCK に要する時間					
T _{DLL_240}	DLL 出力 - 周波数範囲 > 240MHz ⁽¹⁾	80.00	80.00	80.00	μs
T _{DLL_120_240}	DLL 出力 - 周波数範囲 120 ~ 240MHz ⁽¹⁾	250.00	250.00	250.00	μs
T _{DLL_60_120}	DLL 出力 - 周波数範囲 60 ~ 120MHz ⁽¹⁾	900.00	900.00	900.00	μs
T _{DLL_50_60}	DLL 出力 - 周波数範囲 50 ~ 60MHz ⁽¹⁾	1300.00	1300.00	1300.00	μs
T _{DLL_40_50}	DLL 出力 - 周波数範囲 40 ~ 50MHz ⁽¹⁾	2000.00	2000.00	2000.00	μs
T _{DLL_30_40}	DLL 出力 - 周波数範囲 30 ~ 40MHz ⁽¹⁾	3600.00	3600.00	3600.00	μs
T _{DLL_24_30}	DLL 出力 - 周波数範囲 24 ~ 30MHz ⁽¹⁾	5000.00	5000.00	5000.00	μs
T _{DLL_30}	DLL 出力 - 周波数範囲 < 30MHz ⁽¹⁾	5000.00	5000.00	5000.00	μs
T _{FX_MIN}	DFS 出力 ⁽²⁾	10.00	10.00	10.00	ms
T _{FX_MAX}		10.00	10.00	10.00	ms
T _{DLL_FINE_SHIFT}	ファインシフトでの DLL ロック時間の乗算係数	2.00	2.00	2.00	
ファイン位相シフト					
T _{RANGE_MS}	MS (最高速度) モードでの絶対シフト範囲	7.00	7.00	7.00	ns
T _{RANGE_MR}	MR (最大範囲) モードでの絶対シフト範囲	10.00	10.00	10.00	ns
遅延ライン					
T _{TAP_MS_MIN}	MS (最高速度) モードでのタップ遅延精度 (最小)	7.00	7.00	7.00	ps
T _{TAP_MS_MAX}	MS (最高速度) モードでのタップ遅延精度 (最大)	30.00	30.00	30.00	ps
T _{TAP_MR_MIN}	MR (最大範囲) モードでのタップ遅延精度 (最小)	10.00	10.00	10.00	ps
T _{TAP_MR_MAX}	MR (最大範囲) モードでのタップ遅延精度 (最大)	40.00	40.00	40.00	ps

メモ：

- ここでは DLL 出力は、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180 および CLKDV 出力です。
- ここでは DFS 出力は、CLKFX 出力および CLKFX180 出力です。

表 82：周波数合成

属性	最小	最大
CLKFX_MULTIPLY	2	33
CLKFX_DIVIDE	1	32

表 83 : DCM スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
$T_{DMCK_PSEN} / T_{DMCKC_PSEN}$	PSEN セットアップ/ホールド	1.20 0.00	1.35 0.00	1.56 0.00	ns
$T_{DMCK_PSINCDEC} / T_{DMCKC_PSINCDEC}$	PSINCDEC セットアップ/ホールド	1.20 0.00	1.35 0.00	1.56 0.00	ns
T_{DMCKO_PSDONE}	PSDONE の Clock-to-Out	1.00	1.12	1.30	ns

Virtex-5 Pin-to-Pin 出力パラメータのガイドライン

すべてのデバイスは、完全にファンクション テストが実施されています。表 84 に、一般的なピン位置および標準的なクロックのロードでの値を示します。特記のない限り、単位はナノ秒 (ns) です。

表 84 : グローバル クロック入力から出力までの遅延 (DCM および PLL なし)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート=Fast、DCM および PLL なし)						
T _{ICKOF}	グローバル クロックから OUTFF 間 (DCM および PLL なし)	XC5VLX20T	N/A	5.96	6.69	ns
		XC5VLX30	5.54	6.04	6.73	ns
		XC5VLX30T	5.54	6.04	6.73	ns
		XC5VLX50	5.59	6.09	6.79	ns
		XC5VLX50T	5.59	6.09	6.79	ns
		XC5VLX85	5.78	6.28	6.99	ns
		XC5VLX85T	5.78	6.28	6.99	ns
		XC5VLX110	5.84	6.35	7.06	ns
		XC5VLX110T	5.84	6.35	7.06	ns
		XC5VLX155	6.16	6.68	7.52	ns
		XC5VLX155T	6.16	6.68	7.52	ns
		XC5VLX220	N/A	6.99	7.71	ns
		XC5VLX220T	N/A	6.99	7.71	ns
		XC5VLX330	N/A	7.17	7.91	ns
		XC5VLX330T	N/A	7.17	7.91	ns
		XC5VSX35T	5.72	6.22	6.92	ns
		XC5VSX50T	5.77	6.27	6.97	ns
		XC5VSX95T	N/A	6.59	7.30	ns
		XC5VSX240T	N/A	7.24	7.98	ns
		XC5VTX150T	N/A	6.58	7.30	ns
		XC5VTX240T	N/A	6.88	7.61	ns
		XC5VFX30T	5.73	6.21	6.89	ns
		XC5VFX70T	5.82	6.33	7.04	ns
XC5VFX100T	6.21	6.73	7.44	ns		
XC5VFX130T	6.28	6.80	7.52	ns		
XC5VFX200T	N/A	7.17	7.91	ns		

メモ :

- 1つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。

表 85 : グローバル クロック入力から出力までの遅延 (システム同期モードの DCM あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVC MOS25 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート=Fast、システム同期モードの DCM あり)						
T _{ICKOFFDCM}	グローバル クロックと OUTFF (DCM あり)	XC5VLX20T	N/A	2.53	2.93	ns
		XC5VLX30	2.33	2.56	2.93	ns
		XC5VLX30T	2.33	2.56	2.93	ns
		XC5VLX50	2.35	2.58	2.95	ns
		XC5VLX50T	2.35	2.58	2.95	ns
		XC5VLX85	2.41	2.63	3.00	ns
		XC5VLX85T	2.41	2.63	3.00	ns
		XC5VLX110	2.46	2.69	3.06	ns
		XC5VLX110T	2.46	2.69	3.06	ns
		XC5VLX155	2.51	2.74	3.10	ns
		XC5VLX155T	2.51	2.74	3.10	ns
		XC5VLX220	N/A	2.83	3.18	ns
		XC5VLX220T	N/A	2.83	3.18	ns
		XC5VLX330	N/A	3.00	3.37	ns
		XC5VLX330T	N/A	3.00	3.37	ns
		XC5VSX35T	2.44	2.67	3.03	ns
		XC5VSX50T	2.46	2.69	3.05	ns
		XC5VSX95T	N/A	2.64	3.00	ns
		XC5VSX240T	N/A	3.00	3.36	ns
		XC5VTX150T	N/A	2.77	3.15	ns
		XC5VTX240T	N/A	2.78	3.15	ns
		XC5VFX30T	2.55	2.82	3.20	ns
		XC5VFX70T	2.48	2.74	3.12	ns
		XC5VFX100T	2.33	2.59	3.00	ns
XC5VFX130T	2.40	2.67	3.07	ns		
XC5VFX200T	N/A	2.87	3.27	ns		

メモ :

- 1つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
2. DCM の出力ジッタはタイミング算出に含まれています。

表 86 : グローバル クロック入力から出力までの遅延 (ソース同期モードの DCM あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート=Fast、ソース同期モードの DCM あり)						
T _{ICKOFDCM_0}	グローバル クロックと OUTFF (DCM あり)	XC5VLX20T	N/A	3.74	4.20	ns
		XC5VLX30	3.45	3.71	4.15	ns
		XC5VLX30T	3.45	3.71	4.15	ns
		XC5VLX50	3.47	3.73	4.17	ns
		XC5VLX50T	3.47	3.73	4.17	ns
		XC5VLX85	3.60	3.86	4.29	ns
		XC5VLX85T	3.60	3.86	4.29	ns
		XC5VLX110	3.65	3.92	4.36	ns
		XC5VLX110T	3.65	3.92	4.36	ns
		XC5VLX155	3.91	4.18	4.62	ns
		XC5VLX155T	3.91	4.18	4.62	ns
		XC5VLX220	N/A	4.41	4.85	ns
		XC5VLX220T	N/A	4.41	4.85	ns
		XC5VLX330	N/A	4.58	5.04	ns
		XC5VLX330T	N/A	4.58	5.04	ns
		XC5VSX35T	3.63	3.89	4.33	ns
		XC5VSX50T	3.65	3.91	4.35	ns
		XC5VSX95T	N/A	4.16	4.59	ns
		XC5VSX240T	N/A	4.65	5.11	ns
		XC5VTX150T	N/A	4.07	4.51	ns
		XC5VTX240T	N/A	4.30	4.74	ns
		XC5VFX30T	3.74	4.05	4.50	ns
XC5VFX70T	3.67	3.96	4.41	ns		
XC5VFX100T	3.82	4.10	4.53	ns		
XC5VFX130T	3.99	4.29	4.74	ns		
XC5VFX200T	N/A	4.60	5.03	ns		

メモ :

1. 1つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
2. DCM の出力ジッタはタイミング算出に含まれています。

表 87 : グローバル クロック入力から出力までの遅延 (システム同期モードの PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVC MOS25 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート=Fast、システム同期モードの PLL あり)						
T _{ICKOFFPLL}	グローバル クロックと OUTFF 間 (PLL あり)	XC5VLX20T	N/A	2.36	2.73	ns
		XC5VLX30	2.03	2.30	2.70	ns
		XC5VLX30T	2.03	2.30	2.70	ns
		XC5VLX50	2.20	2.47	2.86	ns
		XC5VLX50T	2.20	2.47	2.86	ns
		XC5VLX85	2.21	2.49	2.88	ns
		XC5VLX85T	2.21	2.49	2.88	ns
		XC5VLX110	2.25	2.53	2.92	ns
		XC5VLX110T	2.25	2.53	2.92	ns
		XC5VLX155	2.34	2.60	3.01	ns
		XC5VLX155T	2.34	2.60	3.01	ns
		XC5VLX220	N/A	2.74	3.12	ns
		XC5VLX220T	N/A	2.74	3.12	ns
		XC5VLX330	N/A	2.89	3.27	ns
		XC5VLX330T	N/A	2.89	3.27	ns
		XC5VSX35T	2.02	2.28	2.62	ns
		XC5VSX50T	2.12	2.36	2.76	ns
		XC5VSX95T	N/A	2.29	2.69	ns
		XC5VSX240T	N/A	2.96	3.34	ns
		XC5VTX150T	N/A	2.54	2.92	ns
		XC5VTX240T	N/A	2.67	3.04	ns
XC5VFX30T	2.44	2.67	3.06	ns		
XC5VFX70T	2.48	2.71	3.10	ns		
XC5VFX100T	2.41	2.70	3.10	ns		
XC5VFX130T	2.48	2.75	3.17	ns		
XC5VFX200T	N/A	2.96	3.35	ns		

メモ :

1. 1つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
2. PLL の出力ジッタは、タイミング算出に含まれています。

表 88 : グローバル クロック入力から出力までの遅延 (ソース同期モードの PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVC MOS25 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート=Fast、ソース同期モードの PLL あり)						
T _{ICKOFFPLL_0}	グローバル クロックと OUTFF 間 (PLL あり)	XC5VLX20T	N/A	4.31	4.88	ns
		XC5VLX30	3.96	4.32	4.82	ns
		XC5VLX30T	3.96	4.32	4.82	ns
		XC5VLX50	4.05	4.40	4.91	ns
		XC5VLX50T	4.05	4.40	4.91	ns
		XC5VLX85	4.07	4.40	4.88	ns
		XC5VLX85T	4.07	4.40	4.88	ns
		XC5VLX110	4.11	4.44	4.92	ns
		XC5VLX110T	4.11	4.44	4.92	ns
		XC5VLX155	4.31	4.66	5.16	ns
		XC5VLX155T	4.31	4.66	5.16	ns
		XC5VLX220	N/A	4.85	5.29	ns
		XC5VLX220T	N/A	4.85	5.29	ns
		XC5VLX330	N/A	5.00	5.44	ns
		XC5VLX330T	N/A	5.00	5.44	ns
		XC5VSX35T	4.19	4.54	5.03	ns
		XC5VSX50T	4.20	4.54	5.02	ns
		XC5VSX95T	N/A	4.68	5.14	ns
		XC5VSX240T	N/A	5.07	5.51	ns
		XC5VTX150T	N/A	4.51	4.95	ns
		XC5VTX240T	N/A	4.71	5.14	ns
		XC5VFX30T	4.23	4.56	5.04	ns
		XC5VFX70T	4.22	4.54	5.02	ns
XC5VFX100T	4.35	4.70	5.19	ns		
XC5VFX130T	4.49	4.86	5.40	ns		
XC5VFX200T	N/A	5.04	5.55	ns		

メモ :

1. 1つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
2. PLL の出力ジッタは、タイミング算出に含まれています。

表 89 : グローバル クロック入力から出力までの遅延 (システム同期モードの DCM および PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVC MOS25 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート=Fast、システム同期モードの DCM および PLL あり)						
T _{ICKOFDCM_PLL}	グローバル クロックと OUTFF 間 (DCM および PLL あり)	XC5VLX20T	N/A	2.45	2.84	ns
		XC5VLX30	2.25	2.48	2.84	ns
		XC5VLX30T	2.25	2.48	2.84	ns
		XC5VLX50	2.27	2.50	2.86	ns
		XC5VLX50T	2.27	2.50	2.86	ns
		XC5VLX85	2.33	2.55	2.91	ns
		XC5VLX85T	2.33	2.55	2.91	ns
		XC5VLX110	2.38	2.61	2.97	ns
		XC5VLX110T	2.38	2.61	2.97	ns
		XC5VLX155	2.43	2.66	3.01	ns
		XC5VLX155T	2.43	2.66	3.01	ns
		XC5VLX220	N/A	2.75	3.09	ns
		XC5VLX220T	N/A	2.75	3.09	ns
		XC5VLX330	N/A	2.92	3.28	ns
		XC5VLX330T	N/A	2.92	3.28	ns
		XC5VSX35T	2.36	2.59	2.94	ns
		XC5VSX50T	2.38	2.61	2.96	ns
		XC5VSX95T	N/A	2.56	2.91	ns
		XC5VSX240T	N/A	2.92	3.27	ns
		XC5VTX150T	N/A	2.69	3.06	ns
		XC5VTX240T	N/A	2.70	3.06	ns
XC5VFX30T	2.47	2.74	3.11	ns		
XC5VFX70T	2.40	2.66	3.03	ns		
XC5VFX100T	2.25	2.51	2.91	ns		
XC5VFX130T	2.32	2.59	2.98	ns		
XC5VFX200T	N/A	2.79	3.18	ns		

メモ :

1. 1つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
2. DCM および PLL の出力ジッタはタイミング算出に含まれています。

表 90 : グローバル クロック入力から出力までの遅延 (ソース同期モードの DCM および PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 グローバル クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート=Fast、ソース同期モードの DCM および PLL あり)						
T _{ICKOFDCM0_PLL}	グローバル クロックと OUTFF 間 (DCM および PLL あり)	XC5VLX20T	N/A	3.66	4.11	ns
		XC5VLX30	3.37	3.63	4.06	ns
		XC5VLX30T	3.37	3.63	4.06	ns
		XC5VLX50	3.39	3.65	4.08	ns
		XC5VLX50T	3.39	3.65	4.08	ns
		XC5VLX85	3.52	3.78	4.20	ns
		XC5VLX85T	3.52	3.78	4.20	ns
		XC5VLX110	3.57	3.84	4.27	ns
		XC5VLX110T	3.57	3.84	4.27	ns
		XC5VLX155	3.83	4.10	4.53	ns
		XC5VLX155T	3.83	4.10	4.53	ns
		XC5VLX220	N/A	4.33	4.76	ns
		XC5VLX220T	N/A	4.33	4.76	ns
		XC5VLX330	N/A	4.50	4.95	ns
		XC5VLX330T	N/A	4.50	4.95	ns
		XC5VSX35T	3.55	3.81	4.24	ns
		XC5VSX50T	3.57	3.83	4.26	ns
		XC5VSX95T	N/A	4.08	4.50	ns
		XC5VSX240T	N/A	4.57	5.02	ns
		XC5VTX150T	N/A	3.99	4.42	ns
		XC5VTX240T	N/A	4.22	4.65	ns
XC5VFX30T	3.66	3.97	4.41	ns		
XC5VFX70T	3.59	3.88	4.32	ns		
XC5VFX100T	3.74	4.02	4.44	ns		
XC5VFX130T	3.91	4.21	4.65	ns		
XC5VFX200T	N/A	4.52	4.94	ns		

メモ :

1. 1つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが1本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
2. DCM および PLL の出力ジッタはタイミング算出に含まれています。

Virtex-5 デバイスの Pin-to-Pin 入力パラメータのガイドライン

すべてのデバイスは、完全にファンクション テストが実施されています。表 91 に、一般的なピン位置および標準的なクロックのロードでの値を示します。特記のない限り、単位はナノ秒 (ns) です。

表 91: グローバル クロック セットアップおよびホールド (DCM および PLL なし)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 規格における、グローバル クロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T_{PSFD} / T_{PHFD}	完全遅延 (レガシ遅延またはデフォルトの遅延) グローバル クロックと IFF 間 ⁽²⁾ (DCM および PLL なし)	XC5VLX20T	N/A	1.63 -0.41	1.86 -0.41	ns
		XC5VLX30	1.49 -0.35	1.60 -0.35	1.77 -0.35	ns
		XC5VLX30T	1.49 -0.35	1.60 -0.35	1.76 -0.35	ns
		XC5VLX50	1.48 -0.30	1.59 -0.30	1.76 -0.30	ns
		XC5VLX50T	1.48 -0.30	1.59 -0.30	1.76 -0.30	ns
		XC5VLX85	1.75 -0.49	1.89 -0.49	2.09 -0.49	ns
		XC5VLX85T	1.75 -0.49	1.89 -0.49	2.09 -0.49	ns
		XC5VLX110	1.74 -0.43	1.88 -0.43	2.09 -0.43	ns
		XC5VLX110T	1.73 -0.43	1.88 -0.43	2.09 -0.43	ns
		XC5VLX155	2.06 -0.50	2.36 -0.50	2.78 -0.49	ns
		XC5VLX155T	2.06 -0.50	2.36 -0.50	2.78 -0.49	ns
		XC5VLX220	N/A	2.57 -0.74	2.86 -0.74	ns
		XC5VLX220T	N/A	2.57 -0.74	2.86 -0.74	ns
		XC5VLX330	N/A	2.55 -0.56	2.85 -0.56	ns
		XC5VLX330T	N/A	2.57 -0.56	2.86 -0.56	ns
		XC5VSX35T	1.47 -0.16	1.59 -0.16	1.76 -0.16	ns
XC5VSX50T	1.62 -0.31	1.74 -0.31	1.93 -0.31	ns		
XC5VSX95T	N/A	2.10 -0.44	2.32 -0.44	ns		

表 91 : グローバル クロック セットアップおよびホールド (DCM および PLL なし) (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{PSFD} / T _{PHFD}	完全遅延 (レガシ遅延またはデフォルトの遅延) グローバルクロックと IFF 間 ⁽²⁾ (DCM および PLL なし)	XC5VSX240T	N/A	2.01 0.18	2.28 0.18	ns
		XC5VTX150T	N/A	2.35 -0.82	2.59 -0.82	ns
		XC5VTX240T	N/A	2.59 -0.85	2.87 -0.85	ns
		XC5VFX30T	2.05 -0.27	2.25 -0.27	2.57 -0.27	ns
		XC5VFX70T	1.85 -0.30	2.06 -0.30	2.35 -0.30	ns
		XC5VFX100T	2.20 -0.42	2.38 -0.42	2.66 -0.42	ns
		XC5VFX130T	2.33 -0.55	2.59 -0.54	2.95 -0.54	ns
		XC5VFX200T	N/A	2.52 -0.43	2.81 -0.43	ns

メモ :

1. セットアップおよびホールド タイムは、ワーストケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で、温度が最も高く、電圧が最も低い条件下のグローバルクロック入力信号に対して計測され、ホールド タイムは、プロセスが最も高速で、温度が最も低く、電圧が最も高い条件下のグローバルクロック入力信号に対して計測されています。
2. IFF は、入力フリップフロップまたはラッチです。
3. ホールド タイムが「0」の場合は、ホールド タイムがないか、負であることを意味します。負のホールド タイムはベスト ケースを保証するものではありません。「0」の場合は、正のホールド タイムはありません。

表 92 : グローバルクロック セットアップおよびホールド (システム同期モードの DCM あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 規格における、グローバルクロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T_{PSDCM} / T_{PHDCM}	遅延のないグローバルクロックと IFF 間 ⁽²⁾ (システム同期モードの DCM あり)	XC5VLX20T	N/A	1.47 -0.56	1.59 -0.56	ns
		XC5VLX30	1.53 -0.50	1.70 -0.50	1.88 -0.50	ns
		XC5VLX30T	1.53 -0.50	1.70 -0.50	1.88 -0.50	ns
		XC5VLX50	1.52 -0.48	1.68 -0.48	1.86 -0.48	ns
		XC5VLX50T	1.52 -0.48	1.68 -0.48	1.86 -0.48	ns
		XC5VLX85	1.58 -0.43	1.76 -0.43	1.95 -0.43	ns
		XC5VLX85T	1.57 -0.43	1.76 -0.43	1.95 -0.43	ns
		XC5VLX110	1.58 -0.37	1.76 -0.37	1.95 -0.37	ns
		XC5VLX110T	1.58 -0.37	1.76 -0.37	1.95 -0.37	ns
		XC5VLX155	2.03 -0.11	2.16 -0.14	2.38 -0.14	ns
		XC5VLX155T	2.03 -0.11	2.16 -0.14	2.38 -0.14	ns
		XC5VLX220	N/A	2.17 -0.27	2.44 -0.27	ns
		XC5VLX220T	N/A	2.17 -0.27	2.44 -0.27	ns
		XC5VLX330	N/A	2.17 -0.10	2.44 -0.10	ns
		XC5VLX330T	N/A	2.17 -0.10	2.44 -0.10	ns
		XC5VSX35T	1.60 -0.39	1.78 -0.39	1.98 -0.39	ns
		XC5VSX50T	1.58 -0.37	1.76 -0.37	1.95 -0.37	ns
		XC5VSX95T	N/A	2.34 -0.41	2.35 -0.41	ns
		XC5VSX240T	N/A	2.25 -0.10	2.54 -0.10	ns
		XC5VTX150T	N/A	1.85 -0.33	2.05 -0.33	ns
XC5VTX240T	N/A	2.11 -0.32	2.35 -0.32	ns		

表 92 : グローバル クロック セットアップおよびホールド (システム同期モードの DCM あり) (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{PSDCM} /T _{PHDCM}	遅延のないグローバル クロック と IFF 間 ⁽²⁾ (システム同期モードの DCM あり)	XC5VFX30T	1.80 -0.28	1.89 -0.28	2.02 -0.28	ns
		XC5VFX70T	1.76 -0.36	1.86 -0.36	1.98 -0.36	ns
		XC5VFX100T	2.27 -0.51	2.35 -0.51	2.49 -0.49	ns
		XC5VFX130T	2.33 -0.43	2.48 -0.43	2.72 -0.42	ns
		XC5VFX200T	N/A	2.30 -0.23	2.43 -0.21	ns

メモ :

1. セットアップおよびホールド タイムは、ワーストケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で、温度が最も高く、電圧が最も低い条件下のグローバル クロック 入力信号に対して計測され、ホールド タイムは、プロセスが最も高速で、温度が最も低く、電圧が最も高い条件下のグローバル クロック 入力信号に対して計測されています。この計測には DCM CLK0 ジッタが含まれています。
2. IFF は、入力フリップフロップまたはラッチです。
3. 各信号規格の使用により発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 93 : グローバルクロック セットアップおよびホールド (ソース同期モードの DCM あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 規格における、グローバルクロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T _{PSDCM0} / T _{PHDCM0}	遅延のないグローバルクロックと IFF 間 ⁽²⁾ (ソース同期モードの DCM あり)	XC5VLX20T	N/A	0.12 0.64	0.14 0.72	ns
		XC5VLX30	0.27 0.62	0.27 0.62	0.27 0.66	ns
		XC5VLX30T	0.27 0.62	0.27 0.62	0.27 0.66	ns
		XC5VLX50	0.26 0.64	0.26 0.64	0.26 0.68	ns
		XC5VLX50T	0.25 0.64	0.26 0.64	0.26 0.68	ns
		XC5VLX85	0.23 0.76	0.24 0.76	0.24 0.80	ns
		XC5VLX85T	0.23 0.76	0.24 0.76	0.24 0.80	ns
		XC5VLX110	0.23 0.82	0.24 0.82	0.24 0.87	ns
		XC5VLX110T	0.23 0.82	0.24 0.82	0.24 0.87	ns
		XC5VLX155	0.12 1.08	0.14 1.08	0.16 1.13	ns
		XC5VLX155T	0.12 1.08	0.14 1.08	0.16 1.13	ns
		XC5VLX220	N/A	0.21 1.31	0.22 1.36	ns
		XC5VLX220T	N/A	0.21 1.31	0.22 1.36	ns
		XC5VLX330	N/A	0.21 1.48	0.22 1.55	ns
		XC5VLX330T	N/A	0.21 1.48	0.22 1.55	ns
		XC5VSX35T	0.25 0.80	0.27 0.80	0.27 0.84	ns
		XC5VSX50T	0.24 0.82	0.25 0.82	0.25 0.86	ns
		XC5VSX95T	N/A	0.24 1.06	0.24 1.11	ns
		XC5VSX240T	N/A	0.20 1.55	0.21 1.62	ns
		XC5VTX150T	N/A	0.25 0.97	0.25 1.03	ns
XC5VTX240T	N/A	0.24 1.20	0.24 1.26	ns		

表 93 : グローバル クロック セットアップおよびホールド (ソース同期モードの DCM あり) (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{PSDCM0} / T _{PHDCM0}	遅延のないグローバル クロック と IFF 間 ⁽²⁾ (ソース同期モードの DCM あり)	XC5VFX30T	0.16 0.91	0.18 0.95	0.19 1.01	ns
		XC5VFX70T	0.13 0.83	0.14 0.86	0.14 0.92	ns
		XC5VFX100T	0.21 0.98	0.21 1.00	0.21 1.05	ns
		XC5VFX130T	0.19 1.15	0.21 1.19	0.24 1.25	ns
		XC5VFX200T	N/A	0.14 1.50	0.16 1.55	ns

メモ :

1. セットアップおよびホールド タイムは、ワーストケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で、温度が最も高く、電圧が最も低い条件下のグローバル クロック 入力信号に対して計測され、ホールド タイムは、プロセスが最も高速で、温度が最も低く、電圧が最も高い条件下のグローバル クロック 入力信号に対して計測されています。この計測には DCM CLK0 ジッタが含まれています。
2. IFF は、入力フリップフロップまたはラッチです。
3. 各信号規格の使用により発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 94 : グローバルクロック セットアップおよびホールド (システム同期モードの PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 規格における、グローバルクロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T_{PSPLL} / T_{PHPLL}	遅延のないグローバルクロックと IFF 間 ⁽²⁾ (システム同期モードの PLL あり)	XC5VLX20T	N/A	1.74 -0.82	2.02 -0.82	ns
		XC5VLX30	1.53 -0.80	1.68 -0.80	1.90 -0.79	ns
		XC5VLX30T	1.52 -0.80	1.68 -0.80	1.90 -0.79	ns
		XC5VLX50	1.50 -0.64	1.65 -0.63	1.89 -0.62	ns
		XC5VLX50T	1.50 -0.64	1.65 -0.63	1.89 -0.62	ns
		XC5VLX85	1.83 -0.63	1.95 -0.62	2.09 -0.61	ns
		XC5VLX85T	1.83 -0.63	1.95 -0.62	2.09 -0.61	ns
		XC5VLX110	1.83 -0.58	1.96 -0.57	2.10 -0.57	ns
		XC5VLX110T	1.83 -0.58	1.96 -0.57	2.10 -0.57	ns
		XC5VLX155	1.91 -0.49	2.09 -0.49	2.37 -0.47	ns
		XC5VLX155T	1.91 -0.49	2.09 -0.49	2.37 -0.47	ns
		XC5VLX220	N/A	1.93 -0.36	2.09 -0.36	ns
		XC5VLX220T	N/A	1.93 -0.36	2.09 -0.36	ns
		XC5VLX330	N/A	2.09 -0.21	2.33 -0.21	ns
		XC5VLX330T	N/A	2.12 -0.21	2.34 -0.21	ns
		XC5VSX35T	1.82 -0.82	2.02 -0.82	2.33 -0.82	ns
		XC5VSX50T	1.96 -0.72	2.07 -0.72	2.20 -0.72	ns
		XC5VSX95T	N/A	2.17 -0.80	2.35 -0.79	ns
		XC5VSX240T	N/A	2.11 -0.14	2.33 -0.14	ns
		XC5VTX150T	N/A	1.82 -0.56	1.95 -0.56	ns
XC5VTX240T	N/A	2.05 -0.43	2.26 -0.43	ns		

表 94 : グローバル クロック セットアップおよびホールド (システム同期モードの PLL あり) (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{PSPLL} /T _{PHPLL}	遅延のないグローバル クロック と IFF 間 ⁽²⁾ (システム同期モードの PLL あり)	XC5VFX30T	1.82 -0.40	1.93 -0.40	2.09 -0.40	ns
		XC5VFX70T	1.79 -0.30	1.90 -0.30	2.07 -0.30	ns
		XC5VFX100T	1.81 -0.43	1.91 -0.40	2.09 -0.38	ns
		XC5VFX130T	1.79 -0.29	1.95 -0.28	2.14 -0.24	ns
		XC5VFX200T	N/A	2.06 -0.14	2.29 -0.14	ns

メモ :

1. セットアップおよびホールド タイムは、ワーストケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で、温度が最も高く、電圧が最も低い条件下のグローバル クロック 入力信号に対して計測され、ホールド タイムは、プロセスが最も高速で、温度が最も低く、電圧が最も高い条件下のグローバル クロック 入力信号に対して計測されています。この計測には PLL CLKOUT0 ジッタが含まれています。
2. IFF は、入力フリップフロップまたはラッチです。
3. 各信号規格の使用により発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 95 : グローバルクロック セットアップおよびホールド (ソース同期モードの PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 規格における、グローバルクロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T_{PSPLLO} / T_{PHPLLO}	遅延のないグローバルクロックと IFF 間 ⁽²⁾ (ソース同期モードの PLL あり)	XC5VLX20T	N/A	-0.26 1.21	-0.25 1.40	ns
		XC5VLX30	-0.33 1.13	-0.33 1.22	-0.33 1.34	ns
		XC5VLX30T	-0.33 1.13	-0.33 1.22	-0.33 1.34	ns
		XC5VLX50	-0.24 1.21	-0.24 1.30	-0.23 1.42	ns
		XC5VLX50T	-0.24 1.21	-0.24 1.30	-0.23 1.42	ns
		XC5VLX85	-0.25 1.23	-0.23 1.30	-0.22 1.39	ns
		XC5VLX85T	-0.25 1.23	-0.23 1.30	-0.22 1.39	ns
		XC5VLX110	-0.26 1.27	-0.24 1.34	-0.23 1.43	ns
		XC5VLX110T	-0.26 1.27	-0.25 1.34	-0.23 1.43	ns
		XC5VLX155	-0.15 1.48	-0.12 1.56	-0.10 1.67	ns
		XC5VLX155T	-0.15 1.48	-0.12 1.56	-0.10 1.67	ns
		XC5VLX220	N/A	-0.34 1.75	-0.30 1.80	ns
		XC5VLX220T	N/A	-0.34 1.75	-0.31 1.80	ns
		XC5VLX330	N/A	-0.34 1.90	-0.30 1.95	ns
		XC5VLX330T	N/A	-0.34 1.90	-0.30 1.95	ns
		XC5VSX35T	-0.19 1.36	-0.18 1.44	-0.16 1.54	ns
		XC5VSX50T	-0.27 1.37	-0.26 1.44	-0.25 1.53	ns
		XC5VSX95T	N/A	-0.26 1.58	-0.24 1.65	ns
		XC5VSX240T	N/A	-0.35 1.97	-0.31 2.02	ns
		XC5VTX150T	N/A	-0.31 1.41	-0.29 1.47	ns
XC5VTX240T	N/A	-0.31 1.61	-0.29 1.66	ns		

表 95 : グローバル クロック セットアップおよびホールド (ソース同期モードの PLL あり) (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{PSPLLO} / T _{PHPLLO}	遅延のないグローバル クロック と IFF 間 ⁽²⁾ (ソース同期モードの PLL あり)	XC5VFX30T	-0.10 1.40	-0.09 1.46	-0.08 1.55	ns
		XC5VFX70T	-0.12 1.38	-0.10 1.44	-0.09 1.53	ns
		XC5VFX100T	-0.18 1.51	-0.18 1.60	-0.18 1.71	ns
		XC5VFX130T	-0.12 1.66	-0.11 1.76	-0.09 1.92	ns
		XC5VFX200T	N/A 1.94	-0.12 1.94	-0.10 2.06	ns

メモ :

1. セットアップおよびホールド タイムは、ワーストケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で、温度が最も高く、電圧が最も低い条件下のグローバル クロック 入力信号に対して計測され、ホールド タイムは、プロセスが最も高速で、温度が最も低く、電圧が最も高い条件下のグローバル クロック 入力信号に対して計測されています。この計測には PLL CLKOUT0 ジッタが含まれています。
2. IFF は、入力フリップフロップまたはラッチです。
3. 各信号規格の使用により発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 96 : グローバルクロック セットアップおよびホールド (システム同期モードの DCM および PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
LVCMOS25 規格における、グローバルクロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T _{PSDCMPLL} / T _{PHDCMPLL}	遅延のないグローバルクロックと IFF 間 ⁽²⁾ (システム同期モードの DCM および PLL あり)	XC5VLX20T	N/A	1.67 -0.64	1.78 -0.64	ns
		XC5VLX30	1.72 -0.58	1.89 -0.58	2.07 -0.58	ns
		XC5VLX30T	1.72 -0.58	1.89 -0.58	2.06 -0.58	ns
		XC5VLX50	1.69 -0.56	1.86 -0.56	2.04 -0.56	ns
		XC5VLX50T	1.69 -0.56	1.86 -0.56	2.04 -0.56	ns
		XC5VLX85	1.74 -0.51	1.93 -0.51	2.13 -0.51	ns
		XC5VLX85T	1.74 -0.51	1.93 -0.51	2.13 -0.51	ns
		XC5VLX110	1.73 -0.45	1.93 -0.45	2.13 -0.45	ns
		XC5VLX110T	1.73 -0.45	1.93 -0.45	2.13 -0.45	ns
		XC5VLX155	2.14 -0.40	2.31 -0.40	2.55 -0.40	ns
		XC5VLX155T	2.14 -0.40	2.31 -0.40	2.55 -0.40	ns
		XC5VLX220	N/A	2.32 -0.35	2.61 -0.35	ns
		XC5VLX220T	N/A	2.32 -0.35	2.61 -0.35	ns
		XC5VLX330	N/A	2.29 -0.18	2.60 -0.18	ns
		XC5VLX330T	N/A	2.32 -0.18	2.61 -0.18	ns
		XC5VSX35T	1.78 -0.47	1.97 -0.47	2.16 -0.47	ns
		XC5VSX50T	1.76 -0.45	1.94 -0.45	2.14 -0.45	ns
		XC5VSX95T	N/A	2.51 -0.49	2.53 -0.49	ns
		XC5VSX240T	N/A	2.39 -0.18	2.70 -0.18	ns
		XC5VTX150T	N/A	2.00 -0.41	2.22 -0.41	ns
XC5VTX240T	N/A	2.25 -0.40	2.51 -0.40	ns		

表 96 : グローバル クロック セットアップおよびホールド (システム同期モードの DCM および PLL あり) (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{PSDCMPLL} / T _{PHDCMPLL}	遅延のないグローバル クロック と IFF 間 ⁽²⁾ (システム同期モードの DCM および PLL あり)	XC5VFX30T	1.97 -0.36	2.08 -0.36	2.21 -0.36	ns
		XC5VFX70T	1.92 -0.44	2.03 -0.44	2.16 -0.44	ns
		XC5VFX100T	2.40 -0.59	2.51 -0.59	2.66 -0.58	ns
		XC5VFX130T	2.46 -0.51	2.64 -0.51	2.89 -0.51	ns
		XC5VFX200T	N/A	2.44 -0.31	2.59 -0.30	ns

メモ :

1. セットアップおよびホールド タイムは、ワーストケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で、温度が最も高く、電圧が最も低い条件下のグローバル クロック 入力信号に対して計測され、ホールド タイムは、プロセスが最も高速で、温度が最も低く、電圧が最も高い条件下のグローバル クロック 入力信号に対して計測されています。この計測には CMT ジッタ (PLL を駆動する DCM CLK0、BUFG を駆動する PLL CLKOUT0) が含まれています。
2. IFF は、入力フリップフロップまたはラッチです。
3. 各信号規格の使用により発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 97 : グローバルクロック セットアップおよびホールド (ソース同期モードの DCM および PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
DCM、PLL、およびグローバルクロックバッファを使用する場合の、転送クロック入力ピンに対するデータ入力セットアップおよびホールドタイムの例を示します ⁽¹⁾ 。クロック入力およびデータ入力別の規格に準拠している場合は、33 ページの表 56 「IOB スイッチ特性」に記載の値を参照し、セットアップおよびホールドタイムを修正してください。						
T _{PSDCMPLL_0} / T _{PHDCMPLL_0}	遅延のないグローバルクロックと IFF 間 ⁽²⁾ (ソース同期モードの DCM および PLL あり)	XC5VLX20T	N/A	0.32 0.56	0.33 0.63	ns
		XC5VLX30	0.45 0.54	0.46 0.54	0.46 0.57	ns
		XC5VLX30T	0.45 0.54	0.46 0.54	0.46 0.57	ns
		XC5VLX50	0.43 0.56	0.44 0.56	0.44 0.59	ns
		XC5VLX50T	0.43 0.56	0.44 0.56	0.44 0.59	ns
		XC5VLX85	0.40 0.68	0.42 0.68	0.42 0.71	ns
		XC5VLX85T	0.39 0.68	0.42 0.68	0.42 0.71	ns
		XC5VLX110	0.38 0.74	0.41 0.74	0.41 0.78	ns
		XC5VLX110T	0.38 0.74	0.41 0.74	0.41 0.78	ns
		XC5VLX155	0.24 1.00	0.29 1.00	0.33 1.04	ns
		XC5VLX155T	0.24 1.00	0.29 1.00	0.33 1.04	ns
		XC5VLX220	N/A	0.36 1.23	0.38 1.27	ns
		XC5VLX220T	N/A	0.36 1.23	0.38 1.27	ns
		XC5VLX330	N/A	0.34 1.40	0.37 1.46	ns
		XC5VLX330T	N/A	0.36 1.40	0.38 1.46	ns
		XC5VSX35T	0.44 0.72	0.46 0.72	0.46 0.75	ns
		XC5VSX50T	0.41 0.74	0.43 0.74	0.43 0.77	ns
		XC5VSX95T	N/A	0.41 0.98	0.41 1.02	ns
		XC5VSX240T	N/A	0.35 1.47	0.38 1.53	ns
		XC5VTX150T	N/A	0.40 0.89	0.40 0.94	ns
XC5VTX240T	N/A	0.38 1.12	0.39 1.17	ns		

表 97 : グローバル クロック セットアップおよびホールド (ソース同期モードの DCM および PLL あり) (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{PSDCMPLL_0} / T _{PHDCMPLL_0}	遅延のないグローバル クロックと IFF 間 ⁽²⁾ (ソース同期モードの DCM および PLL あり)	XC5VFX30T	0.34	0.36	0.37	ns
			0.83	0.87	0.92	
		XC5VFX70T	0.29	0.32	0.32	ns
			0.75	0.78	0.83	
		XC5VFX100T	0.35	0.35	0.35	ns
0.90	0.92		0.96			
XC5VFX130T	0.33	0.37	0.41	ns		
	1.07	1.11	1.16			
XC5VFX200T	N/A	0.29	0.33	ns		
		1.42	1.46			

メモ :

1. セットアップおよびホールド タイムは、ワーストケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で、温度が最も高く、電圧が最も低い条件下のグローバル クロック入力信号に対して計測され、ホールド タイムは、プロセスが最も高速で、温度が最も低く、電圧が最も高い条件下のグローバル クロック入力信号に対して計測されています。タイミング値は、DCM のファイン位相調整機能 DCM を使用して計測されており、この計測には CMT ジッタ (PLL を駆動する DCM CLK0、BUFG を駆動する PLL CLKOUT0) が含まれていますが、パッケージ スキューは含まれていません。
2. IFF は、入力フリップフロップです。

ソース同期スイッチ特性

ここでは、Virtex-5 FPGA のソース同期トランスミッタおよびレシーバにおけるデータ有効ウィンドウのタイミング算出に必要な値を示します。

表 98 : デューティ サイクルのずれおよびクロック ツリー スキュー

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T_{DCD_CLK}	グローバルクロック ツリー デューティ サイクルのずれ ⁽¹⁾	すべて	0.12	0.12	0.12	ns
T_{CKSKEW}	グローバル クロック ツリー スキュー ⁽²⁾	XC5VLX20T	N/A	0.24	0.25	ns
		XC5VLX30	0.21	0.22	0.22	ns
		XC5VLX30T	0.21	0.22	0.22	ns
		XC5VLX50	0.26	0.27	0.28	ns
		XC5VLX50T	0.26	0.27	0.28	ns
		XC5VLX85	0.42	0.43	0.45	ns
		XC5VLX85T	0.42	0.43	0.45	ns
		XC5VLX110	0.48	0.50	0.51	ns
		XC5VLX110T	0.48	0.50	0.51	ns
		XC5VLX155	0.82	0.85	0.88	ns
		XC5VLX155T	0.82	0.85	0.88	ns
		XC5VLX220	N/A	1.07	1.10	ns
		XC5VLX220T	N/A	1.07	1.10	ns
		XC5VLX330	N/A	1.25	1.29	ns
		XC5VLX330T	N/A	1.25	1.29	ns
		XC5V SX35T	0.38	0.39	0.39	ns
		XC5V SX50T	0.43	0.44	0.45	ns
		XC5V SX95T	N/A	0.72	0.74	ns
		XC5V SX240T	N/A	1.32	1.36	ns
		XC5V TX150T	N/A	0.70	0.73	ns
		XC5V TX240T	N/A	0.97	1.00	ns
XC5V FX30T	0.34	0.35	0.35	ns		
XC5V FX70T	0.41	0.42	0.43	ns		
XC5V FX100T	0.82	0.84	0.86	ns		
XC5V FX130T	0.82	0.84	0.86	ns		
XC5V FX200T	N/A	1.24	1.29	ns		
T_{DCD_BUFIO}	I/O クロック ツリー デューティ サイクルのずれ	すべて	0.10	0.10	0.10	ns

表 98 : デューティ サイクルのずれおよびクロック ツリー スキュー (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
$T_{\text{BUFIOSKEW}}$	1 クロック領域内での I/O クロック ツリー スキュー	すべて	0.07	0.07	0.08	ns
$T_{\text{DCD_BUFR}}$	リージョナルクロック ツリー のデューティ サイクルのずれ	すべて	0.25	0.25	0.25	ns

メモ :

1. これらのパラメータは、LVDS 出力バッファを使用するデバイスのピンで計測されるデューティ サイクルのずれのワースト ケースです。ほかの I/O 規格を使用する場合、IBIS を使用すると、立ち上がり/立下がり時間が非対称であるために生じるデューティ サイクルのずれを計測できません。
2. T_{CKSKEW} 値は、順次 I/O エlement間で計測されるクロック ツリー スキューのワースト ケースです。I/O レジスタが近接し、入力がクロック ツリー の同じ分岐または近接する分岐にある場合は、クロック ツリー スキューが大幅に少なくなります。特定のアプリケーションのクロック スキュー 値を得るには、ザイリンクスの FPGA Editor および Timing Analyzer ツールを使用してください。

表 99 : パッケージ スキュー

シンボル	説明	デバイス	パッケージ	値	単位
T _{PKGSKEW}	パッケージ スキュー (1)	XC5VLX20T	FF323	131	ps
		XC5VLX30	FF324	80	ps
			FF676	142	ps
		XC5VLX30T	FF323	127	ps
			FF665	93	ps
		XC5VLX50	FF324	80	ps
			FF676	142	ps
			FF1153	175	ps
		XC5VLX50T	FF665	93	ps
			FF1136	162	ps
		XC5VLX85	FF676	142	ps
			FF1153	174	ps
		XC5VLX85T	FF1136	164	ps
		XC5VLX110	FF676	142	ps
			FF1153	173	ps
			FF1760	190	ps
		XC5VLX110T	FF1136	163	ps
			FF1738	171	ps
		XC5VLX155	FF1153	161	ps
			FF1760	181	ps
		XC5VLX155T	FF1136	147	ps
			FF1738	174	ps
		XC5VLX220	FF1760	178	ps
		XC5VLX220T	FF1738	156	ps
		XC5VLX330	FF1760	177	ps
		XC5VLX330T	FF1738	155	ps
		XC5VSX35T	FF665	103	ps
		XC5VSX50T	FF665	103	ps
			FF1136	157	ps
		XC5VSX95T	FF1136	176	ps
XC5VSX240T	FF1738	161	ps		
XC5VTX150T	FF1156		ps		
XC5VTX150T	FF1759	157	ps		
XC5VTX240T	FF1759	157	ps		
XC5VFX30T	FF665	102	ps		

表 99 : パッケージ スキュー (続き)

シンボル	説明	デバイス	パッケージ	値	単位
T _{PKGSKEW}	パッケージ スキュー (1)	XC5VFX70T	FF665	102	ps
			FF1136	153	ps
		XC5VFX100T	FF1136	144	ps
			FF1738	172	ps
		XC5VFX130T	FF1738	181	ps
		XC5VFX200T	FF1738	164	ps

メモ :

- これらの値は、パッケージにある任意の 2 つのボール間のワーストケース スキューで、パッドからボールの最短フライト タイムと最長フライト タイムの差を示します (7.0ps/mm)。
- これらのデバイスとパッケージの組み合わせに関するパッケージ トレース長の情報もあり、この情報を使用してパッケージのスキューを低減できます。

表 100 : サンプル ウィンドウ

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{SAMP}	レシーバ ピンでのサンプリング エラー (1)	すべて	450	500	550	ps
T _{SAMP_BUFIO}	BUFIO を使用する場合のレシーバ ピンでのサンプリング エラー (2)	すべて	350	400	450	ps

メモ :

- このパラメータは、さまざまな電圧、温度、プロセスでの Virtex-5 FPGA DDR 入力レジスタの総サンプリング エラー数を示します。特性評価では、DCM を使用して DDR 入力レジスタの動作エッジをキャプチャしています。計測には次が含まれます。
 - CLK0 DCM ジッタ
 - DCM 精度 (位相オフセット)
 - DCM 位相シフト精度
 ただし、パッケージまたはクロック ツリー スキューは含まれません。
- このパラメータは、さまざまな電圧、温度、プロセスでの Virtex-5 FPGA DDR 入力レジスタの総サンプリング エラー数を示します。特性評価では、BUFIO クロック ネットワークおよび IDELAY を使用して DDR 入力レジスタの動作エッジをキャプチャしています。ただし、パッケージまたはクロック ツリー スキューは含まれません。

表 101 : ソース同期の Pin-to-Pin セットアップ/ホールドおよび Clock-to-Out

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
BUFIO を使用する場合の転送クロック入力ピンに対するデータ入力セットアップおよびホールド タイム					
T _{PSCS} /T _{PHCS}	I/O クロックのセットアップ/ホールド	-0.56 1.59	-0.54 1.72	-0.54 1.91	ns
BUFIO を使用する場合の Pin-to-Pin Clock-to-Out					
T _{ICKOFCS}	I/O クロックの Clock-to-Out	4.42	4.82	5.40	ns

改訂履歴

次の表に、この文書の改訂履歴を示します

日付	バージョン	説明
2006/04/14	1.0	初版リリース
2006/05/12	1.1	<ul style="list-style-type: none"> 初版をザイリンクス Web サイトに掲載。誤字訂正。31 ページのデザイン ソフトウェア バージョンを更新 45 ページの表 64 の $T_{IDELAYRESOLUTION}$ を更新 51 ページの表 69 の TDSPCKO を更新
2006/05/24	1.2	<ul style="list-style-type: none"> 表 52 に Register-to-Register パラメータを追加
2006/08/04	1.3	<ul style="list-style-type: none"> 表 3 に V_{DRINT}, V_{DRI}, C_{IN} 値を追加 表 7 に HSTL_I_12 と LVCMOS12 を追加およびメモ番号を付け直し 表 12 から pin-to-pin パフォーマンスを削除。表 52 (前のバージョンでは表 13) の Register-to-Register パフォーマンス値を更新および追加 表 53 に値を追加 表 54 の上のスピード仕様バージョンを更新 表 56 に I/O 規格 HSTL_II_T_DCI, HSTL_II_T_DCI_18, SSTL2_II_T_DCI, および SSTL18_II_T_DCI を追加 表 68 の F_{MAX} の値および表 70 の RDWR_B セットアップ/ホールド値を更新 表 74 の F_{VCOMAX} を変更、$T_{LOCKMIN}$ を削除、$T_{LOCKMAX}$ の値を更新。また Architecture Wizard に関する記載をメモより削除 表 88 のメモ 2 を削除
2006/09/06	2.0	<ul style="list-style-type: none"> LXT デバイスのセクションを追加。表にも LXT デバイスを追加。表「GTP_DUAL タイルの DC 特性」の追加に従い、表番号を付け直し。 表 1 および表 2 の V_{IN} の最大値を変更 4 ページの表 4 の値を更新および、$T_j = 85$ を追加 29 ページの「メモリ」セクションのカスケード接続したブロック RAM を 64K にし、I/O 遅延を更新 41 ページの表 60 のセットアップ タイムおよびホールド タイムを更新 49 ページの表 68 に $F_{MAX_CASCADE}$ を追加 60 ページの表 76 の $F_{FXLFMSMAX}$ および $F_{CLKINLFFXMSMAX}$ を更新

日付	バージョン	説明
2006/10/13	2.1	<ul style="list-style-type: none"> • システム モニタのパラメータを追加。表に XC5VLX85T を追加 • 表 28 およびメモを更新。表 29、図 3、図 4 を追加 • 26 ページの表 48 に RocketIO CRC ブロックを追加 • 31 ページ のデザイン ソフトウェア バージョンと表 54 を更新 • 41 ページ の「ILOGIC スイッチ特性」を更新 • 49 ページの表 68 の F_{MAX_ECC} を更新 • 54 ページの表 70 の T_{SMDCCK}/T_{SMCCKD} および T_{BPIDCC}/T_{BPICCD} のホールド タイムを変更 • 58 ページの表 74 の $T_{FBDELAY}$、F_{OUTMIN}、F_{OUTMAX}、および $F_{INJITTER}$ を更新 • 60 ページの表 76 を更新
2007/01/05	2.2	<ul style="list-style-type: none"> • 表 2 に I_{IN} を追加。表に XC5VLX220T を追加 • 表 7 に LVDCI33、LVDCI25、LVDCI18、LVDCI15 を追加 • GTP トランシーバの表 24、表 25、および表 26 のシンボルを更新 • 17 ページの表 30 に -1 スピード グレードの値を追加 • 30 ページの表 53 に SFI-4.1 の値を追加 • 31 ページの表 54 のデバイスのリストから、LX220 の -3 スピード グレードを削除 • 57 ページの表 72 および表 73 に最大周波数を追加 • 60 ページの表 76 の CLKDV、CLKFX、および CLKFX180 のすべての最小値と、「入力クロック (高周波数モード)」セクションの CLKIN の最小値を変更 • 63 ページの表 79 および表 80 に値を追加

日付	バージョン	説明
2007年2月2日	3.0	<ul style="list-style-type: none"> • 表に XC5VSX35T、XC5VSX50T、および SX5VSX95T デバイスを追加 • 3 ページの表 3 の I_{RPU} 値を更新 • 4 ページの表 4 の I_{CCAUXQ} 値を更新 • 7 ページの表 5 に値を追加 • 14 ページの表 25 および 14 ページの表 26 にメモを追加し、記述を変更 • 29 ページの表 52 の SFI-4.1 (SDR LVDS インターフェイス) の -1 値を更新 • 27 ページの表 51 のゲイン エラー、パイボラ ゲイン エラー、およびイベント 変換時間を更新 • 31 ページ でソフトウェアバージョンと 表 54 の値をデータシートに一致するように変更 • 「スイッチ特性」の次の値を更新 <ul style="list-style-type: none"> - 33 ページの表 56 の LVCMOS25、Fast、12mA - 41 ページの表 60 のセットアップおよびホールドと T_{ICKQ} - 42 ページの表 61 の T_{OCKQ} - 43 ページの表 63 のシーケンシャル遅延値 - 45 ページの表 65 の T_{CXB}、T_{CEO}、および T_{DICK} - 49 ページの表 68 の T_{RCKO_DO}、$T_{RCKO_POINTERS}$、T_{RCKO_ECCR}、T_{RCKO_ECC}、T_{RCK_ADDR}、T_{RDCK_DI}、$T_{RDCK_DI_ECC}$、T_{RCK_WREN}、および T_{RCO_FLAGS} - 51 ページの表 69 の T_{DSPDCK_CC}、T_{DSPCCK_RSTAA}、T_{DSPCCK_RSTBB}、T_{DSPCKO_PP}、$T_{DSPCKO_CRYOUTP}$、$F_{MAX_MULT_NOMREG}$、および $F_{MAX_MULT_NOMREG_PATDET}$ - 56 ページの表 71 の T_{BCCKO_O} および T_{BGCKO_O} - 57 ページの表 72 の $T_{BUFIOCKO_O}$ および F_{MAX} - 57 ページの表 73 の T_{BRCKO_O} および $T_{BRCKO_O_BYP}$ - 58 ページの表 74 のパラメータ (メモを含む) • 「Virtex-5 Pin-to-Pin 出力パラメータのガイドライン」の次の内容を変更 <ul style="list-style-type: none"> - 表 84、表 85 および 表 86 の値を更新 • 「Virtex-5 デバイスの Pin-to-Pin 入力パラメータのガイドライン」の次の内容を変更 <ul style="list-style-type: none"> - 73 ページの表 91 の記述を書き換え - 表 91、表 92 および 表 93 の値を更新 - 表 98 から重複した $T_{BUFR_MAX_FREQ}$ および $T_{BUFIO_MAX_FREQ}$ を削除 • 90 ページの表 101 の値を更新

日付	バージョン	説明
2007/05/18	3.1	<ul style="list-style-type: none"> • 表 3 におよび r の標準値を追加 • 表 4 の値を更新および追加 • 表 7 の I/O 規格を修正 • 表 26、表 28、表 29、表 30、表 32、表 33、表 34、表 35、表 48 の値を追加および更新 • 26 ページ の「イーサネット MAC スイッチ特性」を追加 • 31 ページ でソフトウェアバージョンと 表 54 の値をデータシートに一致するように変更 • 新規セクション、38 ページ の「I/O 規格での調整計測方法」を追加 • 「スイッチ特性」の次の値を更新 <ul style="list-style-type: none"> - LVTTTL、Slow および Fast、2mA、4mA、6mA (表 56) - LVCMOS33、Slow および Fast、2mA、4mA、6mA (表 56) - LVCMOS25、Slow および Fast、2mA および 4mA、Fast 12mA (表 56) - LVCMOS18、Slow および Fast、2mA、4mA、6mA (表 56) - LVCMOS15 および LVCMOS12、Slow および Fast、2mA (表 56) - T_{IDOCK} および T_{IDOCKD} (表 60) - 制御ラインおよびデータラインのセットアップ/ホールド (表 62) - $T_{IDELAYPAT_JIT}$ を追加し、$T_{IDELAYRESOLUTION}$ を更新。メモ 1 と 2 を追加 (45 ページの表 64) - T_{RCK} を更新 (46 ページ) し、T_{CKSR} を削除 (45 ページの表 65) - シンボル T_{TWC} を T_{MCP} で置換 (47 ページの表 66) - T_{CECK} を更新 (表 67) - Encode Only モードの ECC 使用時の T_{RCKO_FLAGS} および $T_{RDCK_DI_ECC}$ を更新 (表 68) - データ/制御ピンから入力レジスタクロックへのセットアップおよびホールドタイム、{PCIN、CARRYCASCIN、MULTSIGNIN} 入力から P レジスタ CLK へのセットアップおよびホールドタイム、CE ピンの一部のホールドタイム、RST ピンの一部のホールドタイム、{A、B} 入力から {P、CARRYOUT} 出力 (乗算器を使用する場合)、{ACIN、BCIN} 入力から {P、CARRYOUT} 出力 (乗算器を使用する場合)、CLK (AREG、BREG) から {P、CARRYOUT} 出力 (乗算器を使用する場合) の値を更新 (表 69) - 54 ページの表 70 の値を更新および追加 • 57 ページの表 72 の -1 スピードグレードの F_{MAX} 値を更新 • 58 ページの表 74 に $T_{LOCKMAX}$ に関するメモ 4 を追加し、F_{INDUTY}、F_{INMAX}、F_{VCOMAX} の値を更新 • 表 79 および 表 80 に \pm 値を追加。 表 80 の T_{OUT_OFFSET} を変更 • 「Virtex-5 Pin-to-Pin 出力パラメータのガイドライン」の次の箇所を変更 <ul style="list-style-type: none"> - 表 84 ~ 表 90 の値を更新 • 「Virtex-5 デバイスの Pin-to-Pin 入力パラメータのガイドライン」の次の箇所を変更 <ul style="list-style-type: none"> - 表 91 ~ 表 97 の値を更新 • 「ソース同期スイッチ特性」の次の箇所を変更 <ul style="list-style-type: none"> - 87 ページの表 98 の値を更新 - 89 ページの表 99 にパッケージスキュー値を追加 - 90 ページの表 101 の値を更新

日付	バージョン	説明
2007/06/15	3.2	<ul style="list-style-type: none"> 表 1 の T_{STG} を更新 9 ページの表 9 および表 10 の V_{OH}/V_{OL} 値を修正 ソフトウェアのバージョンを 31 ページの表 54 の上のデータシートに一致するように変更 32 ページの「製品シリコンおよび ISE ソフトウェア ステータス」を追加 45 ページの表 64 に $T_{IODELAY_CLK_MAX}$ を追加し、T_{CKSR} を更新 「Virtex-5 Pin-to-Pin 出力パラメータのガイドライン」: 表 85 ~ 表 90 の値を更新 「Virtex-5 デバイスの Pin-to-Pin 入力パラメータのガイドライン」: 表 92 ~ 表 97 の値を更新 87 ページの表 98 の単位を ns に修正
2007/06/26	3.3	<ul style="list-style-type: none"> 15 ページの表 28 に DV_{PPIN} の条件を追加 F_{GTMAX} シンボル名を F_{GTPMAX} に変更 17 ページの表 30 の GTP 最大ライン レートを 3.75Gb/s に更新 18 ページの表 33 の最大周波数を更新 18 ページの表 34 に 3.75Gb/s 条件を追加し、F_{GTX} の最大値を変更 19 ページの表 35 に 3.75Gb/s での正弦波ジッタ仕様を追加し、F_{GRX} の最大値を変更 27 ページの表 51 のアナログ入力同相範囲を変更 89 ページの表 99 の $T_{PKGSKEW}$ 値を変更
2007/07/26	3.4	<ul style="list-style-type: none"> 3 ページの表 3 に I_{REF} の最大値を追加 表 54 を更新し、表 55 に示す量産デバイスのデザイン ソフトウェア バージョンを更新 45 ページの表 64 のメモ 2 に高性能モードを追加 54 ページの表 70 の T_{SMDCK}/T_{SMCKD} を更新 62 ページの表 78 に $T_{DUTYCYCRANGE_200_400}$ の周波数範囲に関するメモ 4 を追加 「Virtex-5 デバイスの Pin-to-Pin 入力パラメータのガイドライン」: 表 91 ~ 表 96 のメモを変更
2007/09/27	3.5	<ul style="list-style-type: none"> 表 3 のメモ 2 に I_{BATT} 値を追加 表 51 に「DRP クロック周波数」およびメモ 4 を追加。ゲイン エラー、バイポーラ ゲイン エラーの標準値と最大値および単位を更新 表 54 および表 55 からサポートされていない XC5VSX95T (-3 スピード グレード) を削除 表 51 からサポートされていない I/O 規格 (LVDS_33、LVDSEXT_33、および ULVDS_25) を削除。表 59 の LVDSEXT、2.5V を更新 表 70 の「DCLK 前後の DCM および PLL の DRP (ダイナミック リコンフィギュレーションポート)」に値を追加 「Virtex-5 デバイスの Pin-to-Pin 入力パラメータのガイドライン」で表 91 ~ 表 97 のメモ 1 を修正
2007/11/05	3.6	<ul style="list-style-type: none"> 29 ページの表 52 からメモ 1 を削除。クロックの F_{MAX} は適用されない。 30 ページの表 53 の DDR2 メモリ インターフェイス パフォーマンスを更新 表 55 で ISE 9.2i SP3 の該当箇所に記述を追加 該当する表から XC5VSX95T -3 スピード グレードのサポートを削除 表 58 からサポートされていない I/O 規格 (LVPECL_33) を削除し、LVPECL_25 を追加 54 ページの表 70 に T_{SMCO} および T_{SMCKBY} を追加 60 ページの表 76 および 61 ページの表 77 のメモ 3 を更新 表 87 ~ 表 90 および表 94 ~ 表 97 のメモを変更 表 99 のメモ 1 を更新

日付	バージョン	説明
2007/12/11	3.7	<ul style="list-style-type: none"> 新しいデバイス (XC5VLX20T、XC5VLX155、および XC5VLX155T) の追加 XC5VSX95T デバイス リストから -3 スピードグレードを削除 表 87 ~ 表 90 の「Virtex-5 Pin-to-Pin 出力パラメータのガイドライン」および表 90 と表 92 ~ 表 97 の「Virtex-5 デバイスの Pin-to-Pin 入力パラメータのガイドライン」を変更。また、表 92 ~ 表 97 のメモ 1 も変更 表 99 のメモ 1 を変更
2008/02/05	3.8	<ul style="list-style-type: none"> バージョン 3.7 の日付変更。その他に誤字訂正 6 ページの文章を「Xilinx does not specify the current or I/O behavior for other power-on sequences (ザイリンクスでは、これ以外のシーケンスでの電流仕様や I/O 動作仕様を定めていません)」に変更 15 ページの表 27 の値およびメモを追加。4 ページの表 4 に I_{CCINTQ} が含まれているため I_{CCINTQ} を削除。 $I_{VTTRXCQ}$ の値を I_{VTTRXQ} に結合 18 ページの表 34 の T_{LLSKEW} の値を変更 19 ページの表 35 の $R_{XPPMTOL}$ の値とメモを変更 30 ページの表 53 の SPI-4.2 の -2 パフォーマンス値を変更 45 ページの表 64 に T_{IODDO_T}、$T_{IODDO_IDATAIN}$、$T_{IODDO_ODATAIN}$、およびメモを追加 表 71 の F_{MAX} および表 74 の F_{OUTMAX} を分割し、両方の表における最小デバイスの -2 値を変更 59 ページの「PMCD モードでの PLL スイッチ仕様」の追加 表 54 のスピードグレードと一致するように、表 4 および表 84 ~ 表 98 を変更 表 96 および表 97 のメモ 1 を変更
2008/03/31	4.0	<ul style="list-style-type: none"> XC5VFX30T、XC5VFX70T、XC5VFX100T、XC5VFX130T、XC5VFX200T デバイスを表に追加 7 ページの「電源投入時の電流条件」を変更 「GTX_DUAL タイルの仕様」および「PowerPC 440 のスイッチ特性」を追加 14 ページの表 24 の $MGTAVCC$ を修正 14 ページの表 26 の $MGTR_{REF}$ を変更 表 34 のシンボル名を F_{GTPX} に、表 35 のシンボル名を F_{GTPRX} に変更 「CRC ブロック スイッチ特性」を 26 ページの表 48 に移動 表 53 にメモを追加 スピード仕様のバージョンを 1.59 に変更
2008/04/25	4.1	<ul style="list-style-type: none"> XC5VSX240T を表に追加 49 ページの表 68 の最大周波数の説明を変更 54 ページの表 70 に SelectMAP モード プログラム スイッチに対する最大リードバック周波数 (F_{RBCKK}) を追加 スピード仕様のバージョンを 1.60 に変更
2008/05/09	4.2	<ul style="list-style-type: none"> 「イーサネット MAC スイッチ特性」を変更し「PCI Express デザイン用エンドポイント ブロックのスイッチ特性」を追加 38 ページの表 58 の一部の V_{MEAS} 値を変更し、メモ 6 を追加。「出力遅延の計測」に 39 ページの図 12 を追加。39 ページの表 59 の一部の V_{MEAS} および R_{REF} 値を変更し、メモ 4 を追加 59 ページの表 75 で $T_{PLLCK_REL}/T_{PLLCK_REL}$ のセットアップ/ホールド値の表示順を逆に変更 89 ページの表 99 にパッケージ スキュー値を追加
2008/05/15	4.3	<ul style="list-style-type: none"> 7 ページの表 5 を変更

日付	バージョン	説明
2008/06/12	4.4	<ul style="list-style-type: none"> 表 4 の一部のデバイスに値を追加 15 ページの表 28 で V_{IN} の最大値を変更 16 ページの表 29、図 3、図 4 で V_{IDIFF} および V_{ISE} を変更。22 ページの表 41、図 8、および図 9 の GTX トランシーバで同様に変更 表 43 に値を追加 表 54 および表 55 で一部のデバイスにプロダクション ステータスに更新 表 71 で T_{BCCK0_0} および T_{BGCK0_0} を変更。表 73 で T_{BRCKO_0} および $T_{BRCKO_0_BYP}$ を変更 表 84 ~ 表 98 で XC5VLX20T、XC5VLX155、XC5VLX155T、XC5VFX30T、XC5VFX70T、XC5VFX100T、XC5VFX130T、および一部の XC5VVSX240T 値を変更
2008/06/18	4.5	<ul style="list-style-type: none"> 表 5 に値を追加
2008/06/26	4.6	<ul style="list-style-type: none"> 表 5 に値を追加 表 54 および表 55 で XC5VLX20T をプロダクションに変更 表 74 で F_{OUTMAX} を変更
2008/09/23	4.7	<ul style="list-style-type: none"> XC5VTX150T および XC5VTX240T デバイスを表に追加 表 4 および表 5 に値を追加 表 38、表 39、表 40、表 41、表 42、表 44、表 45、表 46、および表 47 で情報を変更 表 54 および表 55 で XC5VLX20T をプロダクションに変更 49 ページの表 68 にメモ 8 を追加 58 ページの表 74 にメモ 1 を追加
2008/12/02	4.8	<ul style="list-style-type: none"> 1 ページの表 1 の絶対最大定格で I_{IN} 列を追加 17 ページの表 32 で T_{DCREF} のデューティ サイクルの値を変更し、メモ 2 を追加 17 ページの表 32 および 23 ページの表 44 で T_{PHASE} の条件を変更 19 ページの表 35 で $R_{XPPMTOL}$ の値を変更、メモ 1 を変更、メモ 2 を追加 24 ページの表 45 で FXT および TXT 値を使用してパラメータを変更 24 ページの表 46 で T_{LLSKEW} の単位を修正 31 ページの表 54 で SX240T、FXT、TXT のスピードグレードを変更 32 ページの表 55 で SX240T および FXT の列を変更 38 ページの表 58 で LVCMOS, 1.2V の列を追加 39 ページの表 59 で LVCMOS, 1.2V の列で V_{MEAS} を変更 63 ページの表 80 でグローバルクロック ツリーに関するメモ 3 を変更
2008/12/19	4.9	<ul style="list-style-type: none"> 7 ページの表 5 に XC5VVSX240T、XC5VTX150T、XC5VTX240T、XC5VFX100T、および XC5VFX200T デバイスの電流値を追加
2009/01/14	4.10	<ul style="list-style-type: none"> 1 ページの表 1 のメモ 2 ではんだ付けガイドラインの参照先をユーザーガイド UG112 に変更 31 ページの表 54 で XC5VTX150T および XC5VTX240T デバイスのスピード グレードを Production に移動 32 ページの表 55 で XC5VTX150T および XC5VTX240T デバイスに対する ISE ソフトウェア バージョンを追加 63 ページの表 80 でデューティ サイクルに対するメモが $T_{DUTY_CYC_DLL}$ と $T_{DUTY_CYC_FX}$ の両方に適用されるように変更
2009/02/06	5.0	<ul style="list-style-type: none"> Advance 製品仕様から Product 製品仕様に変更。 1 ページの表 1 の V_{IN} を変更し、メモ 5 を追加。 7 ページの表 5 から最大の列を削除し、最大セットアップ電流の算出法についてメモ 2 を追加。 58 ページの表 74 の F_{OUTMAX} の 2 行目から LX20T を削除。

日付	バージョン	説明
2009/04/01	5.1	<ul style="list-style-type: none"> 45 ページの表 65 の T_{DICK}/T_{CKDI} パラメータに関する記載で「A-D 入力」を「AX-DX 入力」に変更 58 ページの表 74 で $T_{OUTDUTY}$ パラメータの全スピードグレードの値に ± 記号を付加。

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN ("PRODUCTS") ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED IN THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS.