

## 機能

プラットフォーム ケーブル USB には次の機能があります。

- Windows および Red Hat Enterprise Linux をサポート
- ターゲット I/O 電圧に自動対応
- 動作電圧 5V (TTL)、3.3V (LVCMOS)、2.5V、1.8V、1.5V のデバイスにインターフェイス
- LED でステータスを表示
- CE、USB-IF、FCC に準拠
- 開発向け製品プログラミング用としては推奨外

- すべてのザイリンクス デバイスに対応
  - すべての Virtex™ FPGA ファミリ
  - すべての Spartan™ FPGA ファミリ
  - XC9500/XC9500XL/XC9500XV CPLD
  - CoolRunner™ XPLA3/CoolRunner-II CPLD
  - XC18V00 ISP PROM
  - XCF00S/XCF00P Platform Flash PROM
  - XC4000XL/XV/EX/E FPGA
- 鉛フリー (RoHS に準拠) 対応のケーブルも入手可能

## プラットフォーム ケーブル USB の概要

プラットフォーム ケーブル USB (図 1 参照) は、ハードウェアの付属品で、次のザイリンクス デバイスのプログラム、あるいはコンフィギュレーション用の高性能ダウンロード ケーブルです。

- ISP コンフィギュレーション PROM
- CPLD
- FPGA

プラットフォーム ケーブル USB は、デスクトップ PC あるいはラップトップ PC の USB ポートに接続し、直ちに使用可能な高速 USB A-B ケーブルです。ケーブルの電源はすべて、ハブ経由のポート コントローラを使用します。必要な電源はそれだけです。高速 USB 環境では、スレーブ シリアル FPGA のコンフィギュレーションが 24Mb/s の転送レートで使用できます。実際のレートは、ハブの帯域幅を他の USB 周辺デバイスと共有する場合にそれぞれ異なります。

バウンダリ スキャン (IEEE 1149.1/IEEE 1532) あるいはスレーブ シリアル モードのいずれかを使用した iMPACT ダウンロード ソフトウェアでは、プラットフォーム ケーブル USB を使用するデバイスのコンフィギュレーションおよびプログラミングをサポートしています。ターゲット クロックの速度は、750kHz ~ 24MHz で選択できます。

プラットフォーム ケーブル USB は、高帯域幅データ転送用に設計された 14 コンダクタ リボン ケーブルを使用してターゲット システムに接続されます。フライング リード セットが装着可能なオプションのアダプタは、リボン ケーブル コネクタを使用しないターゲット システムとの下位互換性があります。

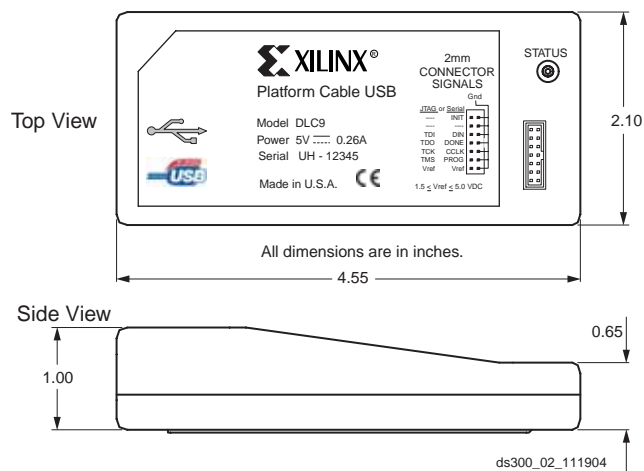
## 外観

プラットフォーム ケーブル USB 内部は、リサイクル可能で難燃剤を使用したプラスチック ケースで覆われています (図 2 参照)。内部の EMI シールドは、内部で発生する電磁波を和らげ、電磁放射から守ります。



DS300\_01\_110604

図 1: ザイリンクス プラットフォーム USB ケーブル



ds300\_02\_111904

図 2: プラスチックケースの外寸

## 使用方法

ここでは、プラットフォーム ケーブル USB を使用した接続方法を説明します。

### ホスト コンピュータの必要条件

ホスト コンピュータは、1 つ以上の USB ポートを持つ USB ホスト コントローラが必要です。コントローラは PC マザーボードの側に置か、PCI 拡張カードあるいは PCMCIA カードが必要です。

プラットフォーム ケーブル USB は、ザイリンクスの ISE™ システム要件を満たすシステムでサポートされています。使用環境の詳細は、次のサイトを参照してください。

[http://www.xilinx.co.jp/products/design\\_resources/design\\_tool/index.htm](http://www.xilinx.co.jp/products/design_resources/design_tool/index.htm)

次に、ISE ツールを選択します。プラットフォーム ケーブル USB は、USB 2.0 ポートの帯域幅を使用しますが、USB 1.1 ポートとの下位互換性もあります。接続環境および帯域幅の詳細は、13 ページ、「ハブの種類とケーブルの性能」を参照してください。

### 実際の使用電流

プラットフォーム ケーブル USB は、バス電源デバイスで、接続ポートの機能に合わせて最高のパフォーマンスを達成するように、自動的に使用電流を決定します。ホストが USB 2.0 と互換性を持ち、最低 230mA 供給可能な場合には、プラットフォーム ケーブル USB は高速で動作します。または、150mA で最速で動作します。旧式のルート ハブあるいはバス電源の外部のハブを使用する際には、デバイスは 100mA に制限される場合があります。プラットフォーム ケーブル USB はこれらのポートにエミュレートしません (エミュレーションに関しては、3 ページ、「ホットプラグ機能の使用」を参照)。

### デバイス ドライバのインストール

専用のデバイス ドライバには、プラットフォーム ケーブル USB を使用する必要があります。6.3.03i 以降のすべてのザイリンクス ISE ソフトウェア リリースおよびサービス パックでこのドライバが使用できます。プラットフォーム ケーブル USB は、ザイリンクス ISE、ChipScope Pro、Platform Studio (EDK) ソフトウェアのインストールが完了するまでは OS に認識されません。

### ファームウェアの更新

プラットフォーム ケーブル USB は、RAM をベースとした製品です。ホストの OS にケーブルが検知されると、アプリケーション コードが毎回ダウンロードされます。USB プロトコルで、コードが適切にダウンロードされたかどうか確認されます。

ケーブル通信に必要なファイルはすべて、ザイリンクス ISE ソフトウェアのインストール CD に含まれます。更新されたアプリケーション コードは、その後のソフトウェア リリースで定期的に配信されます。ISE サービス パックおよび WebPACK™ リリースは [www.xilinx.co.jp](http://www.xilinx.co.jp) からダウンロードできます。Project

Navigator は、インターネットに接続すると、自動的に最新ソフトウェアのリリースを確認します。

ザイリンクスのアプリケーションを起動し、プラットフォーム ケーブル USB を使用して接続すると、複数のソフトウェア コンポーネントのバージョン情報がコマンド ログに表示されます。

プラットフォーム ケーブル USB には、インサーキットのプログラマブル CPLD も組み込まれています。アプリケーション起動時には、CPLD 用のファームウェアのバージョンが確認されます。CPLD は、ファームウェアの期限が切れた場合には、ケーブルを介して自動的に再プログラムされます (図 3 参照)。

CPLD の更新中は、ステータス LED が赤く点灯し、プログレスバーに通信状況が示されます (図 4 参照)。CPLD を更新する際は、中断しないよう注意してください。更新が完了すると、ステータス LED がアンバーあるいは緑色に変わり、ケーブルが通常通り使用できます。

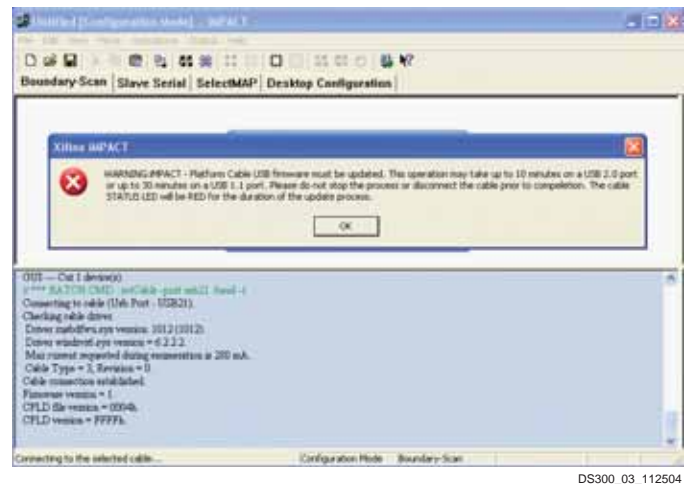


図 3: CPLD のアップデート通知

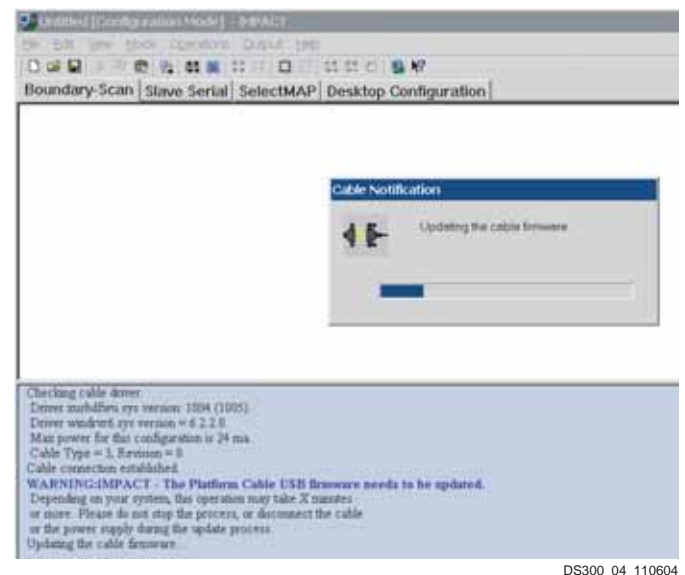


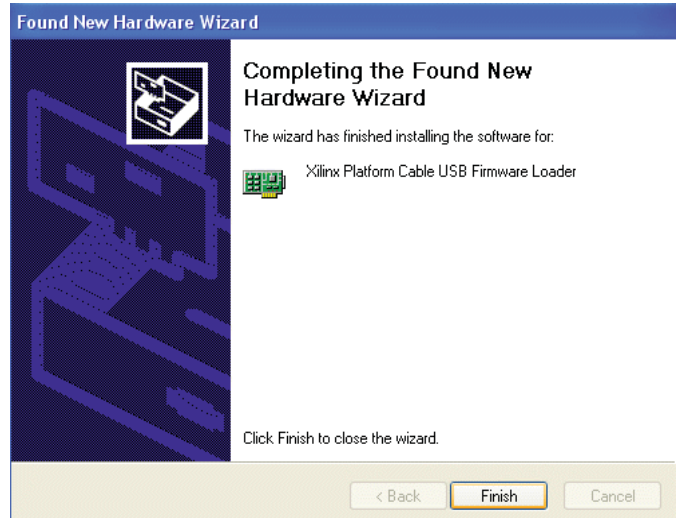
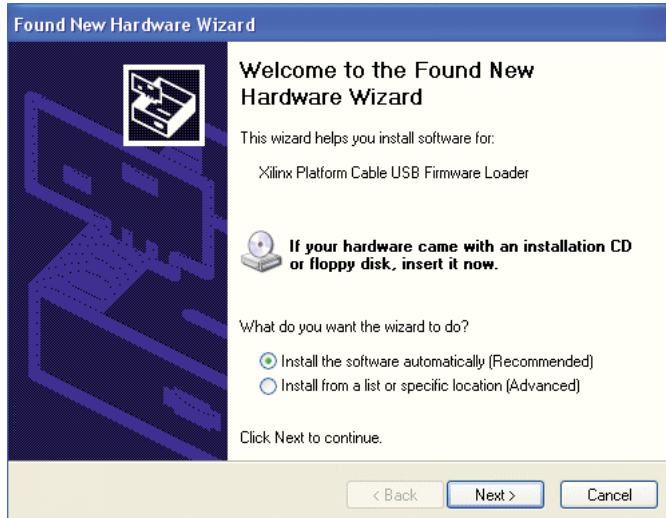
図 4: CPLD アップデート プログレス バー

## Found New Hardware Wizard (Windows のみ)

最初のソフトウェア インストール中は、プラットフォーム ケーブル USB をホスト システムに接続しないでください。ソフトウェアのインストール後、初めてケーブルを接続すると、Windows が [Found New Hardware wizard] ウィンドウを起動させ、プラットフォーム ケーブル USB ファームウェア ロード

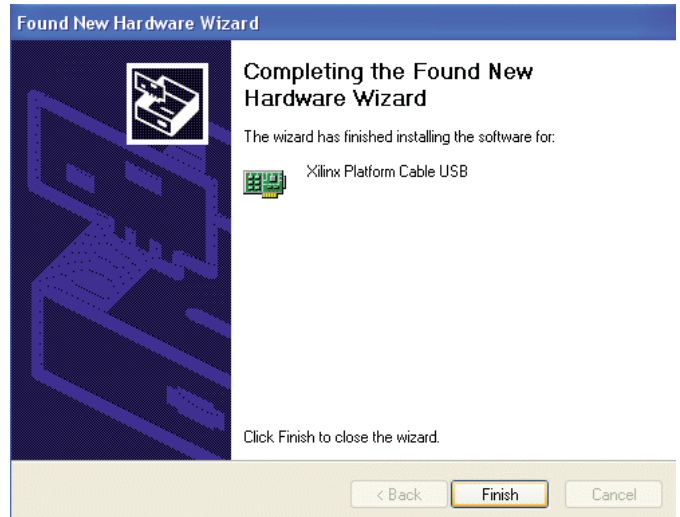
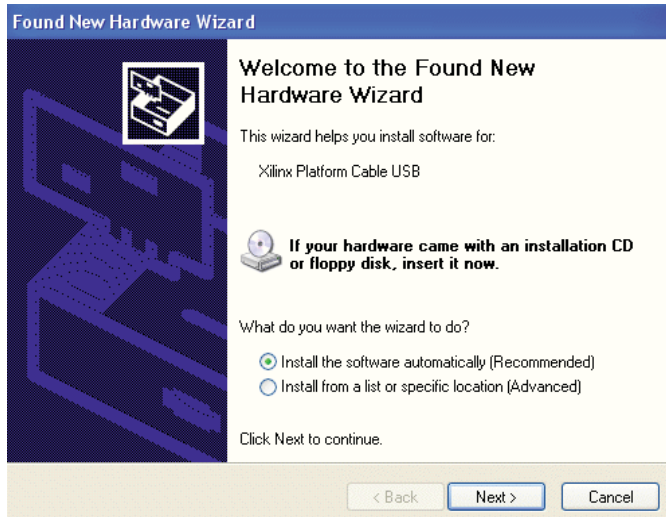
(図 5 参照) およびプラットフォーム ケーブル USB (図 6 参照) のデバイス ドライバの登録を開始します。

Windows では、プラットフォーム ケーブル USB が異なる USB ポートに物理的に接続されると、初回時に [Found New Hardware Wizard] が起動されます。ウィザード画面は Windows 2000 環境では多少異なります。



ds300\_05\_112904

図 5 : a) ファームウェア ロードの PID の検知 ; b) ファームウェア ロード ドライバの登録終了画面



ds300\_06\_112904

図 6 : a) アプリケーションの PID 検知 ; b) アプリケーション ドライバの登録終了画面

## ホットプラグ機能の使用

ホスト コンピュータからのケーブルの接続および取り外し時には、電源をオフにしたり、再起動させる必要はありません。ステータス LED の点灯前に、ケーブルを使用可能なポートに接続すると、瞬間的な遅延が発生します。このプロセスは、列挙と呼ばれます。

Windows システムでは、プラットフォーム ケーブル USB でこのプロセスが終了すると、Windows の Device Manager に「Programming cables」というエントリが表示されます (4 ページの図 7 参照)。Device Manager を表示するには、[My Computer] で右クリックし、[Properties] [Hardware] [Device Manager] を選択します。

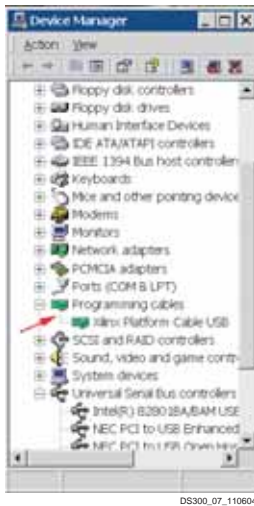


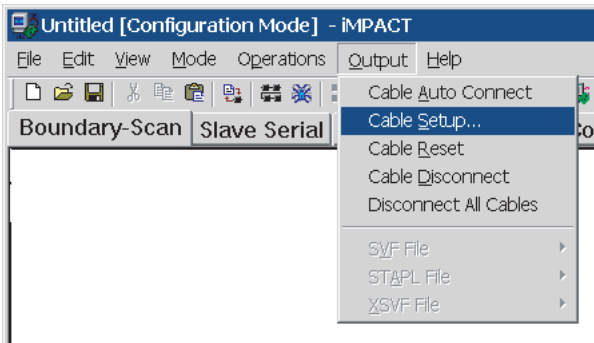
図 7: [Device Manager] で認識されたケーブルを表示

## IMPACT コンフィギュレーション ケーブルの選択

プラットフォーム ケーブル USB は、iMPACT セッションを最初に起動した際に表示される、デバイス コンフィギュレーションの自動接続後、アクティブ コンフィギュレーション ケーブルとして認識されます。

メモ: 自動接続シーケンスでは、PC4 とプラットフォーム ケーブル USB が同時に接続されている場合、iMPACT ではアクティブ ケーブルとして PC4 が選択されます。

iMPACT のツールバーで[Output] [Cable Setup] オプションを使用して、手動でケーブルを選択できます (図 8 参照)。



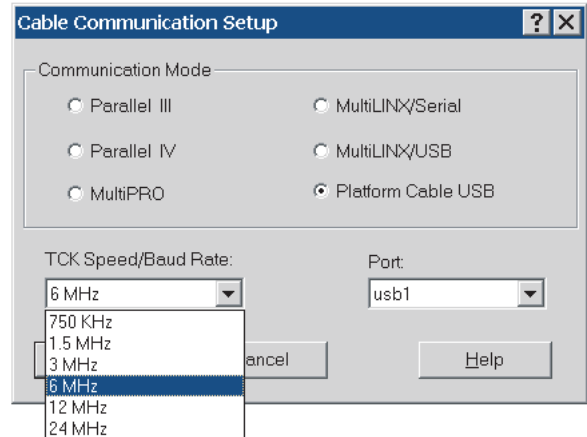
DS300\_08\_110604

図 8: iMPACT のケーブル選択メニュー

[Cable Communications Setup] の表示後 (図 9 参照)、[Communication Mode] から [Platform Cable USB] を設定してください。

バウンダリ スキャン モードからスレーブシリアル モードへ、またはその逆方向での切り替えには、[Output] [Cable Disconnect] を選択してください。モードが切り替わると、[Output] [Cable Setup] を使用したケーブル接続が開始されます。

iMPACT セッションの実行中にケーブルが取り外されると、ステータス バーが直ちに「No Connection」と表示します。



DS300\_09\_110604

図 9: iMPACT のケーブル通信設定画面

## コンフィギュレーション時のクロック周波数

プラットフォーム ケーブル USB コンフィギュレーション クロック (TCK\_CCLK) 周波数が選択できます。表 1 に、ハイパワー USB ポート用の TCK\_CCLK の有効周波数を示します。

表 1: ハイパワーポートの周波数

選択肢	TCK_CCLK の周波数	単位
1	24	MHz
2	12	MHz
3 (デフォルト)	6	MHz
4	3	MHz
5	1.5	MHz
6	750	kHz

スレーブシリアル モードでは、TCK\_CCLK の周波数をいづれにでも設定可能です。デフォルトでは、TCK\_CCLK の周波数は 6MHz に設定されています。TCK\_CCLK の周波数は、ターゲット デバイスのスレーブシリアル クロック (CCLK) に適合する周波数を選択する必要があります。

iMPACT 7.1i 以降のバウンダリ スキャン モードでは、最大バウンダリ スキャン クロック (JTAG TCK) 周波数を決定するため、バウンダリ スキャン チェーンで接続された各デバイスの BSDL ファイルが確認されます。iMPACT 7.1i 以降では、TCK\_CCLK で有効な周波数をチェーン接続されたデバイスの最低周波数あるいはそれ未満で自動的に指定します。iMPACT 7.1i 以降のデフォルトでは、バウンダリ スキャン チェーン接続されたデバイスが 6MHz に対応できない場合は、6MHz あるいはそれ以上の最大共通周波数のいずれかが選択されます。5 ページの表 2 に、ザイリックスの各種デバイスの JTAG TCK の最大周波数を示します。デバイスのデータシートあるいは BSDL ファイルの最大 TAG TCK 値を参照してください。

メモ：iMPACT の 7.1i 以前のバージョンでは、バウンダリ スキャン モードでの TCK\_CCLK の選択について特に指定していません。同様に、TCK\_CCLK 周波数は、ターゲット バウンダリ スキャン チェーン内の最低速デバイスの JTAG TCK の仕様に合った周波数を選択する必要があります。

表 2：最大 JTAG クロック 周波数

デバイス ファミリー	最大 JTAG クロック 周波数	単位
XC9500XL	10	MHz
XPLA3	10	MHz
CoolRunner-II-	10	MHz
XC18V00	10	MHz
XCF00S/XCF00P	15	MHz
Virtex	33	MHz
Virtex-II-	33	MHz
Virtex-II Pro	33	MHz
Virtex-4	33	MHz
Spartan	5	MHz
Spartan-II	33	MHz
Spartan-3	33	MHz

iMPACT GUI 下部に表示されるステータス バーには、動作状態を示す情報が表示されます。ホスト ポートが USB 1.1 の場合、プラットフォーム ケーブル USB は、フル スピードで接続し、ステータス バーには「usb-fs」と表示されます。ホスト ポートが USB 2.0 の場合、プラットフォーム ケーブル USB は、ハイスピードで接続し、ステータス バーには「usb-hs」と表示されます。アクティブ状態の TCK\_CCLK 周波数は、ステータス バーの右端に表示されます (図 10 参照)。

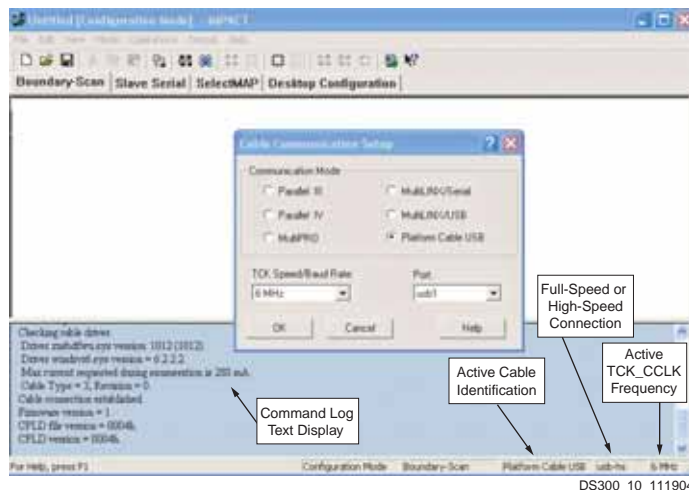


図 10：iMPACT のステータス バー

コマンド ログには、ケーブルを使用した通信情報が含まれます。[Cable Communication Setup] を使用してケーブルを選択した場合には、次のようなログが表示されます。

Cable Type = 3, Revision = 0  
Cable Connection Established

メモ：新しいソフトウェアがリリースされた場合、実際のリビジョン番号が変更される場合があります。

### ステータス インジケータ

プラットフォーム ケーブル USB では、ターゲット電圧がかかったことをバイカラー ステータス LED を使用して示します。リボン ケーブルがターゲット システムのメーティング コネクタに接続されている場合には、ステータス LED が点灯し、2 ピン ( $V_{REF}$ ) に電圧がかかっていることを示します。

設計者は、2 ピンを電圧プレーンに接続して、ターゲット デバイスの JTAG あるいはスレーブ シリアル ピンに電源を供給するようシステム ハードウェアを設計する必要があります。このため電源ピン (VAUX) が離れているデバイスもあり、VCCIO および JTAG ピン (TCK, TMS, TDI, TDO) が共通の電源電圧を使用する場合があります。スレーブ シリアルあるいは JTAG ピンの詳細は、対象デバイスのデータシートを参照してください。

次に示す、1 つまたはそれ以上の条件に該当する場合、ステータス LED がアンバーに変わります (図 11 参照)。

- リボン ケーブルがターゲット システムに接続されていない
- ターゲット システムに電源が投入されていない
- $V_{REF}$  ピンの電圧が  $< +1.5V$

次の条件をすべて満たす場合、ステータス LED は緑色を示します。

- リボン ケーブルがターゲット システムに接続されている
- ターゲット システムに電源が投入されている
- $V_{REF}$  ピンの電圧が  $+1.5V$

ステータス LED は、プラットフォーム ケーブル USB がサスペンド状態になるとオフになるか、電源の入った USB ポートから接続が解除されます。

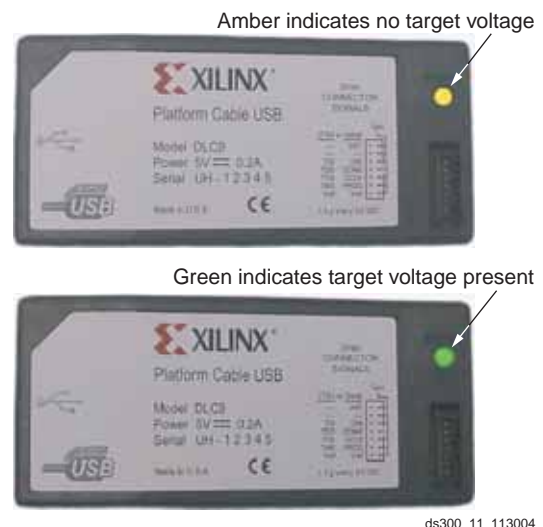


図 11：ステータス LED がターゲット電圧を示す

## サスペンド ステート

プラットフォーム ケーブル USB を含む各 USB デバイスは、ホスト OS によりサスペンド ステート になります。次のいずれかの条件が満たされると、サスペンド ステート になります。

- ラップトップコンピュータで、<Suspend> キーを押す
- アプリケーションを実行させたまま、持ち運び際のようにラップトップのディスプレイ パネルを閉じる
- バッテリ電源を使用したラップトップで、ケーブルのデータ転送が一定時間以上実行されない
- [Energy Efficiency] を設定したデスクトップ PC で、ケーブルのデータ転送が一定時間以上実行されない

サスペンド ステートにする目的は、全体の消費電力を削減することです。サスペンド設定は、全体あるいはポート単位で実行できます。

プラットフォーム ケーブル USB のハブ ポートからの消費電流は、サスペンド ステートでは 500 $\mu$ A 未満である必要があります。その結果、ステータス LED は点灯せず、サスペンドが解除されるまでその状態を保ちます。

iMPACT を実行中にサスペンド ステートにしようとすると、iMPACT には、実行が完了するまでサスペンドが待機、あるいは早期終了するというメッセージが表示されます (図 12 参照)。

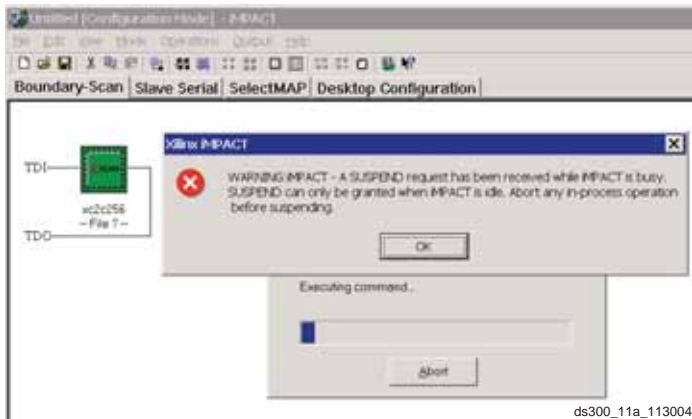


図 12: iMPACT 実行中に表示されるサスペンドの警告メッセージ

サスペンド モードでは、TCK\_CCLK、TMS\_PROG および TDI\_DIN を含むターゲット インターフェイス ロジックには電源投入されません。サスペンド モード時は、これらの信号の状態が、ターゲット ハードウェアによってさまざまな DC バイアス レベルにフローティングとなります。

メモ: コンピュータによっては、サスペンド モード中は USB ポートからの電源が全面的にオフになります。物理的にケーブルを取り外すのと同じ状態です。動作が再開された場合には、[Output] [Cable Setup] を使用して、ケーブルを手動で再接続させる必要があります。

## プラットフォーム ケーブル USB の接続

ここでは、プラットフォーム ケーブル USB からホスト PC およびターゲット システムへの物理的な接続方法を説明します。

### 高性能リボン ケーブル

ターゲット システムへの接続には、A 6" サイズのリボン ケーブルが提供され、推奨されています (図 13 参照)。このケーブルには、信号/グランド ペアが複数含まれ、接続エラーの発生を抑えます。

リボン ケーブルを利用するには、ターゲット システムがメーティング コネクタを備える必要があります。このコネクタは、通常プロトタイプのチェックアウト中のみインストールされます。ハードウェアが機能的で、別のソースから ISP デバイスのコンフィギュレーションが可能な場合には、コネクタを排除して、コストを削減できます。容量に余裕がある場合には、コネクタ用にフットプリントを保持することをお勧めします。

コネクタは 2mm のキー付きのヘッダを使用しています。ベンダーの製品番号およびピン配置については、7 ページ、「ターゲット インターフェイス コネクタ」を参照してください。



ds300\_12\_110804

図 13: 高性能リボン ケーブル

### メモ:

1. リボン ケーブル: 14 芯線、1.0mm 中心円形ケーブル、28 AWG (7 x 36) 標準導体、グレー PVC (ピン 1 エッジ赤)。
2. 2mm リボン コネクタメス型 IDC 接続、ベリリウム銅メッキ (接触部)、50 $\mu$  インチ ニッケル下地付き 30 $\mu$  インチ金メッキ、2mm 中心、0.5mm 平方オス型コネクタ対応

### フライング ワイヤ アダプタ

アダプタは、2mm のオス型コネクタのないレガシ ターゲット システムへの接続用として提供されています (7 ページの図 14 参照)。アダプタを使用すると、ターゲット システムでフライング ワイヤを使用して端末同士を接続させることができます。

アダプタは、2つのコネクタを使用した小規模回路基板です (図 15 参照)。アダプタの底面に接続するコネクタは、14 ピンのプラットフォーム ケーブル USB、2mm オス型コネクタに対応します。アダプタ上部の A7 ピン ライト アングル型ヘッダは、一般

的なザイリンクス フライング ワイヤ セット (同梱) に適応します。

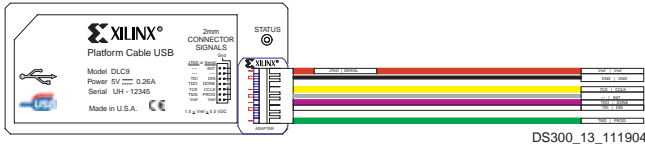


図 14: ワイヤ付きフライングワイヤアダプタ (上面)

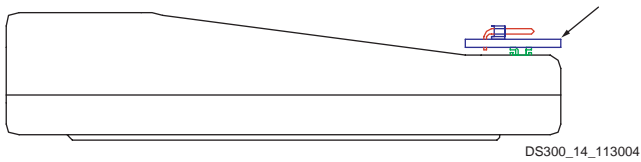


図 15: ワイヤあり/なしのフライングワイヤアダプタ (側面)

メモ: シグナル インテグリティの問題上、この方法での接続は推奨していません。また、無意図的に高電圧接続した場合、リードの破損を招くおそれがあります。

### ホストへの物理的接続

各プラットフォーム ケーブル USBには、取り外し可能な高速用-1.8メートルの A-B ケーブルが含まれます (図 16)。いかなる状況下でも、5メートルを超過したユーザー指定のケーブルは使用しないでください。サブチャンネルケーブル (1.5Mb/s 低速通信用) は、プラットフォーム ケーブル USB と併用しないでください。

標準の B シリーズのコネクタは、取り外し可能な高速 A-B ケーブル接続用ケースの左側に組み込まれます。シャーシグラウンドが別途 A-B ケーブルのドレイン ワイヤに接続され、ESD 電流がホストシステムのグラウンドに流れます。

### ターゲット インターフェイス コネクタ

高性能リボン ケーブルをターゲット システムに接続するための対応コネクタは、スルーホール型と表面実装型の 2 種類が使用できます (図 17 参照)。適切な位置にケーブルが挿入されるよう、外側が覆われているか、あるいは鍵付きのいずれか、または両方の

表 3: 2mm ピッチ、14 導体のリボン ケーブル対応コネクタ

メーカー(1)	SMT、水平型	スルーホール、水平型	スルーホール、ライト アングル型	ウェブサイト
Molex	87832-1420	87831-1420	87833-1420	<a href="http://www.molex.com">www.molex.com</a>
FCI	98424-G52-14	98414-G06-14	98464-G61-14	<a href="http://www.fciconnect.com">www.fciconnect.com</a>
Comm Con Connectors	2475-14G2	2422-14G2	2401R-G2-14	<a href="http://www.commcon.com">www.commcon.com</a>

メモ:

- メーカーによっては、ピンの割り当てがザイリンクスとは異なる場合があります。詳細は、メーカーのデータシートを参照してください。
- 新しいリボン ケーブルは、[ザイリンクス オンラインストア](#)にて別途購入できます。

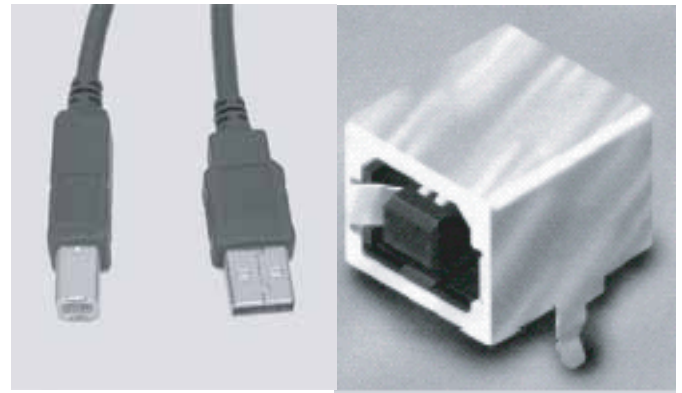


図 16: スタンダード A-B ホスト インターフェイス ケーブルおよび B シリーズのコネクタ

条件に合うものを常に使用してください。コネクタに必要なボードスペースは、0.162 in<sup>2</sup>のみです。

コネクタの 2 ピンに対するターゲット システム 電圧は、TDI\_DIN、TCK\_CCLK ピンと TMS\_PROG ピンを駆動する出力バッファのリファレンスとして使用されます。表 3 に、パラレル ケーブル USB リボン ケーブルと互換性を持つ対応コネクタのサードパーティのソースを示します。

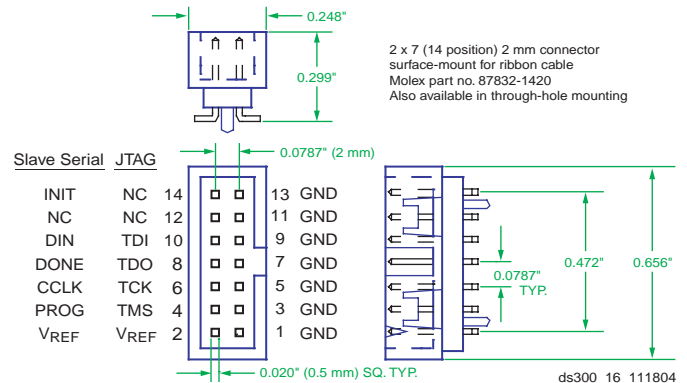


図 17: ターゲットインターフェイスコネクタの寸法および信号の割り当て

## TDI\_DIN および TMS\_PROG のタイミング仕様

JTAG モードおよびスレーブ シリアル コンフィギュレーション モードでは、TDI\_DIN 出力および TMS\_PROG 出力は、TCK\_CCLK の立ち下がり で変化します (図 18 参照)。ターゲット デバイスは、TCK\_CCLK の立ち上がり で TDI\_DIN および TMS\_PROG をサンプリングします。ターゲット デバイスが TDI\_DIN または TMS\_PROG をサンプリングするための最少セットアップタイムは  $T_{TTSU(MIN)}$  です。

$$\begin{aligned} T_{TTSU(MIN)} &= T_{CLK/2} - T_{CPD(MAX)} \\ &= 20.83ns - 9.2ns \\ &= 11.63ns \end{aligned}$$

$T_{CLK/2}$  は、24MHz で TCK\_CCLK が Low の時間を示し、 $T_{CPD(MAX)}$  は TDI\_DIN あるいは TMS\_PROG の最長の伝播遅延で、ケーブルの出力ステージで TCK\_CCLK に関係します。TCK\_CCLK 周波数を下げると、ターゲットのデータセットアップタイムが延長されます。

メモ： タイミング仕様は  $V_{REF} = 3.3V$  の場合に適用されます。 $V_{REF}$  を 3.3V 未満で使用する場合、ケーブルの出力バッファステージを介した伝播遅延が延長し、24MHz で動作しない可能性があります。

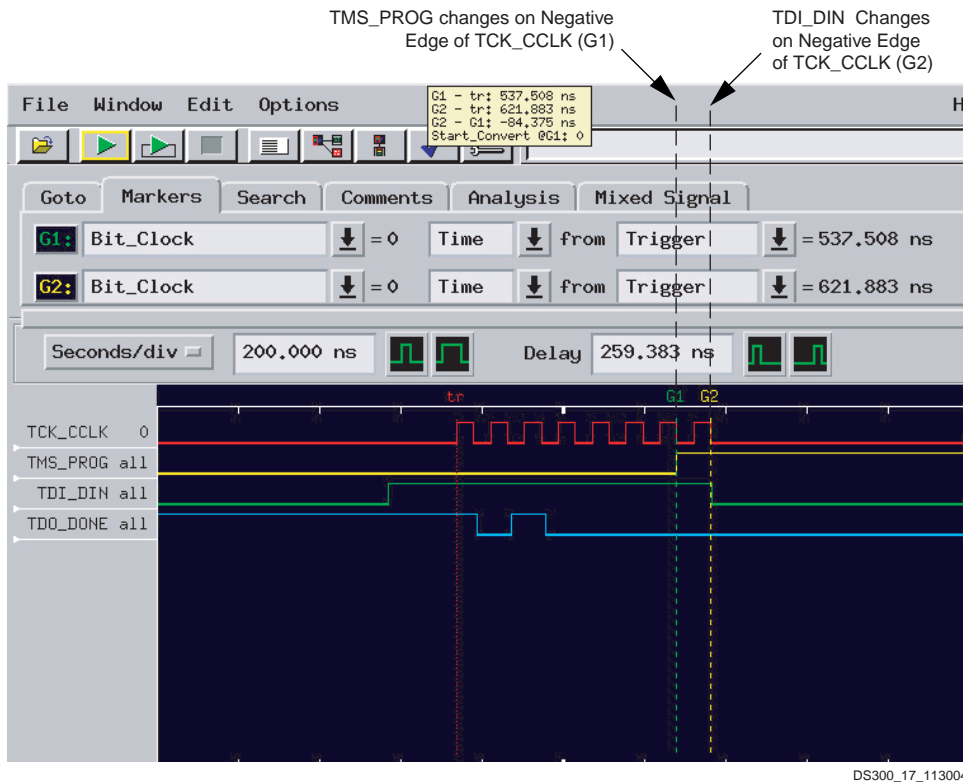


図 18： TCK\_CCLK に対する TDI\_DIN および TMS\_PROG のタイミング

## TDO のタイミング

バウンダリ スキャン モードで読み出しを実行中、TDO の半クロック サイクルごとに、ケーブルへ伝播するためのサンプリングのための十分な時間が必要です。図 19、9 ページの図 20 および 9 ページの図 21 に、TCK\_CCLK の周波数に 24MHz を選択した場合に発生する可能性のある問題を示します。プラットフォーム ケーブル USB の出力バッファでは、ケーブルとターゲットの間に 4ns の位相遅延が発生します。(9 ページの図 19 の CBL\_TCK から TCK\_CCLK の遅延のカーソル C1 および C2 を参照)

ターゲット デバイスには、TCK\_CCLK の立ち下がりエッジから TDO\_DONE のアサートまで、さまざまな伝播遅延があります。(図 20 の TCK\_CCLK から TDO\_DONE の遅延を参照)。例とし

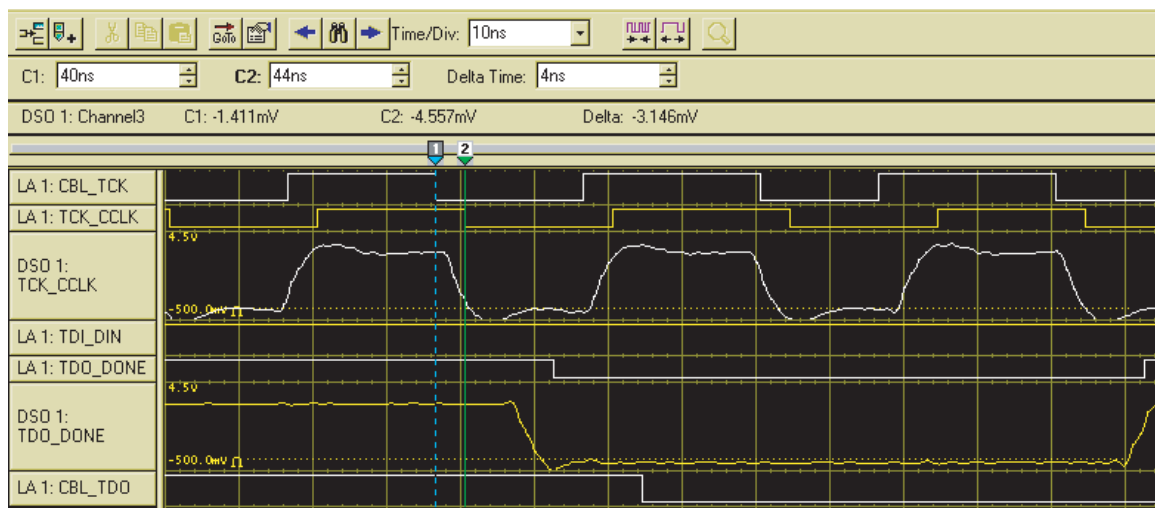
て、図 20 に XC2C256-VQ100 CPLD の 12ns の TDO の遅延を示します。

そして、プラットフォーム ケーブル USB の信号条件回路が、TDO\_DONE と信号をサンプリングするロジックの間に約 12ns 間、3 段階遅延が発生します。

メモ： (9 ページの図 21 の TDO\_DONE から CBL\_TDO の遅延を参照)。

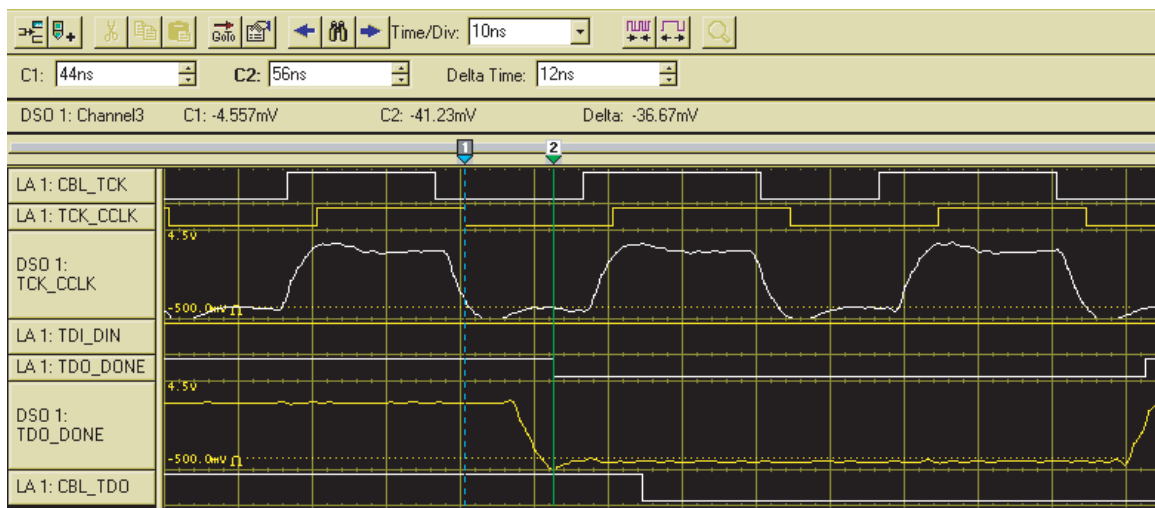
データは、CBL\_TCK の立ち上がりエッジの約 11ns 後にサンプリングされます。24MHz で正常に動作させるには、全体の伝播遅延に十分に注意を払う必要があります。セットアップのタイミング要件は、16 ページの図 29 を参照してください。





DS300\_18\_110204

図 19 : TCK\_CCLK (CBL\_TCK から TCK\_CCLK の遅延) に対する TDO\_DONE のタイミング



DS300\_19\_110204

図 20 : TCK\_CCLK (TCK\_CCLK から TDO\_DONE の遅延) に対する TDO\_DONE のタイミング



DS300\_20\_110204

図 21 : TCK\_CCLK (TDO\_DONE から CBL\_TDO の遅延) に対する TDO\_DONE のタイミング

## ターゲット リファレンス電圧の感知 ( $V_{REF}$ )

プラットフォーム ケーブル USB は、2mm リボン ケーブル コネクタの  $V_{REF}$  ピンの超過電圧のクランプが組み込まれています。クランプ電圧 ( $V_{REF\_A}$ ) は、3 つの出力信号をそれぞれ駆動する高スルーレートのバッファ (NC7SZ125) を供給します。 $V_{REF}$  の電圧は規定する必要があります。

メモ：ターゲットシステムの  $V_{REF}$  電流と 2mm コネクタの 2 ピンの間に電流を制限するレジスタを挿入しないでください。

電源の入ったターゲットシステムにリボン ケーブルあるいはフライングリードが接続されている場合、A-B ケーブルがホストに未接続であれば、プラットフォーム ケーブル USB には影響ありません。同様に、プラットフォーム ケーブル USB に電源が投入され、電源がオフの状態のターゲットシステムに接続されている場合は、そのシステムへの悪影響はありません。

出力信号のバッファ (TCK\_CCLK、TMS\_PROG、TDI\_DIN) は、 $V_{REF}$  が 1.40V を下回った場合には high-Z に設定してください。出力バッファの振幅は、 $1.40V \leq V_{REF} \leq 3.30V$  のとき、 $V_{REF}$  ピンの電圧変化を直線的にたどります。振幅は、 $3.30 \leq V_{REF} \leq 5.00V$  のとき、約 3.30V でクランプされます。

$V_{REF}$  電圧と出力信号の振幅の関係は、表 4 を参照してください。

表 4:  $V_{REF}$  の機能としての出力信号レベル

ターゲットシステム (VDC) の $V_{REF}$ 電圧	出力信号レベル (VDC)	ステータス LED の色
$0.00 \leq V_{REF} < 1.40$	High-Z	アンバー
$1.40 \leq V_{REF} < 3.30$	$V_{REF}$	緑
$3.30 \leq V_{REF} \leq 5.00$	$\cong 3.3$	緑

### メモ：

- 3 つの出カドライバ (TCK\_CCLK、TMS\_PROG、TDI\_DIN) それぞれの  $V_{REF\_A}$  に弱プルアップ抵抗があります。出力ドライバは、コンフィギュレーション時、およびプログラミング中のみアクティブで、動作間のドライバは、high-Z に設定されます。

ザイリンクス アプリケーションでは、それぞれのバッファを high-Z に設定する前に、出力をロジック 1 に駆動します。これにより、低速での立ち上がりを回避します。この問題は、ターゲットシステムの寄生キャパシタンスへの弱プルアップ抵抗を介したチャージパスによって発生する可能性があります。

## 出力ドライバのストラクチャ

プラットフォーム ケーブル USB は次の 3 つのターゲット信号、TCK\_CCLK、TMS\_PROG、TDI\_DIN を駆動します。これらの

各信号には、同じトポロジが使用されています。XC2C256 Coolrunner-II CPLD では出力信号が生成されます。

各信号は、外部の NC7SZ125 高速 CMOS バッファに配線されます (図 22 参照)。シリーズダンピング抵抗 (30W) が反射を抑えます。弱プルアップ抵抗 (20kW) は、バッファが high-Z に設定された場合に指定したロジックレベルを維持し、 $V_{REF\_A}$  を終端します。

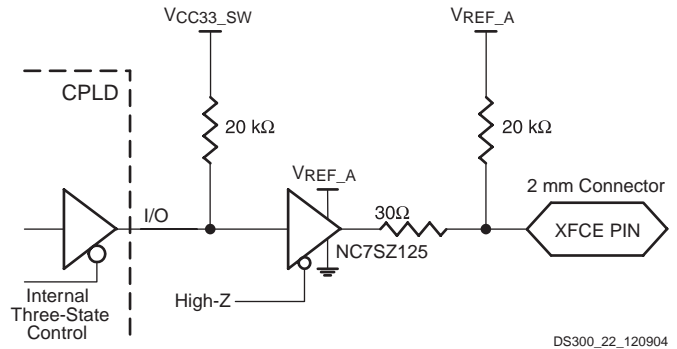


図 22: ターゲットインターフェイスドライバトポロジ

$V_{REF}$  機能としての  $V_{REF\_A}$  の予測値については、図 23 を参照してください。

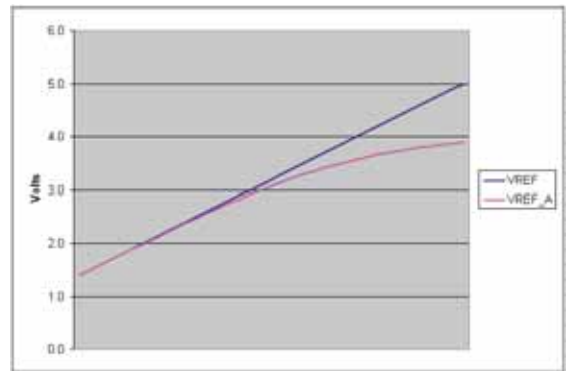


図 23:  $V_{REF}$  機能としての  $V_{REF\_A}$

## 入力レシーバのストラクチャ

TDO\_DONE の電圧コンパレータを保護するには、ショットキーダイオードを使用します (11 ページの図 24 参照)。実際は、プラットフォーム ケーブル USB は、ロジック 0 (ゼロ) を検知するため、電圧が  $V_{IL\ MAX}$  を下回るかを確認します。また、 $V_{REF\_A}$  を大幅に上回る電圧を許容します。これは、TDO から  $V_{REF}$  以

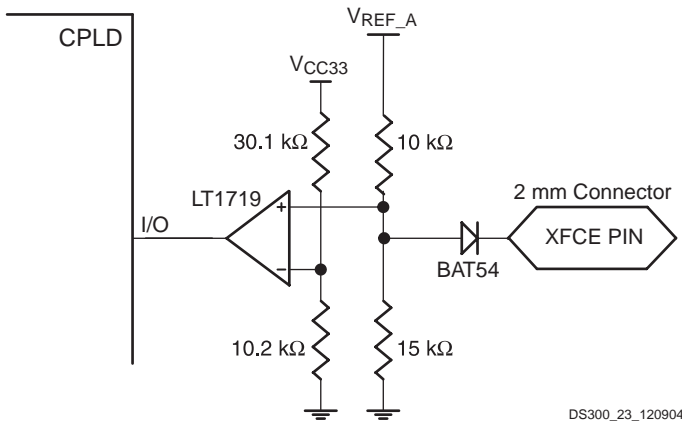


図 24： ターゲット インターフェイス レシーバ トポロジ

### シグナルインテグリティ

プラットフォーム ケーブル USB は、高スループット パッファを使用して TCK\_CCLK、TMS\_PROG、および TDI\_DIN を駆動します。各パッファには、30Ω のシリーズ終端抵抗があります。したがって、設計する場合には、伝送ラインの影響が及ばないように PCB レイアウトを十分考慮する必要があります。ザイリンクスのウェブサイト [シグナル インテグリティ](#) では、アプリケーション ノート [XAPP361](#)：『Planning for High Speed XC9500XV Designs』から、シグナル インテグリティ に対するサポートの詳細が参照できます。

ターゲット システムが、プログラマブルなデバイスを 1 つだけ有する場合は、ターゲット デバイス よりに 2mm コネクタを配置します。ターゲット システム上の 1 つのチェーンが複数のデバイスで構成されている場合には、TCK\_CCLK のパッファを考慮する必要があります。図 25 で示す規定に従って差動ドライバ/レシーバのペアを使用すると、信号の品質を大幅に高めることができます。ターゲット デバイスが大規模 PCB に配置されている場合には、パッファが不可欠です。

それぞれの差動ドライバおよびレシーバ、あるいはそのいずれかのペアは、約 5ns の伝播遅延の原因となります。ただし、12MHz 以下の低速クロックを使用する場合にはさほど重要な問題ではありません。

PCB トレースにブランチがなく、全体のトレース長が 4 インチ未満の場合には、各差動レシーバが複数のターゲット デバイスを駆動できます。その場合、複数の終端抵抗を、差動レシーバのシングルエンド出力に近接配置します。

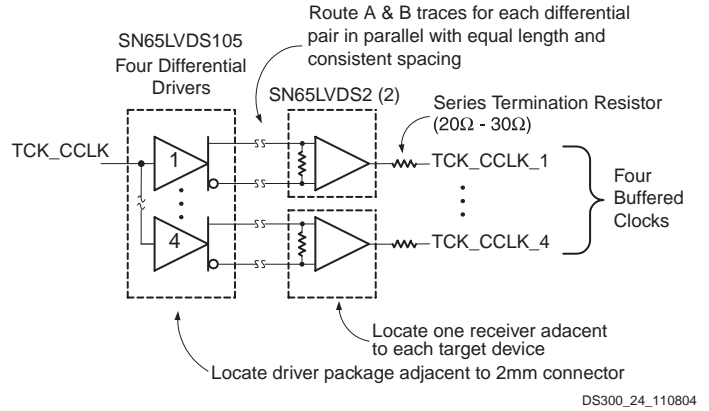


図 25： 差動クロックパッファの例

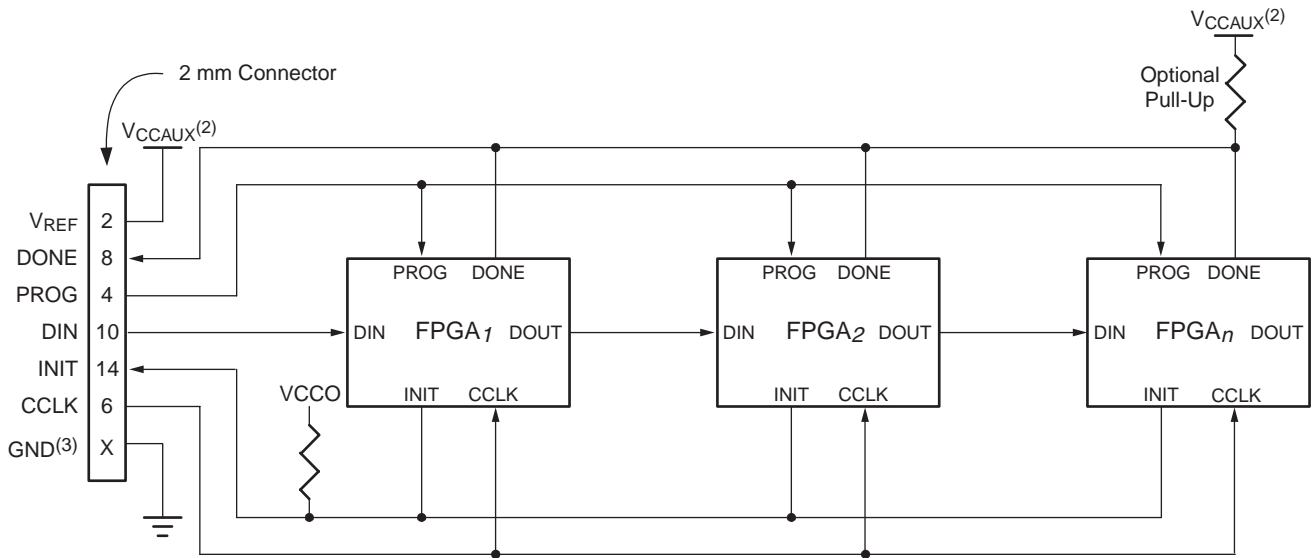
メモ： ターゲット システムが TCK\_CCLK のパッファを含み、24MHz クロック レートで動作する場合には、TMS\_PROG にも同様のパッファを使用することを推奨します。この結果、TCK\_CCLK/TMS\_PROG 間の位相関係が安定します。TDI\_DIN に対する負荷は必ず 1 つであるため、パッファは必要ありません。

### ターゲット システムの接続

ターゲット システムで JTAG あるいはスレーブ シリアル トポロジのいずれかを使用する場合には、複数のデバイスをカスケード接続できます。12 ページの図 26 に、スレーブ シリアル接続を、12 ページの図 27 に一般的な JTAG 接続を例示します。

FPGA の DONE ピンは、オープン ドレインあるいは有効なドライバとしてプログラムできます。カスケード接続したスレーブ シリアル トポロジでは、外部プルアップ抵抗を使用し、すべてのピンをオープン ドレインにプログラムする必要があります。

2mm コネクタを、ターゲット デバイスからかなり離して配置する場合には、少なくとも TCK\_CCLK にパッファが必要です。プラットフォーム ケーブル USB とターゲット デバイス間の論理的關係を図に示します。パッファや終端については、「シグナルインテグリティ」を参照してください。

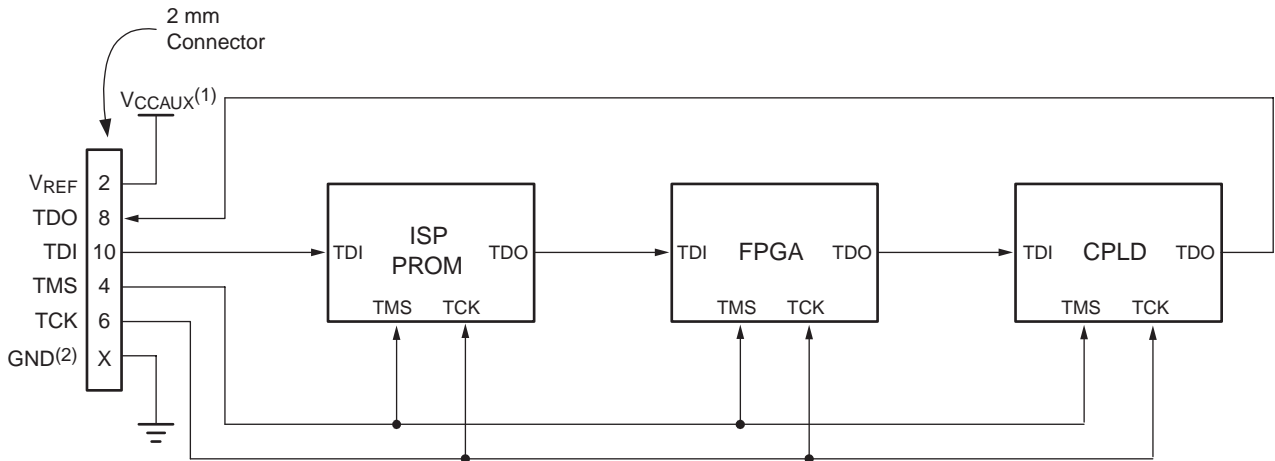


Notes:

1. Set Mode pins (M2-M0) on each FPGA to Slave-serial mode when using the USB cable, so that CCLK is treated as an input.
2. VCCAUX is 3.3V for Virtex-II, 2.5V for Spartan-3 and Virtex-II Pro. Virtex-4 serial configuration pins are on a dedicated VCC\_CONFIG (VCCO\_0), 2.5V supply. Other FPGA families do not have a separate VCCAUX supply.
3. Attach the following 2 mm connector pins to digital ground: 1, 3, 5, 7, 9, 11, 13.

DS300\_25\_031006

図 26 : カスケード接続したスレーブ シリアルトポロジの例



Notes:

1. Example implies that VCCO, VCCJ, VCC\_CONFIG and VCCAUX for various devices are set to the same voltage. See device data sheets for appropriate JTAG voltage-supply levels.
2. Attach the following 2 mm connector pins to digital ground: 1, 3, 5, 7, 9, 11, 13.

DS300\_26\_031006

図 27 : JTAG チェーン トポロジの例

## ハブの種類とケーブルの性能

プラットフォーム ケーブル USB に影響を与える重要なハブには、最大ポート電流と総帯域幅という 2 つの重要な仕様があります。

### 最大ポート電流

USB 2.0 ポートに接続し、ハイスピード モードで動作させるには、プラットフォーム ケーブル USB は約 230mA が必要です。ポートが 230mA を供給できない場合、プラットフォーム ケーブル USB はフルスピード モードで動作します。USB 1.1 ポートに接続時は、常にフルスピードで動作します。

### 総帯域幅

単一 USB 1.1 を使用したハイスピード デバイスの最大論理帯域幅は約 8Mb/s です。単一 USB 2.0 を使用したハイスピード デバイスの最大論理帯域幅は、56Mb/s です。ハブの帯域幅は接続されたすべてのデバイスで共有するため、実際の帯域幅は低めになります。

プラットフォーム ケーブル USB を 1.1 ハブに接続した場合は、コンフィギュレーション スピードが低下します。通信オーバーヘッドおよびプロトコルは、使用デバイスの総帯域幅の約 30% が上限となります。ハブ 1.1 を使用した最高のスループットは約 3.6Mb/s です (図 28 参照)。

外部のハブ 2.0 をルート ハブ 1.1 に接続する場合は、最速で動作します (図 28 B を参照)。USB を高速で動作させるには、プラットフォーム ケーブル USB をルート ハブ 2.0 に直接接続する場合、または、外部に自己電源を持つハブ 2.0 がルート ハブ 2.0 に接続されている場合にのみ保証されます (図 28 D および 図 28 E 参照)。

プラットフォーム ケーブル USB が外部のバス電源、ハブ 2.0 に接続されると、最速デバイスとして列挙される場合があります (図 28 C 参照)。バス電源ハブは接続されたデバイス全体に対し、合計 500mA 配電できます。バス電源ハブの個別ポートが 150mA 未満に制限される場合には、プラットフォーム ケーブル USB は列挙せず、また、ホストのソフトウェアアプリケーションで使用できなくなります。

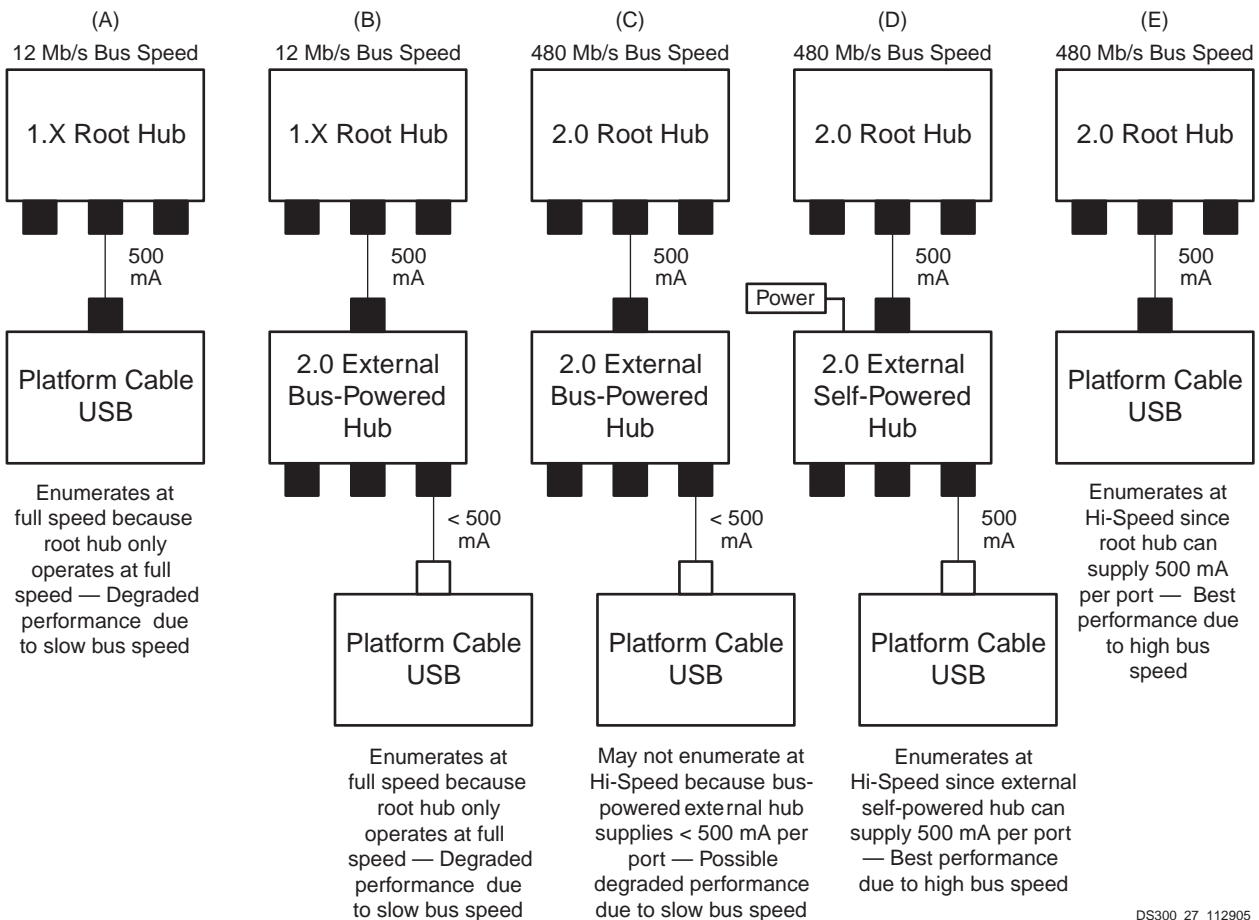


図 28: さまざまなハブを使用したプラットフォームケーブル USB のパフォーマンス

DS300\_27\_112905

## インターフェイス ピンの説明

表 5: SS/JTAG ポート: 14 ピンのリボン ケーブル コネクタ

リボンケーブル番号	スレーブシリアルコンフィギュレーションモード	JTAG コンフィギュレーションモード	タイプ	使用方法
2	V <sub>REF</sub>	V <sub>REF</sub>	入力	ターゲットの参照電圧。このピンは、JTAG あるいはスレーブシリアルインターフェイスをサポートするターゲットシステムの電圧バスに接続する。例えば、JTAG ポートを使用して Coolrunner-II デバイスをプログラムする場合、V <sub>REF</sub> はターゲットの VAUX バスに接続する。 <b>メモ:</b> 1. メモ: ターゲットの参照電圧は、指定する必要があり、シリーズの電流制限を V <sub>REF</sub> ピンと共に使用することはできない。
4	PROG	-	出力	コンフィギュレーションリセット。このピンは、ターゲット FPGA の強制的なリコンフィギュレーションに使用します。その場合、単一デバイスシステムではターゲット FPGA の PROG_B ピン、あるいはデイジーチェーンで並列にコンフィギュレーションされたすべての FPGA の PROG_B に接続する必要がある。
6	CCLK	-	出力	コンフィギュレーションクロック。スレーブシリアルモードでは、FPGA は CCLK サイクルごとに 1 コンフィギュレーションビットずつ読み込みます。その場合、単一デバイスコンフィギュレーションではターゲット FPGA の CCLK ピン、あるいはデイジーチェーンで並列にコンフィギュレーションされたすべての FPGA の CCLK ピンに接続する必要がある。
8	DONE	-	入力	コンフィギュレーション完了。このピンは、FPGA をターゲットとするプラットフォームケーブル USB が、全体のコンフィギュレーションビットストリームを受信したことを示し、デイジーチェーン構成の場合には、並列するすべての FPGA の Done ピンに接続。コンフィギュレーションプロセスが完了すると、Done ピンの立ち上がり遷移後に新たな CCLK サイクルが生成される。
10	DIN	-	出力	コンフィギュレーションデータ入力。ターゲット FPGA のシリアル入力データストリームで、単一デバイスシステムの場合はターゲット FPGA の DIN ピンに接続。または、デイジーチェーンで並列にコンフィギュレーションされたすべての FPGA の DIN ピンに接続。
12	N/C	N/C	-	予約済み。このピンは、ザイリンクスの検査用で、いずれのターゲット回路にも接続しない。
14	INIT	-	双方向	コンフィギュレーション。このピンは、コンフィギュレーションメモリの消去に使用。単一デバイスシステムではターゲット FPGA の INIT_B ピンに接続。あるいはデイジーチェーンでシリーズにコンフィギュレーションされたすべての FPGA の INIT_B に接続する。
4	-	TMS	出力	テストモード選択。JTAG モード信号で、ターゲット ISP デバイスの適切な TAP ステートへの遷移を表す。データストリームを共有するすべてのターゲット ISP デバイスの TMS に接続する。
6	-	TCK	出力	テストクロック。JTAG 用のクロック信号で、データストリームを共有するすべてのターゲット ISP デバイスの TCK ピンに接続する。
8	-	TDO	入力	テストデータ出力。JTAG チェーンの最後に接続されたデバイスの TDO ピンからシリアルデータストリーム出力。
10	-	TDI	出力	テストデータ入力。JTAG チェーンの最初に接続されたデバイスの TDI ピンからのシリアルデータストリーム入力。
1、3、5、7、9、11、13				デジタルグラウンド <sup>(1)</sup>

**メモ:**

- すべての奇数ピン (1、3、5、7、9、11、13) は、リボンケーブルのターゲットエンドのデジタルグラウンドに接続します。すべてのグラウンドを使用すると、クロストークを最低限に抑えられます。

## プラットフォーム ケーブル USB の動作特性

表 6: 絶対最大定格

シンボル	説明	条件	値	単位
$V_{Bus}$	USB ポート電源電圧		5.25	V
$V_{REF}$	ターゲットの参照電圧		6.00	V
$I_{REF}$	ターゲット電源電流	$V_{REF} = 5.25V$	110	mA
$T_A$	動作温度		70	°C
$I_{CC1}$	ダイナミック電流 <sup>1</sup>	$V_{BUS} = 5.25V; TCK = 24MHz$	230	mA
$I_{CC2}$	ダイナミック電流 <sup>2</sup>	$V_{BUS} = 5.25V; TCK = 6MHz$	98	mA
$I_{CCSU}$	サスペンド電流	$V_{BUS} = 5.25V$	350	mA
$I_{OUT}$	DC 出力電流 (TCK_CCLK, TMS_PROG, TDI_DIN, INIT)		±24	mA

**メモ:**

1. USB 2.0 ポートで高速で動作。
2. 低電力 USB ポート 1.1 で最速で動作。
3. デバイスを絶対最大定格の状態では長時間使用すると、製品の信頼性に影響を与える場合があります。ここに定める値はストレスの度合いのみを示すものであり、これらの定格値から推奨動作条件に記載する値までの範囲内における機能的動作を示すものではありません。

表 7: 推奨 DC 動作条件

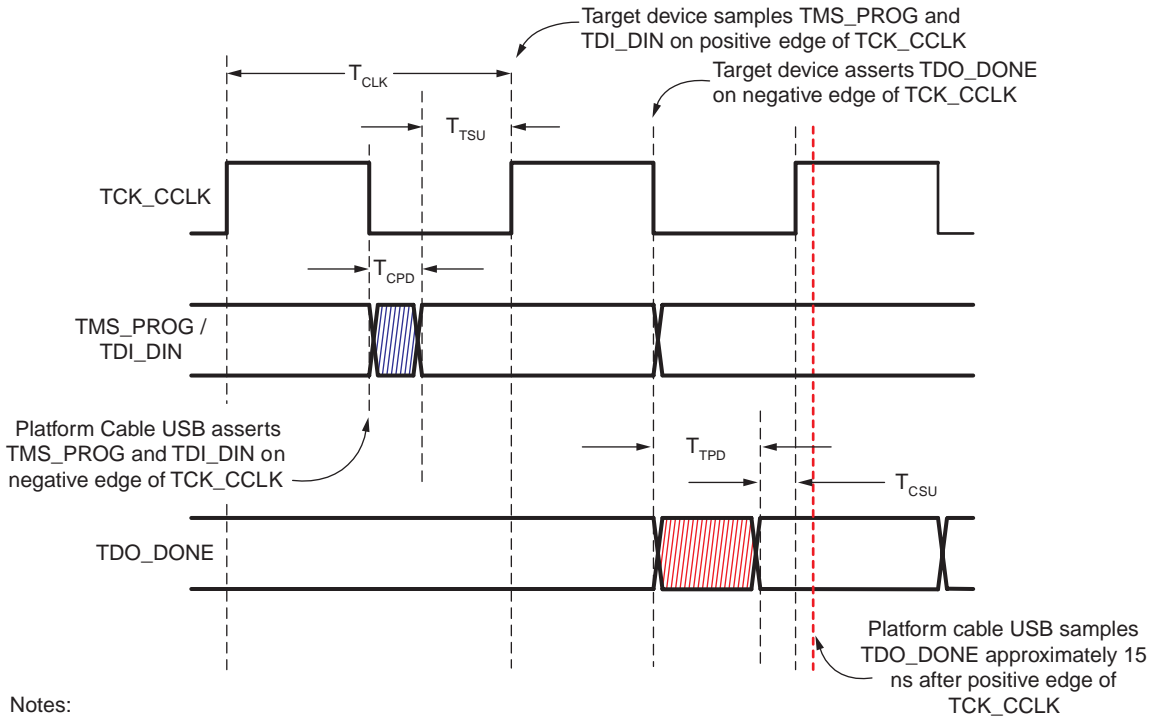
シンボル	説明	条件	最小	最大	単位
$V_{Bus}$	USB ポート電源電圧		4.00	5.25	V
$V_{REF}$	ターゲットの参照電圧		1.5	5.00	V
$I_{REF}$	ターゲット電源電流	$V_{REF} = 3.30V$	1	18	mA
$T_A$	動作温度		0	70	°C
$T_{SIG}$	ストレージ温度		-40	+85	°C
$V_{OH}$	高レベル出力電圧	$V_{REF} = 3.3V; I_{OH} = -8mA$	3.0		V
$V_{OL}$	低レベル出力電圧	$V_{REF} = 3.3V; I_{OH} = 8mA$		0.4	V
$V_{OH}$	高レベル出力電圧	$V_{REF} = 1.5V; I_{OH} = -8mA$	1.3		V
$V_{OL}$	低レベル出力電圧	$V_{REF} = 1.5V; I_{OH} = 8mA$		0.4	V
$V_{IH}$	高レベル入力電圧	$V_{REF} = 1.5V$	1.2		V
$V_{IL}$	低レベル入力電圧	$V_{REF} = 1.5V$		0.4	V

表 8: AC 動作特性

シンボル	説明	条件	最小	最大	単位
$T_{CLK}$	クロック周期	TCK_CCLK の周波数	750kHz	41.66	ns
			24MHz		1333
$T_{CPD}$	ケーブル伝播遅延時間 TCK_CCLK@24MHz の立ち下がりエッジに対する TDI_DIN (TMS_PROG)	ターゲットシステム $V_{REF}$	3.3V	9.2	ns
			2.5V	TBD	ns
			1.8V	TBD	ns
$T_{TSU}$	ターゲットセットアップタイム TCK_CCLK@24MHz の立ち上がりエッジに対する TDI_DIN (TMS_PROG)	ターゲットシステム $V_{REF}$	3.3V	11	ns
			2.5V	TBD	ns
			1.8V	TBD	ns
$T_{CSU}$	ケーブルセットアップタイム TCK_CCLK@24MHz の立ち上がりエッジに対する TDO_DONE	ターゲットシステム $V_{REF}$	3.3V	11	ns
			2.5V	TBD	ns
			1.8V	TBD	ns

表 8： AC 動作特性 ( 続き )

シンボル	説明	条件	最小	最大	単位
$T_{TPD}$	ターゲット伝播遅延時間 TCK_CCLK@24MHz の立ち下がりエッジに対する TDO_DONE	ターゲットシステム $V_{REF}$	3.3V	10	ns
			2.5V	TBD	ns
			1.8V	TBD	ns



Notes:

1. All times are in nanoseconds and are relative to the target system interface connector.
2.  $T_{TSU}$  Min is the minimum setup time guaranteed by Platform Cable USB relative to the positive edge of TCK\_CCLK
3.  $T_{CSU}$  Min is the minimum setup required by Platform Cable USB to properly sample TDO\_DONE
4. Propagation delays associated with buffers on the target system must be taken into account to satisfy the minimum setup times.

DS300\_28\_010506

図 29：プラットフォーム ケーブル USB タイミング図

### 米国連邦通信委員会 (FCC) 通知

この製品は検証済みであり、FCC 規制 Part 15 に規定された仕様のクラス A デジタル装置の条件に適合していることが確認されています。これらの制限は、商業環境で製品を使用した場合に、障害を防止する適切な保護を提供するように設計されています。この装置は、無線周波エネルギーを生成、使用、または放射する可能性があり、この製品のデータシートに記載された指示に従ってインストールおよび使用しなかった場合、受信障害が発生することがあります。この製品を住宅地で使用すると、支障をきたす場合があります。その際は、使用者の負担で干渉防止措置を講じる必要があります。

### インダストリ カナダ規制

この製品は、Canadian ICES-003 に準拠したクラス A デジタル機器です。

### 入手先情報

製品番号は HW-USB です。RoHS に準拠した製品をお求めの場合は HW-USB-G です。



## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2004/12/10	1.0	初版リリース
2006/03/14	1.1	<ul style="list-style-type: none"><li>7 ページの表 3 の追加。</li><li>図 26 および 12 ページの図 27 を修正し、更新。</li><li>その他、リビジョン等のマイナー変更。</li></ul>
2006/04/14	2.0	鉛フリー (RoHS 対応品) のプラットフォーム ケーブル USB の詳細をデータシートに追加。
2006/06/14	2.0.1	鉛フリーに用語を統一、およびマイナー変更。