

Virtex-4 電気特性

Virtex™-4 FPGA は、-12、-11、-10 のスピード グレードで入手可能であり、-12 スピード グレードのパフォーマンスが最も高くなっています。

Virtex-4 の DC 特性および AC 特性は、コマーシャル グレードとインダストリアル グレードの両方に対して指定されています。特記のない限り、動作温度範囲を除くすべての DC および AC パラメータ値は、スピード グレードで同一となります。(つまり、-10 スピード グレードのインダストリアル デバイスのタイミング特性は、そのスピード グレードのコマーシャル デバイスと同一です)。ただし、スピード グレードおよびデバイスによっては、インダストリアル デバイスで入手できない場合があります。

電源電圧およびジャンクション温度のすべての仕様は、ワーストケースを示します。ここに記載するパラメータは、頻繁に使用されるデザインおよび一般的なアプリケーションを考慮し、作成されたものです。

この Virtex-4 データシートは、Virtex-4 FPGA ファミリに関する一連の資料の 1 つであり、ザイリンクスのウェブサイトより入手できます。

- 『Virtex-4 ファミリ概要』 [DS112](#)
- 『Virtex-4 ユーザー ガイド』 [UG070](#)
- 『Virtex-4 コンフィギュレーション ガイド』 [UG071](#)
- 『XtremeDSP ユーザー ガイド』 [UG073](#)
- 『Virtex-4 パッケージおよびピン配置の仕様』 [UG075](#)
- 『PCB デザイナーズ ガイド』 [UG072](#)
- 『Virtex-4 RocketIO™ マルチギガビット トランシーバ ガイド』 [UG076](#)
- 『トライ モード イーサネット MAC ユーザー ガイド』 [UG074](#)
- 『PowerPC™ 405 プロセッサ ブロック リファレンス ガイド』 [UG018](#)

すべての仕様は通知なく変更される場合があります。

Virtex-4 DC 特性

表 1: 絶対最大定格

シンボル	説明		単位
V_{CCINT}	GND に対する内部電源電圧	-0.5 ~ 1.32	V
V_{CCAUX}	GND に対する補助電源電圧	-0.5 ~ 3.0	V
V_{CCO}	GND に対する出力ドライバ電源電圧	-0.5 ~ 3.75	V
V_{BATT}	キー メモリ用のバックアップ バッテリ電源電圧	-0.5 ~ 4.05	V
V_{REF}	入力参照電圧	-0.3 ~ 3.75	V
$V_{IN}^{(3)}$	GND に対する I/O 入力電圧 ⁽⁴⁾ (すべてのユーザー I/O および専用 I/O)	-0.75 ~ 4.05	V
	GND に対する I/O 入力電圧 ⁽⁴⁾ (最大 100 個のユーザー I/O に限定) ⁽⁵⁾	-0.95 ~ 4.4 (コマーシャル温度) -0.85 ~ 4.3 (インダストリアル温度)	V
V_{TS}	トライステートの 3.3V 出力への電圧 ⁽⁴⁾ (すべてのユーザー I/O および専用 I/O)	-0.75 ~ 4.05	V
	トライステートの 3.3V 出力への電圧 ⁽⁴⁾ (最大 100 個のユーザー I/O に限定) ⁽⁵⁾	-0.95 ~ 4.4 (コマーシャル温度) -0.85 ~ 4.3 (インダストリアル温度)	V

表 1: 絶対最大定格 (続き)

シンボル	説明		単位
AVCCAUXRX	受信側のアナログ グランド、GNDA に対する補助電源電圧 (RocketIO ピン)	-0.5 ~ 1.32	V
AVCCAUTX	送信側のアナログ グランド、GNDA に対する補助電源電圧 (RocketIO ピン)	-0.5 ~ 1.32	V
AVCCAUXMGT	管理用のアナログ グランド、GNDA に対する補助電源電圧 (RocketIO ピン)	-0.5 ~ 3.0	V
V _{TRX}	GND に対する受信終端電源電圧	-0.5 ~ 3.0	V
V _{TTX}	GND に対する送信終端電源電圧	-0.5 ~ 1.65	V
T _{STG}	ストレージ温度 (周囲)	-65 ~ 150	°C
T _{SOL}	最大はんだ付け温度 ⁽²⁾	+220	°C
T _J	最大ジャンクション温度 ⁽²⁾	+125	°C

メモ:

- 絶対最大定格を超えるストレスを与えることによって、デバイスに永久的な破損を与える場合があります。ここに定める値はストレスの度合いのみを示すものであり、これらの定格値から推奨動作条件に記載する値までの範囲内におけるデバイス機能動作を示すものではありません。また、デバイスを絶対最大定格に示す状態で長時間使用すると、デバイスの信頼性に影響を与える場合があります。
- はんだ付けのガイドラインおよび温度条件については、ザイリックスのウェブ サイトから『[Virtex-4 パッケージおよびピン配置の仕様](#)』を参照してください。
- 3.3V I/O の絶対最大定格の制限範囲は、DC 信号 (より厳しい仕様値) および 100 個以下の I/O に限定した場合の AC 信号に適用されます。(5) を参照してください。
- 3.3V I/O の動作については、『[Virtex-4 ユーザー ガイド](#)』第 6 章『[3.3V I/O デザイン ガイドライン](#)』表 6-38 を参照してください。
- 特定のデザインにおける柔軟性を高めるため、最大 100 個のユーザー I/O に対して、データ セル周期の 20% まで標準仕様を越えた仕様を適用できます。バンク制限はありません。

表 2: 推奨動作条件

シンボル	説明		最小	最大	単位
V _{CCINT}	GND に対する内部電源電圧、T _J = 0°C to +85°C	コマーシャル	1.14	1.26	V
	GND に対する内部電源電圧、T _J = -40°C to +100°C	インダストリアル	1.14	1.26	V
V _{CCAUX}	GND に対する補助電源電圧、T _J = 0°C to +85°C	コマーシャル	2.375	2.625	V
	GND に対する補助電源電圧、T _J = -40°C to +100°C	インダストリアル	2.375	2.625	V
V _{CCO} ^(1,3,4,5)	GND に対する電源電圧、T _J = 0°C to +85°C	コマーシャル	1.14	3.45	V
	GND に対する電源電圧、T _J = -40°C to +100°C	インダストリアル	1.14	3.45	V
V _{IN}	GND に対する 3.3V 電源電圧、T _J = 0°C to +85°C	コマーシャル	GND - 0.20	3.45	V
	GND に対する 3.3V 電源電圧、T _J = -40°C to +100°C	インダストリアル	GND - 0.20	3.45	V
	GND に対する 2.5V 以下の電源電圧、T _J = 0°C to +85°C	コマーシャル	GND - 0.20	V _{CCO} + 0.2	V
	GND に対する 2.5V 以下の電源電圧、T _J = -40°C to +100°C	インダストリアル	GND - 0.20	V _{CCO} + 0.2	V
V _{BATT} ⁽²⁾	GND に対するバッテリー電圧、T _J = 0°C to +85°C	コマーシャル	1.0	3.6	V
	GND に対するバッテリー電圧、T _J = -40°C to +100°C	インダストリアル	1.0	3.6	V
AVCCAUXRX ⁽⁶⁾	受信側の GNDA に対する補助電源電圧	コマーシャル	1.14	1.26	V
		インダストリアル	1.14	1.26	V

表 2: 推奨動作条件 (続き)

シンボル	説明		最小	最大	単位
AVCCAUXTX ⁽⁶⁾	送信側の GNDA に対する補助電源電圧	コマーシャル	1.14	1.26	V
		インダストリアル	1.14	1.26	V
AVCCAUXMGT	管理用の GNDA に対する補助電源電圧	コマーシャル	2.375	2.625	V
		インダストリアル	2.375	2.625	V
V _{TRX} ⁽⁷⁾	GND に対する受信終端電源電圧	コマーシャル	0	2.625	V
		インダストリアル	0	2.625	V
V _{TTX}	GND に対する送信終端電源電圧	コマーシャル	1.14	1.575	V
		インダストリアル	1.14	1.575	V

メモ:

- V_{CCO} が 0V まで下がった場合でも、コンフィギュレーション データは保持されます。
- V_{BATT} はビットストリームの暗号化を使用する場合にのみ必要です。バッテリーを使用しない場合、V_{BATT} をグラウンドまたは V_{CCAUX} に接続してください。
- 3.3V I/O の動作については、『Virtex-4 ユーザーガイド』を参照してください。
- 1.2V、1.5V、1.8V、2.5V、および 3.3V の V_{CCO} を含みます。
- コンフィギュレーション出力電源電圧、V_{CC_CONFIG} は V_{CCO_0} と記載される場合があります。
- 重要! すべての未使用 RocketIO トランシーバは、電源および GND に接続する必要があります。RocketIO トランシーバを使用する際には、『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザーガイド』の「パワー フィルタリング」を参照してください。また、未使用トランシーバへの電源供給には、適切な電源レベルのソースを使用してください。受動フィルタは、『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザーガイド』に記載されている要件を満たす必要があります。
- 内部 AC カップリングが有効です。

表 3: 推奨動作条件下での DC 特性

シンボル	説明	データ レート	最小	標準	最大	単位
V _{DRINT}	データを保持するための V _{CCINT} 電圧 (この電圧未満では、コンフィギュレーション データが失われる可能性があります)		0.9			V
V _{DRI}	データを保持するための V _{CCAUX} 電圧 (この電圧未満では、コンフィギュレーション データが失われる可能性があります)		2.0			V
I _{REF}	各ピンの V _{REF} 電流				10	μA
I _L	各ピンの入力または出力リーク電流 (サンプル テスト)				10	μA
C _{IN}	入力キャパシタンス (サンプル テスト)				10	pF
I _{RPU} ⁽¹⁾	V _{IN} = 0V、V _{CCO} = 3.3V の場合のパッド プルアップ (選択した場合)		5		200	μA
	V _{IN} = 0V、V _{CCO} = 3.0V の場合のパッド プルアップ (選択した場合)		5		125	μA
	V _{IN} = 0V、V _{CCO} = 2.5V の場合のパッド プルアップ (選択した場合)		5		120	μA
	V _{IN} = 0V、V _{CCO} = 1.8V の場合のパッド プルアップ (選択した場合)		5		60	μA
	V _{IN} = 0V、V _{CCO} = 1.5V の場合のパッド プルアップ (選択した場合)		5		40	μA

表 3: 推奨動作条件下での DC 特性 (続き)

シンボル	説明	データ レート	最小	標準	最大	単位
$I_{RPD}^{(1)}$	$V_{IN} = V_{CCO}$ の場合のパッド プルダウン (選択した場合)		5		100	μA
$I_{BATT}^{(1)}$	バッテリー電源の電流			75		nA
$I_{CCAUXRX}^{(2)}$	動作中の AVCCAUXRX 電源の電流	6.5		292	427	mA
		5.0		TBD	TBD	mA
		4.2		TBD	TBD	mA
		3.125		279	382	mA
		1.25/2.5		263	351	mA
		1.25 デジタルRX		314	432	mA
$I_{CCAUXTX}^{(2)}$	動作中の AVCCAUXTX 電源の電流	6.5		170	339	mA
		5.0		TBD	TBD	mA
		4.2		TBD	TBD	mA
		3.125		165	307	mA
		/2.5		157	298	mA
		1.25		151	295	mA
$I_{CCAUXMGT}^{(2)}$	動作中の AVCCAUXMGT 電源の電流			3	5	mA
$I_{TTX}^{(2)}$	トランスミッタが AC カップルされている、または $V_{TTX} = V_{TRX}$ の条件で動作中の I_{TTX} 電流			100	210	mA
$I_{TRX}^{(2)(3)}$	レシーバが AC カップルされている、または $V_{TTX} = V_{TRX}$ の条件で動作中の I_{TRX} 電流			12	24	mA
n	温度ダイオードの理想係数			1.02		n
P_{CPU}	PowerPC 405 プロセッサ ブロックの消費電力			0.45		mW/ MHz
r	シリーズ抵抗			2		Ω

メモ:

- 標準値は、標準電圧および 25 の条件で指定されています。
- I_{CC} 値は、デフォルト設定で動作している両 MGT デバイスのタイルごとに計測された値です。
- AC/DC カップリングにより異なります。

表 4: 静止電流

シンボル	説明	デバイス	標準 ⁽¹⁾	最大	単位
I _{CCINTQ}	V _{CCINT} 静止電流	XC4VLX15	46		mA
		XC4VLX25	77		mA
		XC4VLX40	121		mA
		XC4VLX60	167		mA
		XC4VLX80	220		mA
		XC4VLX100	292		mA
		XC4VLX160	384		mA
		XC4VLX200	489		mA
		XC4VSX25	94		mA
		XC4VSX35	140		mA
		XC4VSX55	271		mA
		XC4VFX12	47		mA
		XC4VFX20	71		mA
		XC4VFX40	139		mA
		XC4VFX60	203		mA
		XC4VFX100	311		mA
XC4VFX140	442		mA		
I _{CCOQ}	V _{CCO} 静止電流	XC4VLX15	1.25		mA
		XC4VLX25	1.25		mA
		XC4VLX40	1.25		mA
		XC4VLX60	1.5		mA
		XC4VLX80	1.5		mA
		XC4VLX100	1.75		mA
		XC4VLX160	2.5		mA
		XC4VLX200	2.5		mA
		XC4VSX25	1.25		mA
		XC4VSX35	1.25		mA
		XC4VSX55	1.5		mA
		XC4VFX12	1.25		mA
		XC4VFX20	1.25		mA
		XC4VFX40	1.25		mA
		XC4VFX60	1.5		mA
		XC4VFX100	1.75		mA
XC4VFX140	2.5		mA		

表 4: 静止電流 (続き)

シンボル	説明	デバイス	標準 ⁽¹⁾	最大	単位
I_{CCAUXQ}	V_{CCAUX} 静止電流	XC4VLX15	31		mA
		XC4VLX25	36		mA
		XC4VLX40	43		mA
		XC4VLX60	74		mA
		XC4VLX80	83		mA
		XC4VLX100	95		mA
		XC4VLX160	133		mA
		XC4VLX200	150		mA
		XC4VSX25	62		mA
		XC4VSX35	70		mA
		XC4VSX55	91		mA
		XC4VFX12	31		mA
		XC4VFX20	35		mA
		XC4VFX40	69		mA
		XC4VFX60	80		mA
XC4VFX100	98		mA		
XC4VFX140	143		mA		
$I_{CCAUXRX}^{(4)}$	$V_{CCAUXRX}$ 静止電流	XC4VFX20	25	154	mA
		XC4VFX60	35	154	mA
		XC4VFX100	50	154	mA
$I_{CCAUTX}^{(4)}$	V_{CCAUTX} 静止電流	XC4VFX20	10	44	mA
		XC4VFX60	15	44	mA
		XC4VFX100	20	44	mA
$I_{TTX}^{(4)(5)}$	V_{TTX} 静止電流	XC4VFX20	1	2	mA
		XC4VFX60	1	2	mA
		XC4VFX100	1	2	mA
$I_{TRX}^{(4)(5)}$	V_{TRX} 静止電流	XC4VFX20	1	2	mA
		XC4VFX60	1	2	mA
		XC4VFX100	1	2	mA

表 4: 静止電流 (続き)

シンボル	説明	デバイス	標準 ⁽¹⁾	最大	単位
$I_{AUXMGT}^{(4)}$	V_{AUXMGT} 静止電流	XC4VFX20	1	2	mA
		XC4VFX60	1	2	mA
		XC4VFX100	1	2	mA

メモ:

- 標準値は、標準電圧および 25 の条件で指定されています。
- これらの値は、「ブランク」のコンフィギュレーション ファイルを使用したデバイスにおけるものであり、出力電流のロード、アクティブな入力プルアップ抵抗はありません。また、すべての I/O ピンはトライステートおよびフローティング状態です。
- DCI または差動信号規格を使用する場合、Power Estimator あるいは XPOWER™ ツールを使用し、静止電流のより正確な概算ができます。
- 電源投入後、コンフィギュレーション前のダイ全体の値です。
- 未接続です (チャンネルが電圧にドライブされている場合)。

電源投入時の電流条件

ザイリンクス FPGA には、デバイスを適切に初期化するため、電源投入時に必要な電流条件があります。実際の消費電流は、電源の立ち上がり時間によって決定されます。

電源投入に指定された順序はありません。ただし、表 5 に示す仕様を満たすには、 V_{CCINT} 、 V_{CCAUX} 、 V_{CCO} の推奨シーケンスで投入する必要があります。ザイリンクスでは、このように投入しない場合の仕様を定めていません。

表 5 に、Virtex-4 デバイスで適切に電源投入およびコンフィギュレーションを行うために最低限必要な電流値を示します。

表 5 に示す最小電流を満たすと、3 つの電源すべてがパワー オンリセットしきい値電圧を越えた後に、デバイスに適切な電源投入がされたことになります。

初期化およびコンフィギュレーション後に、XPOWER™ ツールを使用し、これらの電源のドレイン電流を概算してください。

表 5 : Virtex-4 デバイスの電源投入時の電流

デバイス	$I_{CCINTMIN}$		$I_{CCAUXMIN}$		I_{CCOMIN}		単位
	標準 (1)	最大 (2)	標準 (1)	最大 (2)	標準 (1)	最大 (2)	
XC4VLX15	110	750	60	100	50	75	mA
XC4VLX25	160	1350	85	125	75	100	mA
XC4VLX40	250	1500	110	150	75	105	mA
XC4VLX60	300	1925	225	300	150	250	mA
XC4VLX80	400	2550	280	350	150	275	mA
XC4VLX100	500	3200	335	425	200	300	mA
XC4VLX160	700	3700	500	600	250	400	mA
XC4VLX200	850	3850	500	600	250	400	mA
XC4VSX25	175	725	110	150	75	105	mA
XC4VSX35	250	1350	165	200	100	150	mA
XC4VSX55	400	2225	225	300	150	225	mA
XC4VFX12	111		56				mA
XC4VFX20	151		56				mA
XC4VFX40	244		167				mA
XC4VFX60	339		222				mA
XC4VFX100	511		278				mA
XC4VFX140	702		500				mA

メモ :

1. 標準値は、標準電圧および 25 °C の条件で指定されています。
2. 最大値は、ワーストケースのプロセス、電圧、および温度条件で指定されています。

表 6 : 電源の立ち上がり時間

シンボル	説明	立ち上がり時間	単位
V_{CCINT}	GND に対する内部電源電圧	0.20 ~ 50.0	ms
V_{CCO}	GND に対する出力ドライバ電源電圧	0.20 ~ 50.0	ms
V_{CCAUX}	GND に対する補助電源電圧	0.20 ~ 50.0	ms

SelectIO™ DC 入力および出力レベル

V_{IL} および V_{IH} の値は、推奨入力電圧値です。 I_{OL} と I_{OH} の値は、 V_{OL} および V_{OH} テストポイントにおける推奨動作条件で保証されています。テストは、一部の規格でのみ実施しました。これらは、すべての規格が仕様を満たすように選択されたものであり、

最小 V_{CCO} およびそれぞれの V_{OL} と V_{OH} 電圧レベルでテストされています。その他の規格に対しては、サンプルテストを実施しています。

表 7: Select IO DC 入力および出力レベル

IOSTANDARD 属性	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
LVTTL	-0.2	0.8	2.0	3.45	0.4	2.4	×モ(3)	×モ(3)
LVC MOS33	-0.2	0.8	2.0	3.45	0.4	$V_{CCO} - 0.4$	×モ(3)	×モ(3)
LVC MOS25	-0.3	0.7	1.7	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	×モ(3)	×モ(3)
LVC MOS18	-0.3	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.45$	×モ(4)	×モ(4)
LVC MOS15	-0.3	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.45$	×モ(4)	×モ(4)
PCI33_3 ⁽⁵⁾	-0.2	30% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	1.5	-0.5
PCI66_3 ⁽⁵⁾	-0.2	30% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	1.5	-0.5
PCI-X ⁽⁵⁾	-0.2	35% V_{CCO}	50% V_{CCO}	V_{CCO}	10% V_{CCO}	90% V_{CCO}	1.5	-0.5
GTLP	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	-	0.6	N/A	36	N/A
GTL	-0.3	$V_{REF} - 0.05$	$V_{REF} + 0.05$	-	0.4	N/A	32	N/A
HSTL I ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	8	-8
HSTL II ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	16	-16
HSTL III ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	24	-8
HSTL IV ⁽²⁾	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	48	-8
DIFF HSTL II ⁽²⁾	-0.3	50% $V_{CCO} - 0.1$	50% $V_{CCO} + 0.1$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	-	-
SSTL2 I	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCO} + 0.3$	$V_{TT} - 0.61$	$V_{TT} + 0.61$	8.1	-8.1
SSTL2 II	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCO} + 0.3$	$V_{TT} - 0.81$	$V_{TT} + 0.81$	16.2	-16.2
DIFF SSTL2 II	-0.3	50% $V_{CCO} - 0.15$	50% $V_{CCO} + 0.15$	$V_{CCO} + 0.3$	0.5	$V_{CCO} - 0.5$	-	-
SSTL18 I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.3$	$V_{TT} - 0.47$	$V_{TT} + 0.47$	6.7	-6.7
SSTL18 II	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.3$	$V_{TT} - 0.60$	$V_{TT} + 0.60$	13.4	-13.4
DIFF SSTL18 II	-0.3	50% $V_{CCO} - 0.125$	50% $V_{CCO} + 0.125$	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$	-	-

メモ:

- 適切な仕様に基づいてテストを実施しています。
- 1.5V HSTL および 1.8V HSTL の両方に適用されます。
- 2、4、6、8、12、16、または 24mA の駆動能力を使用しています。
- 2、4、6、8、12、または 16mA の駆動能力を使用しています。
- PCI33_3、PCI66_3、および PCIX に関する詳細は、『Virtex-4 ユーザーガイド』の第 6 章「SelectIO リソース」を参照してください。

LDT DC 仕様 (LDT_25)

表 8 : LDT DC 仕様

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{CC0}	電源電圧		2.38	2.5	2.63	V
V_{OD}	差動出力電圧 ^(1, 2)	Q および \bar{Q} 信号間の $R_T = 100\Omega$	495	600	715	mV
ΔV_{OD}	V_{OD} の変化分		-15		15	mV
V_{OCM}	出力同相電圧	Q および \bar{Q} 信号間の $R_T = 100\Omega$	495	600	715	mV
ΔV_{OCM}	V_{OCM} の変化分		-15		15	mV
V_{ID}	入力差動電圧		200	600	1000	mV
ΔV_{ID}	V_{ID} の変化分		-15		15	mV
V_{ICM}	入力同相電圧		440	600	780	mV
ΔV_{ICM}	V_{ICM} の変化分		-15		15	mV

メモ :

1. 最大入力電圧は $V_{CC0} + 0.2V$ 以下であることを推奨します。
2. 最小入力電圧は $-0.5V$ 以上であることを推奨します。

LVDS DC 仕様 (LVDS_25)

表 9 : LVDS DC 仕様

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{CC0}	電源電圧		2.38	2.5	2.63	V
V_{OH}	Q および \bar{Q} の最大出力電圧	Q および \bar{Q} 信号間の $R_T = 100\Omega$			1.602	V
V_{OL}	Q および \bar{Q} の最小出力電圧	Q および \bar{Q} 信号間の $R_T = 100\Omega$	0.898			V
V_{ODIFF}	差動出力電圧 ^(1, 2) ($Q - \bar{Q}$), Q = High ($Q - \bar{Q}$), \bar{Q} = High	Q および \bar{Q} 信号間の $R_T = 100\Omega$	247	350	454	mV
V_{OCM}	出力同相電圧	Q および \bar{Q} 信号間の $R_T = 100\Omega$	1.125	1.250	1.375	V
V_{IDIFF}	差動入力電圧 ($Q - \bar{Q}$), Q = High ($\bar{Q} - Q$), \bar{Q} = High		100	350	600	mV
V_{ICM}	入力同相電圧		0.3	1.2	2.2	V

メモ :

1. 最大入力電圧は $V_{CC0} + 0.2V$ 以下であることを推奨します。
2. 最小入力電圧は $-0.5V$ 以上であることを推奨します。

Extended LVDS DC 仕様 (LVDSEXT_25)

表 10 : Extended LVDS DC 仕様

シンボル	DC パラメータ	条件	最小	標準	最大	単位
V_{CC0}	電源電圧		2.38	2.5	2.63	V
V_{OH}	Q および \bar{Q} の最大出力電圧	Q および \bar{Q} 信号間の $R_T = 100\Omega$	–	–	1.785	V
V_{OL}	Q および \bar{Q} の最小出力電圧	Q および \bar{Q} 信号間の $R_T = 100\Omega$	0.715	–	–	V
V_{ODIFF}	差動出力電圧 (Q – \bar{Q}), Q = High (Q – Q), \bar{Q} = High	Q および \bar{Q} 信号間の $R_T = 100\Omega$	440	–	820	mV
V_{OCM}	出力同相電圧	Q および \bar{Q} 信号間の $R_T = 100\Omega$	1.125	1.250	1.375	V
V_{IDIFF}	差動入力電圧 ^(1, 2) (Q – \bar{Q}), Q = High (Q – Q), \bar{Q} = High	入力同相電圧 = 1.25V	100	–	1000	mV
V_{ICM}	入力同相電圧	差動入力電圧 = $\pm 350\text{mV}$	0.3	1.2	2.2	V

メモ :

- 最大入力電圧は $V_{CC0} + 0.2\text{V}$ 以下であることを推奨します。
- 最小入力電圧は -0.5V 以上であることを推奨します。

LVPECL DC 仕様 (LVPECL_25)

これらの値は、2つのレシーバピン間の 100Ω 抵抗のみを用いた、すなわち 100Ω 差動負荷を駆動する場合にのみ有効です。 V_{OH} レベルは、標準 LVPECL レベルより 200mV 低く、同相電圧範囲がより低いデバイスと互換性があります。

表 11 に、LVPECL の DC 出力仕様の概要を示します。LVPECL の詳細は、『Virtex-4 ユーザーガイド』の第 6 章「SelectIO リソース」を参照してください。

表 11 : LVPECL DC 仕様

シンボル	DC パラメータ	最小	標準	最大	単位
V_{OH}	最大出力電圧	$V_{CC} - 1.025$	1.545	$V_{CC} - 0.88$	V
V_{OL}	最小出力電圧	$V_{CC} - 1.81$	0.795	$V_{CC} - 1.62$	V
V_{ICM}	入力同相電圧	0.6		2.2	V
V_{IDIFF}	差動入力電圧 ^(1, 2)	0.100		1.5	V

メモ :

- 最大入力電圧は $V_{CC0} + 0.2\text{V}$ 以下であることを推奨します。
- 最小入力電圧は -0.5V 以上であることを推奨します。

RocketIO DC 入力および出力レベル

表 12 に、Virtex-4 RocketIO マルチギガビット シリアル トランシーバの DC 入力および出力の仕様を示します。また、[図 1](#) にシングル エンド出力の電圧幅を示し、[図 2](#) に Peak-to-Peak 差動出

力電圧を示します。詳細は、『[Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド](#)』を参照してください。

表 12 : RocketIO DC 仕様

DC パラメータ	シンボル	条件	最小	標準	最大	単位
Peak-to-Peak 差動入力電圧	DV_{IN}	内部で AC カップルされている	200		2400	mV
シングル エンド入力範囲	SE_{VIN}	内部で AC カップルされている	0		V_{TRX}	mV
入力同相電圧範囲	V_{ICM}	内部で AC カップルされている	100		$V_{TRX} - 100$	mV
		内部の AC カップリングをバイパス ⁽¹⁾		800		mV
シングル エンド出力電圧幅 ⁽²⁾⁽³⁾	V_{OUT}		450		725	mV
出力同相電圧範囲 ⁽³⁾	V_{TCM}			1000		
Peak-to-Peak 差動出力電圧 ⁽²⁾⁽³⁾	DV_{PPOUT}		900	1050	1400	mV
信号検出のしきい値	$RX_{OOB_{VDPP}}$	RX		TBD		mV
電氣的アイドルの振幅	$TX_{OOB_{VDPP}}$	TX		65		mV
RocketIO MGT クロック DC 入力レベル						
Peak-to-Peak 差動入力電圧	V_{IDIFF}	$ V_{MGTCLKP} - V_{MGTCKLN} $	100	600	1000	mV
差動入力抵抗	R_{IN}		71	105	124	Ω

メモ :

1. 内部で AC カップルされている V_{ICM} をバイパスする場合、最大 V_{TRX} は 1.26V です。 V_{TRX} は $AVCCAUXRX$ 以下である必要があります。
2. 出力幅およびプリエンファシス レベルは、第 4 章に記載する属性を使用して選択されます。詳細は、『[Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド](#)』の「PMA アナログ考察」を参照してください。
3. V_{TTX} は $1.5 \pm 5\%$ です。DAC 値が修正されている場合、許容度が異なる場合があります。

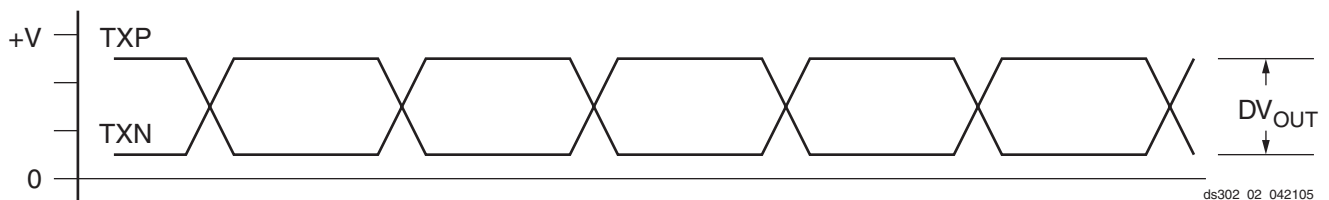


図 1 : シングルエンド出力電圧幅

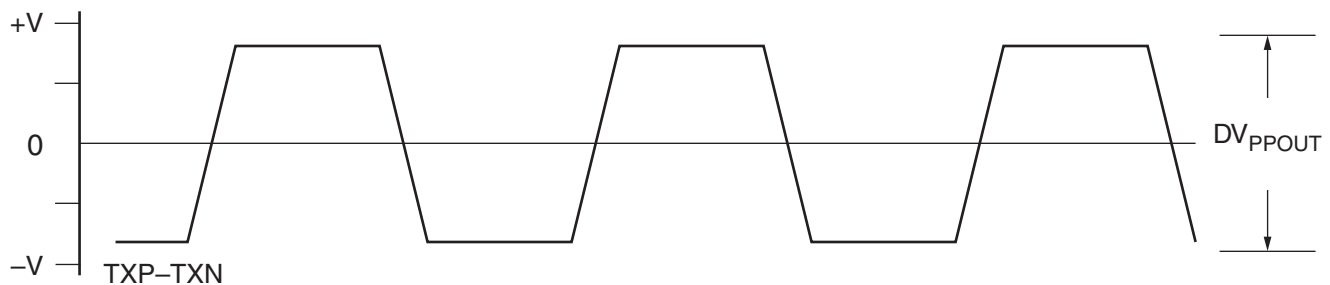


図 2 : Peak-to-Peak 差動出力電圧

パフォーマンス特性

ここでは、Virtex-4 デバイスにインプリメントされた一般的なファンクションおよびデザインのパフォーマンス特性を示します。ここに示す値は、ワーストケース値であり、完全に特性評価が行われています。また、これらの値は 16 ページの「スイッチ特性」に記載されているガイドラインに従ったものです。

表 13 に、IOB 遅延を含む Pin-to-Pin 値、つまりデバイスの入力ピンから出力ピンまでの遅延を示します。入力および出力が複数ある場合には、ワーストケース遅延が記載されています。

表 13 : Pin-to-Pin パフォーマンス

説明	デバイスおよびスピード グレード	Pin-to-Pin (I/O 遅延を含む)	単位
基本ファンクション			
16 ビット アドレス デコーダ			ns
32 ビット アドレス デコーダ			ns
64 ビット アドレス デコーダ			ns
4:1 マルチプレクサ			ns
8:1 マルチプレクサ			ns
16:1 マルチプレクサ			ns
32:1 マルチプレクサ			ns
組み合わせ (Pad to LUT to Pad)			ns
メモリ			
ブロック RAM			
Pad to Setup			ns
Clock to Pad			ns
分散 RAM			
Pad to Setup			ns
Clock to Pad		(クロック スキューなし)	ns

表 14 に、内部 (Register-to-Register) パフォーマンスを示します。

表 14 : Register-to-Register パフォーマンス

説明	デバイスおよび スピード グレード	Register-to-Register パフォーマンス	単位
基本ファンクション			
16 ビット アドレス デコーダ			MHz
32 ビット アドレス デコーダ			MHz
64 ビット アドレス デコーダ			MHz
4:1 マルチプレクサ			MHz
8:1 マルチプレクサ			MHz
16:1 マルチプレクサ			MHz
32:1 マルチプレクサ			MHz
Register to LUT to Register			MHz
8 ビット 加算器			MHz
16 ビット 加算器			MHz
32 ビット 加算器			MHz
64 ビット 加算器			MHz
128 ビット 加算器			MHz
24 ビット カウンタ			MHz
48 ビット カウンタ			MHz
64 ビット カウンタ			MHz
48 ビット アキュムレータ			MHz
18 X 18 乗算器 (ブロック RAM 入力を使用)			MHz
8 X 18 乗算器 (レジスタ入力を使用)			MHz
メモリ			
カスケード接続したブロック RAM (32K)			
パイプライン化されていないブロック RAM			
シングルポート 4096 x 4 ビット			MHz
シングルポート 2048 x 9 ビット			MHz
シングルポート 1024 x 18 ビット			MHz
シングルポート 512 x 36 ビット			MHz
デュアルポート : A : 4096 x 4 ビットと B : 1024 x 18 ビット			MHz
デュアルポート : A : 1024 x 18 ビットと B : 1024 x 18 ビット			MHz
デュアルポート : A : 2048 x 9 ビットと B : 512 x 36 ビット			MHz
パイプライン化されたブロック RAM			
シングルポート 4096 x 4 ビット			MHz
シングルポート 2048 x 9 ビット			MHz
シングルポート 1024 x 18 ビット			MHz

表 14 : Register-to-Register パフォーマンス (続き)

説明	デバイスおよび スピード グレード	Register-to-Register パフォーマンス	単位
シングルポート 512 x 36 ビット			MHz
デュアルポート : A : 4096 x 4 ビットと B : 1024 x 18 ビット			MHz
デュアルポート : A : 1024 x 18 ビットと B : 1024 x 18 ビット			MHz
デュアルポート : A : 2048 x 9 ビットと B : 512 x 36 ビット			MHz
分散 RAM			
シングルポート 16 x 8 ビット			MHz
シングルポート 32 x 8 ビット			MHz
シングルポート 64 x 8 ビット			MHz
デュアルポート 16 x 8			MHz
シフトレジスタチェーン			
16 ビット		N/A	MHz
32 ビット		N/A	MHz
64 ビット		N/A	MHz
128 ビット		N/A	MHz
256 ビット		N/A	MHz
専用演算ロジック			
DSP48 48 ビット アキュムレータ			MHz
48 ビット カウンタ			MHz
DSP48 8 ビット加算器			MHz
DSP48 16 ビット加算器			MHz
DSP48 32 ビット加算器			MHz
DSP48 48 ビット/36 ビット加算器			MHz
パイプライン化された乗算器ブロック			MHz
パイプライン化された DSP48 ベースの 18 X 18 乗算器			MHz
パイプライン化された DSP48 ベースの 35 X 35 乗算器			MHz
パイプライン化された DSP48 直接型 4 タップ FIR フィルタ			MHz
パイプライン化されたシストリック N タップ フィルタ			MHz
パイプライン化された DSP48 MACC			MHz

表 15 : インターフェイスのパフォーマンス

説明	スピード グレード		
	-12	-11	-10
ネットワーキングアプリケーション			
SFI-4.1 (SDR LVDS インターフェイス) ⁽¹⁾	710MHz	710MHz	644MHz
SPI-4.2 (DDR LVDS インターフェイス) ⁽²⁾	1Gb/s	1Gb/s	800Mb/s

表 15: インターフェイスのパフォーマンス (続き)

説明	スピード グレード		
	-12	-11	-10
メモリ インターフェイス			
DDR ⁽³⁾	466Mb/s	466Mb/s	426Mb/s
DDR2 ⁽⁴⁾	600Mb/s	550Mb/s	510Mb/s
QDR II SRAM ⁽⁵⁾	600Mb/s	572Mb/s	514Mb/s
RLDRAM II ⁽⁶⁾	600Mb/s	558Mb/s	524Mb/s

メモ:

1. アプリケーション ノート 『XAPP704: Virtex-4 高速 SDR LVDS トランシーバ』に記載のデザイン インプリメンテーションを使用して定義したパフォーマンスです。
2. アプリケーション ノート 『XAPP700: ネットワーク アプリケーション用のダイナミック位相アライメント』または 『XAPP705: Virtex-4 高速 DDR LVDS トランシーバ』に記載のデザイン インプリメンテーションを使用して定義したパフォーマンスです。
3. アプリケーション ノート 『XAPP709: Virtex-4 デバイスを使用した DDR SDRAM コントローラ』に記載のデザイン インプリメンテーションを使用して定義したパフォーマンスです。
4. アプリケーション ノート 『XAPP702: Virtex-4 デバイスを使用した DDR2 コントローラ』に記載のデザイン インプリメンテーションを使用して定義したパフォーマンスです。
5. アプリケーション ノート 『XAPP703: Virtex-4 デバイスの QDR II SRAM インターフェイス』に記載のデザイン インプリメンテーションを使用して定義したパフォーマンスです。
6. アプリケーション ノート 『XAPP710: Virtex-4 FPGA の合成可能な CIO DDR RLDRAM II コントローラ』に記載のデザイン インプリメンテーションを使用して定義したパフォーマンスです。

スイッチ特性

スイッチ特性は、スピード グレードごとに指定され、Advance、Preliminary、または Production のいずれかに該当します。それぞれの仕様は次のように定義されます。

Advance

これらの仕様は、シミュレーションにのみ基づいており、通常、デバイス設計仕様の決定直後に入手可能です。スピード グレードは、比較的安定し、マージンを確保する方向で考慮しています。ただし、場合によっては、十分なマージンを確保できない可能性があります。

Preliminary

これらの仕様は、ES (エンジニアリング サンプル) シリコン特性評価に基づいています。デバイスおよびスピード グレードは、今後予想される量産シリコンのパフォーマンスにより近いものとなります。また、Advance のデータと比較すると、実際の遅延より速くなっていることは少なくなっています。

Production

これらの仕様は、特定のデバイス ファミリの十分な量産を経た上で、特性評価が行われ、リリースされています。スピード ファイルには、実際の遅延時間を十分に満たす値が記載されています。また、今後の変更に対しては、カスタマに正式に通知されます。通常、遅いスピード グレードから Production スピード ファイルが提供されます。

すべての値は、常に、ワースト ケースの電源電圧およびジャンクション温度条件を示します。

それぞれのデバイスは生産時期が異なるため、仕様のあるカテゴリから別のカテゴリへの移行は、各デバイスの製造プロセスのステータスによって決定されます。

表 16 に、Virtex-4 デバイスとバージョン 1.60 のスピード仕様で提供されているスピード グレードを示します。Virtex-4 デバイスの設計を行う際には、ISE ソフトウェア 7.1i サービス パック 4 (SP4) 以降を使用してください。

表 16: Virtex-4 デバイスのスピード グレード

デバイス	スピード グレード		
	Advance	Preliminary	Production
XC4VLX15			-12, -11, -10
XC4VLX25			-12, -11, -10
XC4VLX40			-12, -11, -10
XC4VLX60			-12, -11, -10
XC4VLX80			-12, -11, -10
XC4VLX100			-12, -11, -10
XC4VLX160			-12, -11, -10
XC4VLX200			-11, -10

表 16 : Virtex-4 デバイスのスピード グレード (続き)

デバイス	スピード グレード		
	Advance	Preliminary	Production
XC4VSX25			-12, -11, -10
XC4VSX35			-12, -11, -10
XC4VSX55			-12, -11, -10
XC4VFX12	-11, -10		
XC4VFX20	-11, -10		
XC4VFX40	-11, -10		
XC4VFX60	-11, -10		
XC4VFX100	-11, -10		
XC4VFX140	-11, -10		

スイッチ特性のテスト

すべてのデバイスは、完全にファンクション テストが実施されています。内部タイミング パラメータは、内部テスト パターンで計測され、求められています。次に主な値を示します。より正確で保証されたワースト ケース データが必要な場合は、ザイリンク

スの Static Timing Analyzer (ザイリンクス開発ソフトウェアの TRACE) を使用して求め、シミュレーション ネットリストにバックアノートした値を使用してください。特記のない限り、これらの値はすべての Virtex-4 デバイスに適用します。

PowerPC スイッチ特性

詳細は、『PowerPC 405 プロセッサ ブロック リファレンス ガイド』を参照してください。

表 17 : PowerPC 405 プロセッサ クロックの AC 特性

説明	スピード グレード						単位
	-12		-11		-10		
	最小	最大	最小	最大	最小	最大	
CPMC405CLOCK 周波数	0	450	0	400	0	350	MHz
CPMDCRCLK ⁽²⁾	0	450	0	400	0	350	MHz
CPMFCMCLK ⁽²⁾	0	450	0	400	0	350	MHz
JTAGC405TCK 周波数 ⁽¹⁾	0	225	0	200	0	175	MHz
PLBCLK ⁽²⁾	0	450	0	400	0	350	MHz
BRAMDSOCCLK ⁽²⁾	0	450	0	400	0	350	MHz
BRAMISOCCLK ⁽²⁾	0	450	0	400	0	350	MHz

メモ :

- このクロックの最大周波数は、理論的には CPMC405CLOCK の 1/2 ですが、達成可能な最大値はシステムによって決定され、理論的な値よりも低くなります。
- これらのクロックの最大周波数は、理論的には CPMC405CLOCK と等しくなります。CPMC405CLOCK と BRAMDSOCCLK、CPMC405CLOCK と BRAMISOCCLK、CPMC405CLOCK と CPMDCRCLK、CPMC405CLOCK と CPMFCMCLK、および CPMC405CLOCK と PLBCLK のクロック比率は、整数である必要があります。整数比は各インターフェイスによって異なりますが、達成可能な最大値はシステムによって決定されます。
- CPMC405CLOCK の最大動作周波数は、入力ピン TIEC405DISOPERANDFWD がロジック 1 に接続されたときの値です。

表 18: プロセッサ ブロック スイッチ特性

説明	シンボル	スピード グレード			単位
		-12	-11	-10	
クロック (CPMC405CLOCK) に対するセットアップおよびホールド					
クロックと電力管理用の制御入力	T _{PPCDCK} _CORECKI/ T _{PPCCKD} _CORECKI	0.60 0.20	0.65 0.20	0.74 0.23	ns、最小
リセット制御入力	T _{PPCDCK} _RSTCHIP/ T _{PPCCKD} _RSTCHIP	0.60 0.20	0.65 0.20	0.74 0.23	ns、最小
デバッグ制御入力	T _{PPCDCK} _EXBUSHAK/ T _{PPCCKD} _EXBUSHAK	0.60 0.20	0.65 0.20	0.74 0.23	ns、最小
トレース制御入力	T _{PPCDCK} _TRCDIS/ T _{PPCCKD} _TRCDIS	0.60 0.20	0.65 0.20	0.74 0.23	ns、最小
外部割込みコントローラ制御入力	T _{PPCDCK} _CINPIRQ/ T _{PPCCKD} _CINPIRQ	1.04 0.20	1.15 0.20	1.40 0.23	ns、最小
Clock to Out					
クロックと電力管理用の制御出力	T _{PPCCKO} _CORESLP	1.35	1.51	1.74	ns、最大
リセット制御出力	T _{PPCCKO} _RSTCHIP	1.44	1.59	1.83	ns、最大
デバッグ制御出力	T _{PPCCKO} _DBGLDAPU	1.34	1.48	1.70	ns、最大
トレース制御出力	T _{PPCCKO} _TRCCYCLE	1.52	1.68	1.83	ns、最大
クロック					
CPMC405CLOCK の最小パルス幅、High	T _{CPWH}	1.11	1.25	1.43	ns、最小
CPMC405CLOCK の最小パルス幅、Low	T _{CPWL}	1.11	1.25	1.43	ns、最小

表 19: プロセッサ ブロック PLB スイッチ特性

説明	シンボル	スピード グレード			単位
		-12	-11	-10	
クロック (PLBCLK) に対するセットアップおよびホールド					
プロセッサ ローカル バス (ICU/DCU) 制御入力	T _{PPCDCK} _ICUBUSY/ T _{PPCCKD} _ICUBUSY	0.60 0.20	0.66 0.20	0.76 0.23	ns、最小
プロセッサ ローカル バス (ICU/DCU) データ入力	T _{PPCDCK} _ICURDDB/ T _{PPCCKD} _ICURDDB	0.90 0.20	1.00 0.20	1.15 0.23	ns、最小
Clock to Out					
プロセッサ ローカル バス (ICU/DCU) 制御出力	T _{PPCCKO} _DCUABORT	1.61	1.78	2.05	ns、最大
プロセッサ ローカル バス (ICU/DCU) アドレスバス出力	T _{PPCCKO} _ICUABUS	1.66	1.85	2.13	ns、最大
プロセッサ ローカル バス (ICU/DCU) データバス出力	T _{PPCCKO} _DCUWRDBUS	2.08	2.24	2.57	ns、最大

表 20: プロセッサ ブロック JTAG スイッチ特性

説明	シンボル	スピード グレード			単位
		-12	-11	-10	
クロック (JTAGC405TCK) に対するセットアップおよびホールド					
JTAG 制御入力	T _{PPCDCK} –JTGTDI	1.16	1.29	1.48	ns、最小
	T _{PPCCKD} –JTGTDI	0.20	0.20	0.23	
JTAG リセット入力	T _{PPCDCK} –JTGTRSTN	0.60	0.65	0.74	ns、最小
	T _{PPCCKD} –JTGTRSTN	0.20	0.20	0.23	
Clock to Out					
JTAG 制御出力	T _{PPCCKO} –JTGTDO	1.68	1.79	2.14	ns、最大

表 21: PowerPC 405 データ サイドのオンチップ メモリ スイッチ特性

説明	シンボル	スピード グレード			単位
		-12	-11	-10	
クロック (BRAMDSOCCLK) に対するセットアップおよびホールド					
データ サイドのオンチップ メモリ データ バス入力	T _{PPCDCK} –DSOCMRDDB	0.60	0.65	0.74	ns、最小
	T _{PPCCKD} –DSOCMRDDB	0.20	0.20	0.23	
Clock to Out					
データ サイドのオンチップ メモリ制御出力	T _{PPCCKO} –BRAMBWR	2.07	2.30	2.65	ns、最大
データ サイドのオンチップメモリ アドレス バス出力	T _{PPCCKO} –BRAMABUS	2.07	2.30	2.65	ns、最大
データ サイドのオンチップメモリ データ バス出力	T _{PPCCKO} –IBRAMWRDBUS01	1.61	1.79	2.06	ns、最大

表 22: PowerPC 405 命令サイドのオンチップ メモリ スイッチ特性

説明	シンボル	スピード グレード			単位
		-12	-11	-10	
クロック (BRAMISOCCLK) に対するセットアップおよびホールド					
命令サイドのオンチップ メモリ データ バス入力	T _{PPCDCK} –ISOCMRDDB	0.74	0.82	0.94	ns、最小
	T _{PPCCKD} –ISOCMRDDB	0.20	0.20	0.23	
Clock to Out					
命令サイドのオンチップ メモリ制御出力	T _{PPCCKO} –IBRAMEN	3.04	3.37	3.88	ns、最大
命令サイドのオンチップメモリ アドレス バス出力	T _{PPCCKO} –IBRAMRDABUS	1.67	1.85	2.13	ns、最大
命令サイドのオンチップメモリ データ バス出力	T _{PPCCKO} –IBRAMWRDBUS	1.67	1.86	2.14	ns、最大

表 23: プロセッサ ブロック DCR バス スイッチ特性

説明	シンボル	スピード グレード			単位
		-12	-11	-10	
クロック (CPMDCRCLOCK) に対するセットアップおよびホールド					
デバイス制御レジスタ バス制御入力	T _{PPCDCK} _EXDCRACK	0.12	0.13	0.15	ns、最小
	T _{PPCCKD} _EXDCRACK	0.15	0.17	0.19	
デバイス制御レジスタ バス データ入力	T _{PPCDCK} _EXDCRDBUSI	0.57	0.57	1.02	ns、最小
	T _{PPCCKD} _EXDCRDBUSI	0.16	0.16	0.27	
Clock to Out					
デバイス制御レジスタ バス制御出力	T _{PPCCKO} _EXDCRRD	1.20	1.35	1.54	ns、最大
デバイス制御レジスタ バス アドレス バス出力	T _{PPCCKO} _EXDCRABUS	1.28	1.45	1.66	ns、最大
デバイス制御レジスタ バス データ バス出力	T _{PPCCKO} _EXDCRDBUSO	1.31	1.45	1.67	ns、最大

表 24: プロセッサ ブロック APU インターフェイス スイッチ特性

説明	シンボル	スピード グレード			単位
		-12	-11	-10	
クロック (CPMDFCMCLOCK) に対するセットアップおよびホールド					
APU バス制御入力	T _{PPCDCK} _DCDCREN	0.33	0.36	0.42	ns、最小
	T _{PPCCKD} _DCDCREN	0.20	0.20	0.23	
APU バス データ入力	T _{PPCDCK} _RESULT	0.61	0.67	0.78	ns、最小
	T _{PPCCKD} _RESULT	0.20	0.20	0.23	
Clock to Out					
APU バス制御出力	T _{PPCCKO} _APUFCMDEC	1.53	1.75	2.00	ns、最大
APU バス データ出力	T _{PPCCKO} _RADATA	1.53	1.75	2.00	ns、最大

RocketIO スイッチ特性

詳細は、『Virtex-4 RocketIO マルチギガビット トランシーバユーザー ガイド』を参照してください。

表 25 : RocketIO トランシーバの最大パフォーマンス

説明	スピード グレード			単位
	-12	-11	-10	
RocketIO トランシーバ	6.5	6.5	3.125	Gb/s

表 26 : RocketIO リファレンス クロック スイッチ特性

説明	シンボル	条件	すべてのスピード グレードs			単位
			最小	標準	最大	
リファレンス クロック周波数範囲 ⁽¹⁾	F _{GCLK}	CLK	106		644	MHz
リファレンス クロック周波数耐性	F _{GTOL}	CLK	-350		+350	ppm
リファレンス クロック立ち上がり時間	T _{RCLK}	20% - 80%		65		ps
リファレンス クロック立ち下がり時間	T _{FCLK}	20% - 80%		65		ps
リファレンス クロック デューティ サイクル	T _{DCREF}	CLK	45		55	%
リファレンス クロックの総ジッタ、 Peak-Peak ⁽²⁾	T _{GJTT}	CLK			40	ps
クロック リカバリ周波数の取得時間	T _{LOCK}	セットアップから PLL が 最初にロックするまでの時間 (プログラマブル)		1		ms
クロック リカバリ位相の取得時間	T _{PHASE}	PLL がリファレンス クロ ックに対して再ロックした後、 データにロックするまでの時 間。リファレンス クロックへ のロック時間を含む (プログラマブル)				
スペクトラム拡散クロック						

メモ:

1. MGTCCLK 入力は、すべてのシリアル ビット レートに使用できます。また、GREFCLK は、最大 1Gb/s までのシリアル ビット レートに使用できます。
2. パッケージ ピンで計測されました。シリアル レートが 1Gb/s 以上の場合、MGTCCLK を使用する必要があります。UI = Unit Interval です。

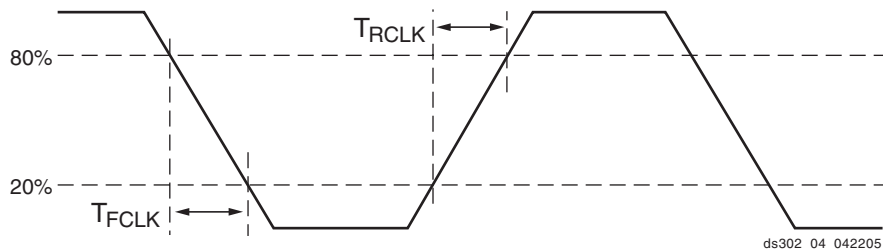


図 3: リファレンス クロック タイミング パラメータ

表 27 : RocketIO レシーバ スイッチ特性

説明	シンボル	条件		最小	標準	最大	単位
シリアル データ レート -10	F_{GRX}			0.622		3.125	Gb/s
シリアル データ レート -11	F_{GRX}			0.622		6.5	Gb/s
受信側のデータミニスティック ジッタ耐性	T_{DJTOL}	レート (Gb/s)	モード ⁽²⁾				
		3.125	ACDR				UI ⁽¹⁾
		2.5	ACDR				
		1.25	ACDR				
		0.622	DCDR				
受信側の正弦波ジッタ耐性	T_{SJTOL}	レート (Gb/s)	モード ⁽²⁾				UI ⁽¹⁾
		3.125	ACDR				
		2.5	ACDR				
		1.25	ACDR				
		0.622	DCDR				
RXUSRCLK 周波数	T_{RX}	低速スピード グレード = 最大データ レート/32				250	MHz
RXUSRCLK2 周波数	T_{RX2}					250	MHz
RXUSRCLK デューティ サイクル	T_{RXDC}			40		60	%
RXUSRCLK2 デューティ サイクル	T_{RX2DC}			40		60	%
差動入力スキュー	T_{ISKEW}					20	ps
差動受信入力感度 ⁽²⁾	V_{EYE}			200			mV
オンチップ AC カップリング コーナー周波数							
信号検出の応答時間	$RXSIGDET_{Responsetime}$				30		
ダイの入力キャパシタンス	C_{DIE}						fF
はんだボールでの超過キャパシタンス	C_{BALL}						fF

メモ:

1. UI = Unit Interval です。
2. ACDR = Analog CDR、DCDR = Digital CDR です。

表 28 : RocketIO トランスミッタ スイッチ特性

説明	シンボル	条件		最小	標準	最大	単位
シリアル データ レート -10	F_{GTX}			0.622		3.125	Gb/s
シリアル データ レート -11	F_{GTX}			0.622		6.5	Gb/s
TX ジッタ生成 ⁽³⁾	–	データ	レート	–	–	–	–
	T_J	PRBS7	3.125			0.28	UI ⁽¹⁾
	R_J					0.14	
	D_J					0.14	
	T_J	PRBS7	2.5			0.25	
	R_J					0.18	
	D_J					0.12	
	T_J	PRBS7	1.25			0.12	
	R_J					0.1	
	D_J					0.06	
	T_J	PRBS31	0.622			0.08	
	R_J					0.06	
D_J					0.04		
TX 立ち上がり時間 ⁽²⁾	T_{RTX}	20% ~ 80%			90		ps
TX 立ち下がり時間 ⁽²⁾	T_{FTX}	20% ~ 80%			90		ps
TXUSRCLK 周波数		低速スピード グレード = 最大データ レート/32				250	MHz
TXUSRCLK2 周波数						250	MHz
TXUSRCLK デューティ サイクル	T_{TXDC}			40		60	%
TXUSRCLK2 デューティ サイクル	T_{TX2DC}			40		60	%
差動出力スキュー	T_{ISKEW}				12	20	ps
電氣的アイドル送信時間	$TXOOB_{Transition}$				15		ns

メモ：

1. UI = Unit Interval です。
2. デフォルト属性、2.5Gb/s で計測されています。デフォルト属性および 10 分周のリファレンス クロックです。
3. 1e-12 エラー レートのときの Peak-to-Peak 値です。

IOB パッド入力/出力/トライ ステート スイッチ特性

表 29 に、各信号規格のパッドからのデータ入力遅延、パッドまでのデータ出力遅延、およびトライ ステート遅延を示します。

T_{IOPI} は、IOB パッドから入力バッファを通り、I ピンまでの遅延です。遅延値は、SelectIO 入力バッファの機能によって決定されます。

TT_{IOOP} は、O ピンから出力バッファを通り、IOB パッドまでの遅延です。遅延値は、SelectIO 出力バッファの機能によって決定されます。

T_{IOTP} は、トライ ステートがディスエーブルの場合の、T ピンから出力バッファを通り、IOB パッドまでの遅延です。遅延値は、SelectIO 出力バッファの機能によって決定されます。

表 30 に、 T_{IOTPHZ} の値を示します。 T_{IOTPHZ} は、ハイ インピーダンス状態のように、トライ ステートがイネーブルな場合の T ピンから出力バッファを通り、IOB パッドまでの遅延です。

表 29 : IOB スイッチ特性^(1, 2)

IOSTANDARD 属性 ⁽¹⁾	T_{IOPI}			T_{IOOP}			T_{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-12	-11	-10	-12	-11	-10	-12	-11	-10	
LVDS_25	1.00	1.15	1.28	1.61	1.71	1.85	1.61	1.71	1.85	ns
RSDS_25	1.00	1.15	1.28	1.61	1.71	1.85	1.61	1.71	1.85	ns
LVDSEXT_25	1.01	1.16	1.30	1.65	1.75	1.91	1.65	1.75	1.91	ns
LDT_25	1.00	1.15	1.28	1.58	1.68	1.82	1.58	1.68	1.82	ns
BLVDS_25	1.00	1.15	1.28	1.99	2.15	2.34	1.99	2.15	2.34	ns
ULVDS_25	1.00	1.15	1.28	1.59	1.68	1.83	1.59	1.68	1.83	ns
PCI33_3 (PCI, 33MHz, 3.3V)	0.76	0.87	0.97	2.52	2.76	3.02	2.52	2.76	3.02	ns
PCI66_3 (PCI, 66MHz, 3.3V)	0.76	0.87	0.97	2.22	2.46	2.72	2.22	2.46	2.72	ns
PCI-X	0.76	0.87	0.97	2.19	2.21	2.25	2.19	2.21	2.25	ns
GTL	1.28	1.47	1.63	1.75	1.87	2.03	1.75	1.87	2.03	ns
GTL P	1.31	1.51	1.68	1.75	1.87	2.03	1.75	1.87	2.03	ns
HSTL_I	1.28	1.47	1.64	2.00	2.16	2.35	2.00	2.16	2.35	ns
HSTL_II	1.28	1.47	1.64	1.83	1.96	2.13	1.83	1.96	2.13	ns
HSTL_III	1.28	1.47	1.64	1.90	2.04	2.22	1.90	2.04	2.22	ns
HSTL_IV	1.28	1.47	1.64	1.75	1.87	2.03	1.75	1.87	2.03	ns
HSTL_I_18	1.26	1.44	1.60	1.89	2.03	2.21	1.89	2.03	2.21	ns
HSTL_II_18	1.26	1.44	1.60	1.85	1.98	2.16	1.85	1.98	2.16	ns
HSTL_III_18	1.26	1.44	1.60	1.80	1.93	2.09	1.80	1.93	2.09	ns
HSTL_IV_18	1.26	1.44	1.60	1.77	1.89	2.06	1.77	1.89	2.06	ns
SSTL2_I	1.31	1.51	1.68	2.06	2.23	2.43	2.06	2.23	2.43	ns
SSTL2_II	1.31	1.51	1.68	1.85	1.98	2.16	1.85	1.98	2.16	ns
LVTTL, Slow, 2mA	0.76	0.87	0.97	5.66	6.37	7.03	5.66	6.37	7.03	ns
LVTTL, Slow, 4mA	0.76	0.87	0.97	4.10	4.57	5.04	4.10	4.57	5.04	ns

表 29: IOB スイッチ特性^(1, 2) (続き)

IOSTANDARD 属性 ⁽¹⁾	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-12	-11	-10	-12	-11	-10	-12	-11	-10	
LVTTTL, Slow, 6mA	0.76	0.87	0.97	4.00	4.46	4.91	4.00	4.46	4.91	ns
LVTTTL, Slow, 8mA	0.76	0.87	0.97	4.00	4.46	4.91	4.00	4.46	4.91	ns
LVTTTL, Slow, 12mA	0.76	0.87	0.97	3.26	3.61	3.96	3.26	3.61	3.96	ns
LVTTTL, Slow, 16mA	0.76	0.87	0.97	2.87	3.16	3.46	2.87	3.16	3.46	ns
LVTTTL, Slow, 24mA	0.76	0.87	0.97	2.60	2.85	3.12	2.60	2.85	3.12	ns
LVTTTL, Fast, 2mA	0.76	0.87	0.97	3.96	4.41	4.86	3.96	4.41	4.86	ns
LVTTTL, Fast, 4mA	0.76	0.87	0.97	2.87	3.16	3.46	2.87	3.16	3.46	ns
LVTTTL, Fast, 6mA	0.76	0.87	0.97	2.51	2.74	3.00	2.51	2.74	3.00	ns
LVTTTL, Fast, 8mA	0.76	0.87	0.97	2.34	2.55	2.79	2.34	2.55	2.79	ns
LVTTTL, Fast, 12mA	0.76	0.87	0.97	2.09	2.26	2.47	2.09	2.26	2.47	ns
LVTTTL, Fast, 16mA	0.76	0.87	0.97	2.09	2.26	2.47	2.09	2.26	2.47	ns
LVTTTL, Fast, 24mA	0.76	0.87	0.97	1.88	2.02	2.20	1.88	2.02	2.20	ns
LVC MOS33, Slow, 2mA	0.76	0.87	0.97	6.98	7.88	8.73	6.98	7.88	8.73	ns
LVC MOS33, Slow, 4mA	0.76	0.87	0.97	4.92	5.52	6.09	4.92	5.52	6.09	ns
LVC MOS33, Slow, 6mA	0.76	0.87	0.97	4.07	4.54	5.00	4.07	4.54	5.00	ns
LVC MOS33, Slow, 8mA	0.76	0.87	0.97	3.25	3.59	3.95	3.25	3.59	3.95	ns
LVC MOS33, Slow, 12mA	0.76	0.87	0.97	2.83	3.11	3.42	2.83	3.11	3.42	ns
LVC MOS33, Slow, 16mA	0.76	0.87	0.97	2.11	2.28	2.49	2.11	2.28	2.49	ns
LVC MOS33, Slow, 24mA	0.76	0.87	0.97	2.11	2.28	2.49	2.11	2.28	2.49	ns
LVC MOS33, Fast, 2mA	0.76	0.87	0.97	5.98	6.73	7.44	5.98	6.73	7.44	ns
LVC MOS33, Fast, 4mA	0.76	0.87	0.97	3.55	3.93	4.33	3.55	3.93	4.33	ns
LVC MOS33, Fast, 6mA	0.76	0.87	0.97	2.93	3.23	3.55	2.93	3.23	3.55	ns
LVC MOS33, Fast, 8mA	0.76	0.87	0.97	2.09	2.25	2.46	2.09	2.25	2.46	ns
LVC MOS33, Fast, 12mA	0.76	0.87	0.97	1.93	2.08	2.27	1.93	2.08	2.27	ns
LVC MOS33, Fast, 16mA	0.76	0.87	0.97	1.79	1.91	2.08	1.79	1.91	2.08	ns
LVC MOS33, Fast, 24mA	0.76	0.87	0.97	1.79	1.91	2.08	1.79	1.91	2.08	ns
LVC MOS25, Slow, 2mA	0.69	0.80	0.88	4.77	5.34	5.89	4.77	5.34	5.89	ns
LVC MOS25, Slow, 4mA	0.69	0.80	0.88	4.09	4.56	5.02	4.09	4.56	5.02	ns
LVC MOS25, Slow, 6mA	0.69	0.80	0.88	3.53	3.92	4.31	3.53	3.92	4.31	ns
LVC MOS25, Slow, 8mA	0.69	0.80	0.88	3.53	3.92	4.31	3.53	3.92	4.31	ns
LVC MOS25, Slow, 12mA	0.69	0.80	0.88	2.90	3.19	3.50	2.90	3.19	3.50	ns
LVC MOS25, Slow, 16mA	0.69	0.80	0.88	2.75	3.02	3.31	2.75	2.97	3.26	ns

表 29 : IOB スイッチ特性^(1, 2) (続き)

IOSTANDARD 属性 ⁽¹⁾	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-12	-11	-10	-12	-11	-10	-12	-11	-10	
LVC MOS25, Slow, 24mA	0.69	0.80	0.88	2.33	2.54	2.77	2.33	2.54	2.77	ns
LVC MOS25, Fast, 2mA	0.69	0.80	0.88	3.20	3.54	3.89	3.20	3.54	3.89	ns
LVC MOS25, Fast, 4mA	0.69	0.80	0.88	2.66	2.92	3.19	2.66	2.92	3.19	ns
LVC MOS25, Fast, 6mA	0.69	0.80	0.88	2.36	2.57	2.81	2.36	2.57	2.81	ns
LVC MOS25, Fast, 8mA	0.69	0.80	0.88	2.13	2.31	2.52	2.13	2.31	2.52	ns
LVC MOS25, Fast, 12mA	0.69	0.80	0.88	2.06	2.23	2.43	2.06	2.23	2.43	ns
LVC MOS25, Fast, 16mA	0.69	0.80	0.88	1.89	2.03	2.21	1.89	2.03	2.21	ns
LVC MOS25, Fast, 24mA	0.69	0.80	0.88	1.83	1.96	2.13	1.83	1.96	2.13	ns
LVC MOS18, Slow, 2mA	0.97	1.12	1.25	4.77	5.34	5.89	4.77	5.34	5.89	ns
LVC MOS18, Slow, 4mA	0.97	1.12	1.25	3.56	3.95	4.35	3.56	3.95	4.35	ns
LVC MOS18, Slow, 6mA	0.97	1.12	1.25	3.29	3.64	4.00	3.29	3.64	4.00	ns
LVC MOS18, Slow, 8mA	0.97	1.12	1.25	3.10	3.42	3.76	3.10	3.42	3.76	ns
LVC MOS18, Slow, 12mA	0.97	1.12	1.25	3.09	3.41	3.74	3.09	3.41	3.74	ns
LVC MOS18, Slow, 16mA	0.97	1.12	1.25	2.94	3.24	3.55	2.94	3.24	3.55	ns
LVC MOS18, Fast, 2mA	0.97	1.12	1.25	3.20	3.54	3.89	3.20	3.54	3.89	ns
LVC MOS18, Fast, 4mA	0.97	1.12	1.25	2.52	2.75	3.02	2.52	2.75	3.02	ns
LVC MOS18, Fast, 6mA	0.97	1.12	1.25	2.29	2.49	2.72	2.29	2.49	2.72	ns
LVC MOS18, Fast, 8mA	0.97	1.12	1.25	2.13	2.31	2.52	2.13	2.31	2.52	ns
LVC MOS18, Fast, 12mA	0.97	1.12	1.25	2.01	2.17	2.36	2.01	2.17	2.36	ns
LVC MOS18, Fast, 16mA	0.97	1.12	1.25	1.94	2.09	2.27	1.94	2.09	2.27	ns
LVC MOS15, Slow, 2mA	1.05	1.20	1.34	5.33	5.99	6.61	5.33	5.99	6.61	ns
LVC MOS15, Slow, 4mA	1.05	1.20	1.34	4.21	4.70	4.88	4.21	4.70	4.88	ns
LVC MOS15, Slow, 6mA	1.05	1.20	1.34	3.49	3.87	4.26	3.49	3.87	4.26	ns
LVC MOS15, Slow, 8mA	1.05	1.20	1.34	3.49	3.87	4.26	3.49	3.87	4.26	ns
LVC MOS15, Slow, 12mA	1.05	1.20	1.34	3.11	3.43	3.77	3.11	3.43	3.77	ns
LVC MOS15, Slow, 16mA	1.05	1.20	1.34	2.92	3.21	3.53	2.92	3.21	3.53	ns
LVC MOS15, Fast, 2mA	1.05	1.20	1.34	3.42	3.79	4.17	3.42	3.79	4.17	ns
LVC MOS15, Fast, 4mA	1.05	1.20	1.34	2.76	3.03	3.32	2.76	3.03	3.32	ns
LVC MOS15, Fast, 6mA	1.05	1.20	1.34	2.46	2.69	2.94	2.46	2.69	2.94	ns
LVC MOS15, Fast, 8mA	1.05	1.20	1.34	2.28	2.48	2.71	2.28	2.48	2.71	ns
LVC MOS15, Fast, 12mA	1.05	1.20	1.34	2.12	2.29	2.50	2.12	2.29	2.50	ns
LVC MOS15, Fast, 16mA	1.05	1.20	1.34	2.06	2.23	2.43	2.06	2.23	2.43	ns

表 29: IOB スイッチ特性^(1, 2) (続き)

IOSTANDARD 属性 ⁽¹⁾	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-12	-11	-10	-12	-11	-10	-12	-11	-10	
LVDCI_33	0.76	0.87	0.97	2.61	2.86	3.13	2.61	2.86	3.13	ns
LVDCI_25	0.69	0.80	0.88	2.52	2.76	3.02	2.52	2.76	3.02	ns
LVDCI_18	0.97	1.12	1.25	2.47	2.69	2.95	2.47	2.69	2.95	ns
LVDCI_15	1.05	1.20	1.34	2.45	2.68	2.93	2.45	2.68	2.93	ns
LVDCI_DV2_25	0.69	0.80	0.88	1.93	2.08	2.27	1.93	2.08	2.27	ns
LVDCI_DV2_18	0.97	1.12	1.25	1.95	2.09	2.28	1.95	2.09	2.28	ns
LVDCI_DV2_15	1.05	1.20	1.34	2.18	2.36	2.58	2.18	2.36	2.58	ns
GTL_DCI	1.18	1.36	1.51	1.75	1.87	2.03	1.75	1.87	2.03	ns
GTLP_DCI	0.96	1.11	1.23	1.75	1.87	2.03	1.75	1.87	2.03	ns
HSTL_I_DCI	1.28	1.47	1.64	2.00	2.16	2.35	2.00	2.16	2.35	ns
HSTL_II_DCI	1.28	1.47	1.64	1.83	1.96	2.13	1.83	1.96	2.13	ns
HSTL_III_DCI	1.28	1.47	1.64	1.90	2.04	2.22	1.90	2.04	2.22	ns
HSTL_IV_DCI	1.28	1.47	1.64	1.75	1.87	2.03	1.75	1.87	2.03	ns
HSTL_I_DCI_18	1.26	1.44	1.60	1.89	2.03	2.21	1.89	2.03	2.21	ns
HSTL_II_DCI_18	1.26	1.44	1.60	1.85	1.98	2.16	1.85	1.98	2.16	ns
HSTL_III_DCI_18	1.26	1.44	1.60	1.80	1.93	2.09	1.80	1.93	2.09	ns
HSTL_IV_DCI_18	1.26	1.44	1.60	1.77	1.89	2.06	1.77	1.89	2.06	ns
SSTL2_I_DCI	1.31	1.51	1.68	2.09	2.25	2.46	2.09	2.25	2.46	ns
SSTL2_II_DCI	1.31	1.51	1.68	2.07	2.24	2.45	2.07	2.24	2.45	ns
LVPECL_25	1.38	1.59	1.77	1.52	1.61	1.74	1.52	1.61	1.74	ns
SSTL18_I	1.31	1.51	1.68	2.15	2.33	2.54	2.15	2.33	2.54	ns
SSTL18_II	1.31	1.51	1.68	1.92	2.06	2.24	1.92	2.06	2.24	ns
SSTL18_I_DCI	1.31	1.51	1.68	1.97	2.12	2.32	1.97	2.12	2.32	ns
SSTL18_II_DCI	1.31	1.51	1.68	1.87	2.00	2.18	1.87	2.00	2.18	ns

メモ:

1. I/O 規格は ISE ソフトウェア ツールで IOSTANDARD 属性を使用し、選択しています。
2. すべての I/O タイミング仕様は標準値 -5% の V_{CCO} を使用して計測されています。

 表 30: トライステート出力可能な IOB 出力スイッチ特性 (T_{IOTPHZ})

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
T _{IOTPHZ}	T 入力からハイ インピーダンス状態になるまでの時間	0.88	1.01	1.12	ns

入力/出力ロジック スイッチ特性

表 31 : ILOGICスイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
セットアップ/ホールド					
T_{ICE1CK}/T_{ICKCE1}	CE1 ピンの CLK に対するセットアップ/ホールド	0.58 -0.23	0.66 -0.23	0.79 -0.23	ns
T_{ICECK}/T_{ICKCE}	DLYCE ピンの CLKDIV に対するセットアップ/ホールド	0.16 0.11	0.19 0.13	0.23 0.16	ns
T_{IRSTCK}/T_{ICKRST}	DLYRST ピンの CLKDIV に対するセットアップ/ホールド	-0.03 0.37	-0.02 0.45	-0.02 0.54	ns
T_{IINCCK}/T_{ICKINC}	DLYINC ピンの CLKDIV に対するセットアップ/ホールド	0.01 0.36	0.01 0.43	0.01 0.51	ns
T_{ISRCK}/T_{ICKSR}	SR/REV ピンの CLK に対するセットアップ/ホールド	1.15 -0.56	1.33 -0.56	1.59 -0.56	ns
T_{IDOCK}/T_{IOCKD}	D ピンの CLK に対するセットアップ/ホールド、 IDELAY 未使用	0.24 -0.10	0.28 -0.10	0.34 -0.10	ns
T_{IDOCKD}/T_{IOCKDD}	D ピンの CLK に対するセットアップ/ホールド (IOBDELAY_TYPE = DEFAULT)	6.64 -5.99	7.63 -5.99	8.84 -5.99	ns
	D ピンの CLK に対するセットアップ/ホールド (IOBDELAY_TYPE = FIXED、IOBDELAY_VALUE = 0)	0.81 -0.63	0.87 -0.63	1.09 -0.63	ns
組み合わせ					
T_{IDI}	D ピンから O ピンまでの伝搬遅延、IDELAY 未使用	0.17	0.20	0.24	ns
T_{IDID}	D ピンから O ピンまでの伝搬遅延 (IOBDELAY_TYPE = DEFAULT)	6.00	6.91	7.96	ns
	D ピンから O ピンまでの伝搬遅延 (IOBDELAY_TYPE = FIXED、IOBDELAY_VALUE = 0)	0.74	0.79	0.99	ns
シーケンシャル遅延					
T_{IDLO}	フリップフロップをラッチとして使用する場合の D ピンから Q1 ピンまでの遅延、IDELAY 未使用	0.50	0.59	0.71	ns
T_{IDL0D}	フリップフロップをラッチとして使用する場合の D ピンから Q1 ピンまでの遅延 (IOBDELAY_TYPE = DEFAULT)	6.90	7.94	9.21	ns
	フリップフロップをラッチとして使用する場合の D ピンから Q1 ピン までの遅延 (IOBDELAY_TYPE = FIXED、IOBDELAY_VALUE = 0)	1.07	1.18	1.45	ns
T_{ICKQ}	CLK から Q 出力までの遅延	0.53	0.60	0.72	ns
T_{ICE1Q}	フリップフロップをラッチとして使用する場合の CE1 ピンから Q1 ピンまでの伝搬遅延	0.90	1.06	1.27	ns
T_{RQ}	SR/REV ピンから OQ/TQ 出力までの遅延	1.70	2.03	2.44	ns
T_{GSRQ}	グローバルセット/リセットから Q 出力までの遅延	1.54	1.73	2.03	ns
セット/リセット					
T_{RPW}	最小パルス幅、SR/REV 入力	0.53	0.59	0.70	ns、 最小

表 32 : OLOGIC スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
セットアップ/ホールド					
T_{ODCK}/T_{OCKD}	D1/D2 ピンの CLK に対するセットアップ/ホールド	0.52 -0.22	0.62 -0.22	0.75 -0.22	ns
T_{OOCECK}/T_{OCKOCE}	OCE ピンの CLK に対するセットアップ/ホールド	0.53 -0.33	0.64 -0.33	0.77 -0.33	ns
T_{OSRCK}/T_{OCKSR}	SR/REV ピンの CLK に対するセットアップ/ホールド	0.99 -0.55	1.18 -0.55	1.42 -0.55	ns
T_{TOTCK}/T_{OCKT}	T1/T2 ピンの CLK に対するセットアップ/ホールド	0.52 -0.22	0.62 -0.22	0.75 -0.22	ns
$T_{TOTCECK}/T_{OCKTCE}$	TCE ピンの CLK に対するセットアップ/ホールド	0.53 -0.33	0.64 -0.33	0.77 -0.33	ns
組み合わせ					
T_{ODQ}	D1 から OQ 出力までの遅延	0.56	0.65	0.76	ns
T_{OTQ}	T1 から TQ 出力までの遅延	0.56	0.65	0.76	ns
シーケンシャル遅延					
T_{IOSRON}	REV ピンから TQ 出力までの遅延	1.14	1.37	1.64	ns
T_{OCKQ}	CLK から OQ/TQ 出力までの遅延	0.41	0.49	0.59	ns
T_{RQ}	SR/REV ピンから OQ/TQ 出力までの遅延	1.14	1.37	1.64	ns
T_{GSRQ}	グローバルセット/リセットから Q 出力までの遅延	1.54	1.73	2.03	ns
セット/リセット					
T_{RPW}	パルス	0.53	0.59	0.70	ns、 最小

入力シリアライザ/デシリアライザ スイッチ特性

表 33 : ISERDES スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
制御ラインのセットアップ/ホールド					
$T_{ISCK_BITS_SLIP} / T_{ISCK_BITS_SLIP}$	BITSLLIP ピンの CLKDIV に対するセットアップ/ホールド	0.28 -0.20	0.34 -0.16	0.40 -0.13	ns
$T_{ISCK_CE} / T_{ISCK_CE}^{(2)}$	CE ピン (CE1) の CLK に対するセットアップ/ホールド	0.48 -0.37	0.57 -0.30	0.69 -0.25	ns
$T_{ISCK_CE2} / T_{ISCK_CE2}^{(2)}$	CE ピン (CE2) の CLKDIV に対するセットアップ/ホールド	0.11 -0.04	0.14 -0.03	0.16 -0.02	ns
$T_{ISCK_DLYCE} / T_{ISCK_DLYCE}$	DLYCE ピンの CLKDIV に対するセットアップ/ホールド	0.16 0.11	0.19 0.13	0.23 0.16	ns
$T_{ISCK_DLYINC} / T_{ISCK_DLYINC}$	DLYINC ピンの CLKDIV に対するセットアップ/ホールド	0.01 0.36	0.01 0.43	0.01 0.51	ns
$T_{ISCK_DLYRST} / T_{ISCK_DLYRST}$	DLYRST ピンの CLKDIV に対するセットアップ/ホールド	-0.03 0.37	-0.02 0.45	-0.02 0.54	ns
T_{ISCK_REV}	REV ピンの CLK に対するセットアップ	0.90	1.03	1.23	ns
T_{ISCK_SR}	SR ピンの CLKDIV に対するセットアップ	0.64	0.77	0.92	ns
データラインのセットアップ/ホールド					
$T_{ISDCK_D} / T_{ISCKD_D}$	D ピンの CLK に対するセットアップ/ホールド (IOBDELAY = IBUF または NONE)	0.24 -0.11	0.28 -0.11	0.34 -0.11	ns
	D ピンの CLK に対するセットアップ/ホールド (IOBDELAY = IFD または BOTH、IOBDELAY_TYPE = DEFAULT)	6.64 -6.51	7.63 -6.51	8.84 -6.51	ns
	D ピンの CLK に対するセットアップ/ホールド ⁽¹⁾ (IOBDELAY = IFD または BOTH、IOBDELAY_TYPE = FIXED、IOBDELAY_VALUE = 0)	0.81 -0.68	0.87 -0.68	1.08 -0.68	ns
$T_{ISDCK_DDR} / T_{ISCKD_DDR}$	DDR モードの場合、D ピンの CLK に対するセットアップ/ホールド (IOBDELAY = IBUF または NONE)	0.24 -0.11	0.28 -0.11	0.34 -0.11	ns
	DDR モードの場合、D ピンの CLK に対するセットアップ/ホールド (IOBDELAY = IFD または BOTH、IOBDELAY_TYPE = DEFAULT)	6.64 -6.51	7.63 -6.51	8.84 -6.51	ns
	DDR モードの場合、D ピンの CLK に対するセットアップ/ホールド ⁽¹⁾ (IOBDELAY = IFD または BOTH、IOBDELAY_TYPE = FIXED、IOBDELAY_VALUE = 0)	0.81 -0.68	0.87 -0.68	1.08 -0.68	ns
シーケンシャル遅延					
T_{ISCKO_Q}	CLKDIV から Q ピンで出力されるまでの遅延	0.59	0.71	0.85	ns
伝搬遅延					
$T_{ISDO_DO_IOBDELAY_IFD}$	D 入力から DO 出力ピンまでの遅延 (IOBDELAY = IFD)	0.17	0.20	0.24	ns
$T_{ISDO_DO_IOBDELAY_NONE}$	D 入力から DO 出力ピンまでの遅延 (IOBDELAY = NONE)	0.17	0.20	0.24	ns

表 33 : ISERDES スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
T _{ISDO_DO_IOBDELAY_BOTH}	D 入力から DO 出力ピンまでの遅延 (IOBDELAY = BOTH、 IOBDELAY_TYPE = DEFAULT)	6.00	6.91	7.96	ns
	D 入力から DO 出力ピンまでの遅延 ⁽¹⁾ (IOBDELAY = BOTH、 IOBDELAY_TYPE = FIXED、 IOBDELAY_VALUE = 0)	0.74	0.79	0.99	ns
T _{ISDO_DO_IOBDELAY_IBUF}	D 入力から DO 出力ピンまでの遅延 (IOBDELAY = IBUF、 IOBDELAY_TYPE = DEFAULT)	6.00	6.91	7.96	ns
	D 入力から DO 出力ピンまでの遅延 ⁽¹⁾ (IOBDELAY = IBUF、 IOBDELAY_TYPE = FIXED、 IOBDELAY_VALUE = 0)	0.74	0.79	0.99	ns

メモ :

1. タップが 0 の 場合の値です。
2. T_{ISCK_CE2} および T_{ISCKC_CE2} は、TRCE レポートでは T_{ISCK_CE}/T_{ISCKC_CE} と表示されます。

入力遅延スイッチ特性および出力シリアライザ/デシリアライザ スイッチ特性

表 34 : 入力遅延スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
T _{IDELAYRESOLUTION}	IDELAY チェーン遅延精度	75	75	75	ps
T _{IDELAYCTRLCO_RDY}	IDELAYCTRL の Reset から Ready (最大)	3.00	3.00	3.00	μs
F _{IDELAYCTRL_REF}	REFCLK 周波数	200	200	200	MHz
IDELAYCTRL_REF_PRECISION ⁽²⁾	REFCLK 精度	±10	±10	±10	MHz
T _{IDELAYCTRL_RPW}	最小リセット パルス幅	50.0	50.0	50.0	ns
T _{IDELAYRESOLUTION_ERR}	タップ精度エラー				%
T _{IDELAYPAT_JIT}	クロック パターンが入力されている場合、 遅延チェーンでのパターンに依存した周期 ジッタ	0	0	0	メモ (1)
	データ パターン (PRBS 23) が入力されて いる場合、遅延チェーンでのパターンに依 存した周期ジッタ	10 ± 2	10 ± 2	10 ± 2	メモ (1)

メモ :

1. タップごとの Peak-to-Peak であり、単位は ps です。
2. 『Virtex-4 ユーザー ガイド』第 7 章「SelectIO ロジック リソース」の「REFCLK - リファレンス クロック」に記載の IDELAYCTRL を参照してください。

表 35 : OSERDES スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
セットアップ/ホールド					
T_{OSDCK_D}/T_{OSCKD_D}	D 入力の CLKDIV に対するセットアップ/ホールド	0.35 -0.05	0.42 -0.04	0.50 -0.03	ns
$T_{OSDCK_T}/T_{OSCKD_T}^{(1)}$	T 入力の CLK に対するセットアップ/ホールド	0.43 -0.16	0.52 -0.16	0.62 -0.16	ns
$T_{OSDCK_T2}/T_{OSCKD_T2}^{(1)}$	T 入力の CLKDIV に対するセットアップ/ホールド	0.35 -0.05	0.42 -0.04	0.50 -0.03	ns
$T_{OSCK_OCE}/T_{OSCKC_OCE}$	OCE 入力の CLK に対するセットアップ/ホールド	0.45 0.01	0.53 0.02	0.64 0.03	ns
T_{OSCK_S}	SR (リセット) 入力の CLKDIV に対するセットアップ	0.67	0.80	0.96	ns
$T_{OSCK_TCE}/T_{OSCKC_TCE}$	TCE 入力の CLK に対するセットアップ/ホールド	0.45 0.01	0.53 0.02	0.64 0.03	ns
シーケンシャル遅延					
T_{OSCKO_OQ}	CLK から OQ までの Clock to Out 遅延	0.41	0.49	0.59	ns
T_{OSCKO_TQ}	CLK から TQ までの Clock to Out 遅延	0.41	0.49	0.59	ns
組み合わせ					
T_{OSDO_TTQ}	T 入力から TQ 出力までの遅延	0.56	0.65	0.76	ns
T_{OSCO_OQ}	非同期リセットから OQ までの遅延	1.14	1.37	1.64	ns
T_{OSCO_TQ}	非同期リセットから TQ までの遅延	1.14	1.37	1.64	ns

メモ :

- T_{OSDCK_T2} および T_{OSCKD_T2} は、TRCE レポートでは T_{OSDCK_T}/T_{OSCKD_T} と表示されます。

CLB スイッチ特性

表 36 : CLB スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
組み合わせ遅延					
T_{ILO}	4 入力ファンクション : F/G 入力から X/Y 出力までの遅延	0.15	0.17	0.20	ns、最大
T_{IF5}	5 入力ファンクション : F/G 入力から F5 出力までの遅延	0.35	0.40	0.46	ns、最大
T_{IF5X}	5 入力ファンクション : F/G 入力から X 出力までの遅延	0.43	0.49	0.57	ns、最大
T_{IF6Y}	FXINA または FXINB 入力から YMUX 出力までの遅延	0.30	0.34	0.39	ns、最大
T_{INAFX}	FXINA 入力から MUXFX を通り、FX 出力までの遅延	0.21	0.23	0.27	ns、最大
T_{INBFX}	FXINB 入力から MUXFX を通り、FX 出力までの遅延	0.20	0.23	0.26	ns、最大
T_{BXX}	BX 入力から XMUX 出力までの遅延	0.58	0.65	0.76	ns、最大
T_{BYY}	BY 入力から YMUX 出力までの遅延	0.43	0.48	0.56	ns、最大
T_{BXCX}	BX 入力から C_{OUT} 出力までの遅延 - キャリー チェーンに入力 ⁽²⁾	0.59	0.66	0.78	ns、最大
T_{BYCY}	BY 入力から C_{OUT} 出力までの遅延 - キャリー チェーンに入力 ⁽²⁾	0.48	0.54	0.63	ns、最大
T_{BYP}	C_{IN} 入力から C_{OUT} 出力までの遅延 - キャリー チェーン遅延 ⁽²⁾	0.07	0.08	0.09	ns、最大
T_{OPCYF}	F 入力から C_{OUT} 出力までの遅延 - キャリー チェーン以外に接続 ⁽²⁾	0.44	0.50	0.58	ns、最大
T_{OPCYG}	G 入力から C_{OUT} 出力までの遅延 - キャリー チェーン以外に接続 ⁽²⁾	0.43	0.48	0.57	ns、最大
シーケンシャル遅延					
T_{CKO}	FF のクロック CLK から XQ/YQ 出力までの遅延	0.28	0.31	0.36	ns、最大
T_{CKLO}	ラッチのクロック CLK から XQ/YQ 出力までの遅延	0.36	0.41	0.48	ns、最大
クロック CLK 前後における CLB フリップフロップのセットアップ/ホールド タイム					
T_{DICK}/T_{CKDI}	BX/BY 入力	0.36 -0.09	0.40 -0.09	0.47 -0.09	ns、最小
T_{CECK}/T_{CKCE}	CE 入力	0.57 -0.16	0.64 -0.16	0.75 -0.16	ns、最小
T_{FXCK}/T_{CKFX}	FXINA/FXINB 入力	0.41 -0.14	0.46 -0.14	0.54 -0.14	ns、最小
T_{SRCK}/T_{CKSR}	SR/BY 入力 (同期)	1.02 -0.73	1.15 -0.73	1.35 -0.73	ns、最小
T_{CINCK}/T_{CKCIN}	C_{IN} データ入力 (DI) - キャリー チェーン以外に接続 ⁽²⁾	0.51 -0.23	0.57 -0.23	0.67 -0.23	ns、最小
セット/リセット					
T_{RPW}	最小パルス幅、SR/BY 入力	0.53	0.59	0.70	ns、最小

表 36 : CLB スイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
T_{RQ}	SR/BY 入力から XQ/YQ 出力までの遅延 (非同期)	1.03	1.15	1.35	ns、最大
F_{TOG}	トグル周波数 (MHz) (エクスポート制御用)	1205	1205	1028	MHz

メモ :

1. ホールド タイムが「0」とは、ホールド タイムがないか、負のホールド タイムであることを示します。負のホールド タイムは、保証された「ベスト ケース」値を示すわけではありません。
2. これらは、キャリー チェーンを使用するアプリケーションで重要です。

CLB 分散 RAM スイッチ特性 (SLICEM のみ)

表 37 : CLB 分散 RAM スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
シーケンシャル遅延					
T_{SHCKO}	クロック CLK から X 出力までの遅延 (WE アクティブ)	1.58	1.77	2.08	ns、最大
$T_{SHCKOF5}$	クロック CLK から F5 出力までの遅延 (WE アクティブ)	1.50	1.69	1.98	ns、最大
クロック CLK 前後におけるセットアップおよびホールド タイム					
T_{DS}/T_{DH}	BX/BY データ入力 (DI)	1.23 -0.88	1.46 -0.88	1.80 -0.88	ns、最小
T_{AS}/T_{AH}	F/G アドレス入力	0.86 -0.37	0.97 -0.34	1.13 -0.29	ns、最小
T_{WS}/T_{WH}	WE 入力 (SR)	1.08 -0.47	1.21 -0.47	1.42 -0.47	ns、最小
クロック CLK					
T_{WPH}	最小パルス幅、High	0.52	0.59	0.69	ns、最小
T_{WPL}	最小パルス幅、Low	0.54	0.60	0.70	ns、最小
T_{WC}	アドレス書き込みサイクル時間を満たすための最小クロック周期	0.74	0.84	0.98	ns、最小

メモ :

1. ホールド タイムが「0」とは、ホールド タイムがないか、負のホールド タイムであることを示します。負のホールド タイムは、保証された「ベスト ケース」値を示すわけではありません。
2. T_{SHCKO} は CLK から XMUX 出力までの遅延も表します。CLK から XMUX までのパスの TRCE レポートを参照してください。

CLB シフト レジスタ スイッチ特性 (SLICEM のみ)

表 38 : CLB シフト レジスタ スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
シーケンシャル遅延					
T_{REG}	クロック CLK から X/Y 出力までの遅延	1.95	2.19	2.57	ns、最大
T_{REGXB}	クロック CLK から MC15 LUT 出力を通り、XB 出力までの遅延	1.54	1.74	2.04	ns、最大
T_{REGYB}	クロック CLK から MC15 LUT 出力を通り、YB 出力までの遅延	1.65	1.85	2.17	ns、最大
T_{CKSH}	クロック CLK から SHIFTOUT までの遅延	1.51	1.70	1.99	ns、最大
T_{REGF5}	クロック CLK から F5 出力までの遅延	1.87	2.11	2.47	ns、最大
クロック CLK 前後におけるセットアップおよびホールド タイム					
T_{WS}/T_{WH}	WE 入力 (SR)	0.85 -0.76	0.96 -0.70	1.12 -0.62	ns、最小
T_{DS}/T_{DH}	BX/BY データ入力 (DI)	1.25 -1.11	1.45 -1.11	1.75 -1.11	ns、最小
クロック CLK					
T_{WPH}	最小パルス幅、High	0.52	0.59	0.69	ns、最小
T_{WPL}	最小パルス幅、Low	0.54	0.60	0.70	ns、最小

メモ：

1. ホールド タイムが「0」とは、ホールド タイムがないか、負のホールド タイムであることを示します。負のホールド タイムは、保証された「ベスト ケース」値を示すわけではありません。

ブロック RAM および FIFO スイッチ特性

表 39: ブロック RAM スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
シーケンシャル遅延					
T_{RCKO_DORA}	クロック CLK から DOUT 出力までの遅延 (出力レジスタは未使用) ⁽²⁾	1.65	1.83	2.10	ns、最大
T_{RCKO_DOA}	クロック CLK から DOUT 出力までの遅延 (出力レジスタを使用) ⁽³⁾	0.72	0.80	0.92	ns、最小
クロック CLK 前のセットアップおよびホールド タイム					
$T_{RCCK_ADDR}/T_{RCKC_ADDR}$	ADDR 入力	0.34 0.26	0.37 0.28	0.43 0.33	ns、最小
T_{RDCK_DI}/T_{RCKD_DI}	DIN 入力 ⁽⁴⁾	0.18 0.26	0.20 0.28	0.23 0.33	ns、最小
T_{RCCK_EN}/T_{RCKC_EN}	EN 入力 ⁽⁵⁾	0.41 0.26	0.45 0.28	0.52 0.33	ns、最小
$T_{RCCK_REGCE}/T_{RCKC_REGCE}$	出力レジスタの CE 入力	0.25 0.26	0.27 0.28	0.32 0.33	ns、最小
$T_{RCCK_SSR}/T_{RCKC_SSR}$	RST 入力	0.25 0.26	0.27 0.28	0.32 0.33	ns、最小
T_{RCCK_WE}/T_{RCKC_WE}	WEN 入力	0.59 0.26	0.65 0.28	0.75 0.33	ns、最小
最大周波数					
F_{MAX}	WRITE_FIRST および NO_CHANGE モード	500.00	450.45	400.00	MHz
F_{MAX}	READ_FIRST モード	500.00	450.45	400.00	MHz

メモ:

1. ホールド タイムが「0」とは、ホールド タイムがないか、負のホールド タイムであることを示します。負のホールド タイムは、保証された「ベスト ケース」値を示すわけではありません。
2. T_{RCKO_DORA} には、 T_{RCKO_DOWA} 、 T_{RCKO_DOPAR} 、および T_{RCKO_DOPAW} が含まれ、B ポートにも同様のタイミング パラメータが使用されます。
3. T_{RCKO_DOA} には、 T_{RCKO_DOPA} が含まれ、B にも同様のタイミング パラメータが使用されます。
4. T_{RCKO_DI} には、A 入力および B 入力とそれらのパリティ入力が含まれます。
5. ザイリンクスのブロック RAM では、イネーブルになったポート アドレスに非同期入力はありませぬ。ポートがイネーブルになる際は、アドレスが指定されたセットアップ タイム間、安定している必要があります。イネーブル後のポート アドレスに非同期入力を作成しないでください。

表 40 : FIFO スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
シーケンシャル遅延					
T_{FCKO_DO}	クロック CLK から DO 出力までの遅延 ⁽²⁾	0.72	0.80	0.92	ns、最大
T_{FCKO_FLAGS}	クロック CLK から FIFO フラグ出力までの遅延 ⁽³⁾	0.93	1.04	1.19	ns、最大
$T_{FCKO_POINTERS}$	クロック CLK から FIFO ポインタ出力までの遅延 ⁽⁴⁾	1.16	1.29	1.48	ns、最大
クロック CLK 前のセットアップおよびホールド タイム					
T_{FDCK_DI}/T_{FCKD_DI}	DI 入力 ⁽⁵⁾	0.18 0.26	0.20 0.28	0.23 0.33	ns、最小
T_{FCCK_EN}/T_{FCKC_EN}	EN 入力 ⁽⁶⁾	0.66 0.26	0.73 0.28	0.84 0.33	ns、最小
リセット遅延					
T_{FCO_FLAGS}	リセット RST から FLAGS までの遅延 ⁽⁷⁾	1.32	1.46	1.68	ns、最大
最大周波数					
F_{MAX}	すべての動作モードの FIFO	500.00	450.45	400.00	MHz

メモ:

1. ホールド タイムが「0」とは、ホールド タイムがないか、負のホールド タイムであることを示します。負のホールド タイムは、保証された「ベスト ケース」値を示すわけではありません。
2. T_{FCKO_DO} にはパリティ出力 (T_{FCKO_DOP}) が含まれます。
3. T_{FCKO_FLAGS} には、 T_{FCKO_AEMPTY} 、 T_{FCKO_AFULL} 、 T_{FCKO_EMPTY} 、 T_{FCKO_FULL} 、 T_{FCKO_RDERR} 、 T_{FCKO_WRERR} が含まれます。
4. $T_{FCKO_POINTERS}$ には、 $T_{FCKO_RDCOUNT}$ および $T_{FCKO_WRCOUNT}$ が含まれます。
5. T_{FDCK_DI} にはパリティ入力 (T_{FDCK_DIP}) が含まれます。
6. T_{FCCK_EN} には、WRITE および READ イネーブルが含まれます。
7. T_{FCO_FLAGS} には、AEMPTY、AFULL、EMPTY、FULL、RDERR、WRERR、RDCOUNT、および WRCOUNT フラグが含まれます。

XtremeDSP™ スイッチ特性

表 41 : XtremeDSP スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
CE ピンのセットアップおよびホールド					
$T_{\text{DSPCK_CE}}/T_{\text{DSPKC_CE}}$	DSP48 スライスの CE 入力すべてのセットアップ/ ホールド	0.39 0.09	0.43 0.10	0.49 0.12	ns
$T_{\text{DSPCK_RST}}/T_{\text{DSPKC_RST}}$	DSP48 スライスの RST 入力すべてのセットアップ/ ホールド	0.32 0.09	0.36 0.10	0.40 0.12	ns
データのセットアップおよびホールド タイム					
$T_{\text{DSPDCK_}\{AA, BB, CC\}}/T_{\text{DSPCKD_}\{AA, BB, CC\}}$	{A, B, C} 入力から {A, B, C} レジスタへの セットアップ/ホールド	0.25 0.23	0.28 0.26	0.32 0.29	ns
$T_{\text{DSPDCK_}\{AM, BM\}}/T_{\text{DSPCKD_}\{AM, BM\}}$	{A, B} 入力から M レジスタへのセットアップ/ ホールド	1.82 0.00	2.03 0.00	2.28 0.00	ns
シーケンシャル遅延					
$T_{\text{DSPCKO_PP}}$	P レジスタから P 出力までの Clock to Out 遅延	0.64	0.71	0.79	ns
$T_{\text{DSPCKO_PM}}$	M レジスタから P 出力までの Clock to Out 遅延	2.38	2.65	2.98	ns
組み合わせ					
$T_{\text{DSPDO_}\{AP, BP\}L}$	{A, B} 入力から P 出力までの遅延 (LEGACY_MODE = MULT18X18)	3.53	3.92	4.41	ns
最大周波数					
F_{MAX}	{A, B} レジスタから P レジスタ (LEGACY_MODE = MULT18X18)	317.46	285.71	253.94	MHz
	完全なパイプライン	500.00	450.05	400.00	MHz

コンフィギュレーション スイッチ特性

表 42: コンフィギュレーションスイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
電源投入タイミング特性					
T_{PL}	プログラム レイテンシ		0.5	0.5	$\mu\text{s}/\text{frame}$ 最大
T_{POR}	パワー オン リセット		$T_{PL} + 10$	$T_{PL} + 10$	ms、最大
T_{ICCK}	CCLK (出力) 遅延		500	500	ns、最小
$T_{PROGRAM}$	プログラム パルス幅		300	300	ns、最小
マスタ/スレーブ シリアル モード プログラミング スイッチ					
T_{DCC}/T_{CCD}	DIN セットアップ/ホールド、 スレーブ モード		0.5 1.0	0.5 1.0	ns、最小
T_{DSCK}/T_{SCKD}	DIN セットアップ/ホールド、 マスタ モード		0.5 1.0	0.5 1.0	ns、最小
T_{CCO}	DOUT		7.5	7.5	ns、最大
T_{CCH}	High タイム		2.0	2.0	ns、最小
T_{CCL}	Low タイム		2.0	2.0	ns、最小
F_{CC_SERIAL}	マスタ モードで標準 CLK を使用する 場合の最大周波数		100	100	MHz、最大
F_{MCCTOL}	マスタ モードで標準 CLK を使用する 場合の周波数耐性		± 50	± 50	%
F_{MAX_SLAVE}	スレーブ モードで外部からの CCLK を 使用する場合の周波数		100	100	MHz
SelectMAP モード プログラミング スイッチ特性					
T_{SMDC}/T_{SMCCD}	SelectMAP セットアップ/ホールド		2.0 0.0	2.0 0.0	ns、最小
T_{SMSCC}/T_{SMCCS}	CS_B セットアップ/ホールド		1.0 0.5	1.0 0.5	ns、最小
T_{SMCCW}/T_{SMWCC}	RDWR_B セットアップ/ホールド		6.0 1.0	6.0 1.0	ns、最小
T_{SMCKBY}	BUSY 伝搬遅延		8.0	8.0	ns、最大
$F_{CC_SELECTMAP}$	マスタ モードで標準 CLK を使用する 場合の最大周波数		100	100	MHz、最大
F_{MCCTOL}	マスタ モードで標準 CLK を使用する 場合の周波数耐性		± 50	± 50	%

表 42: コンフィギュレーションスイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
バウンダリ スキャン ポート タイミング特性					
T_{TAPTCK}	TCK 前の TMS および TDI セットアップ		1.0	1.0	ns、最小
T_{TCKTAP}	TCK 後の TMS および TDI ホールド		2.0	2.0	ns、最小
T_{TCKTDO}	TCK の立ち下がりエッジから TDO 出力が有効になるまでの時間		6.0	6.0	ns、最大
F_{TCK}	コンフィギュレーション TCK クロックの最大周波数		66	66	MHz、最大
F_{TCKB}	バウンダリ スキャン TCK クロックの最大周波数		50	50	MHz、最大
DCM のダイナミック リコンフィギュレーション ポート (DRP)					
CLKIN_FREQ_DLL_HF_MS_MAX	DCLK の最大周波数	500	450	400	MHz、最大
D_DCMADV_DADDR_DCLK_SETUP/ D_DCMADV_DADDR_DCLK_HOLD	DADDR セットアップ/ホールド	0.54 0.00	0.63 0.00	0.72 0.00	ns、最大
D_DCMADV_DI_DCLK_SETUP/ D_DCMADV_DI_DCLK_HOLD	DI セットアップ/ホールド	0.54 0.00	0.63 0.00	0.72 0.00	ns、最大
D_DCMADV_DEN_DCLK_SETUP/ D_DCMADV_DEN_DCLK_HOLD	DEN セットアップ/ホールド	0.58 0.00	0.58 0.00	0.58 0.00	ns、最大
D_DCMADV_DWE_DCLK_SETUP/ D_DCMADV_DWE_DCLK_HOLD	DWE セットアップ/ホールド	0.58 0.00	0.58 0.00	0.58 0.00	ns、最大
D_DCMADV_DCLK_DO	DO の CLK to Out ⁽¹⁾	0	0	0	ns、最大
D_DCMADV_DCLK_DRDY	DRDY の CLK to Out	0.68	0.80	0.92	ns、最大

メモ:

- 次にダイナミック リコンフィギュレーションが実行されるまで DO の値は維持されます。

クロック バッファおよびネットワーク

表 43: グローバル クロック スイッチ 特性 (BUFGCTRL を含む)

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
$T_{BCCCK_CE}/T_{BCCKC_CE}^{(1)}$	CE ピンのセットアップ/ホールド	0.27 0.00	0.31 0.00	0.35 0.00	ns
$T_{BCCCK_S}/T_{BCCKC_S}^{(1)}$	S ピンのセットアップ/ホールド	0.27 0.00	0.31 0.00	0.35 0.00	ns
T_{BCCKO_O}	BUFGCTRL 遅延	0.70	0.77	0.90	ns
最大周波数					
F_{MAX}	グローバル クロック ツリー		450	400	MHz

メモ:

- T_{BCCCK_CE} および T_{BCCKC_CE} は、グローバル クロック のグリッチが発生しないようにするために、必ず仕様を満たす必要があります。ただし、これらのパラメータは、BUFGMUX_VIRTEX4 プリミティブには適用されません。その他のグローバル クロック セットアップおよびホールド タイムはオプションです。シミュレーションでサイクル対サイクルを一致させる必要がある場合にのみ、満たす必要があります。

DCM および PMCD スイッチ特性

表 44 : DCM を MS (Maximum Speed) モードで使用する場合の周波数範囲

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
出力クロック (低周波数モード)					
CLKOUT_FREQ_1X_LF_MS_MIN	CLK0, CLK90, CLK180, CLK270	32	32	32	MHz
CLKOUT_FREQ_1X_LF_MS_MAX		150	150	150	MHz
CLKOUT_FREQ_2X_LF_MS_MIN	CLK2X, CLK2X180	64	64	64	MHz
CLKOUT_FREQ_2X_LF_MS_MAX		300	300	300	MHz
CLKOUT_FREQ_DV_LF_MS_MIN	CLKDV	2	2	2	MHz
CLKOUT_FREQ_DV_LF_MS_MAX		100	100	100	MHz
CLKOUT_FREQ_FX_LF_MS_MIN	CLKFX, CLKFX180	32	32	32	MHz
CLKOUT_FREQ_FX_LF_MS_MAX		210	210	210	MHz
入力クロック (低周波数モード)					
CLKIN_FREQ_DLL_LF_MS_MIN	CLKIN (DLL 出力を使用) ^(1, 3, 4)	32	32	32	MHz
CLKIN_FREQ_DLL_LF_MS_MAX		150	150	150	MHz
CLKIN_FREQ_FX_LF_MS_MIN	CLKIN (DFS 出力のみ使用) ^(2, 3, 4)	1	1	1	MHz
CLKIN_FREQ_FX_LF_MS_MAX		210	210	210	MHz
PSCLK_FREQ_LF_MS_MIN	PSCLK	1	1	1	KHz
PSCLK_FREQ_LF_MS_MAX		500	450	400	MHz
出力クロック (高周波数モード)					
CLKOUT_FREQ_1X_HF_MS_MIN	CLK0, CLK90, CLK180, CLK270	150	150	150	MHz
CLKOUT_FREQ_1X_HF_MS_MAX		500	450	400	MHz
CLKOUT_FREQ_2X_HF_MS_MIN	CLK2X, CLK2X180	300	300	300	MHz
CLKOUT_FREQ_2X_HF_MS_MAX		500	450	400	MHz
CLKOUT_FREQ_DV_HF_MS_MIN	CLKDV	9.4	9.4	9.4	MHz
CLKOUT_FREQ_DV_HF_MS_MAX		333	300	267	MHz
CLKOUT_FREQ_FX_HF_MS_MIN	CLKFX, CLKFX180	210	210	210	MHz
CLKOUT_FREQ_FX_HF_MS_MAX		350	315	300	MHz
入力クロック (高周波数モード)					
CLKIN_FREQ_DLL_HF_MS_MIN	CLKIN (DLL 出力を使用) ^(1, 3, 4)	150	150	150	MHz
CLKIN_FREQ_DLL_HF_MS_MAX		500	450	400	MHz
CLKIN_FREQ_FX_HF_MS_MIN	CLKIN (DFS 出力のみ使用) ^(2, 3, 4)	50	50	50	MHz
CLKIN_FREQ_FX_HF_MS_MAX		350	315	300	MHz
PSCLK_FREQ_HF_MS_MIN	PSCLK	1	1	1	KHz
PSCLK_FREQ_HF_MS_MAX		500	450	400	MHz

表 44 : DCM を MS (Maximum Speed) モードで使用する場合の周波数範囲 (続き)

シンボル	説明	スピード グレード			単位
		-12	-11	-10	

メモ :

- これらのインスタンスでは、DLL 出力とは、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、および CLKDV 出力を指します。
- これらのインスタンスでは、DFS 出力とは、CLKFX および CLKFX180 出力を指します。
- DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、これらの値を 2 倍にする必要があります。
- CLKIN 周波数 > 400MHz であり、かつ DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、CLKIN のデューティ サイクルは ±5% 内 (45/55 ~ 55/45) である必要があります。
- クロック入力を 100ms 間以上停止させた場合、DCM をリセットする必要があります。

表 45 : DCM を MR (Maximum Range) モードで使用する場合の周波数範囲

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
出力クロック (低周波数モード)					
CLKOUT_FREQ_1X_LF_MR_MIN	CLK0、CLK90、CLK180、CLK270	19	19	19	MHz
CLKOUT_FREQ_1X_LF_MR_MAX		40	36	32	MHz
CLKOUT_FREQ_2X_LF_MR_MIN	CLK2X、CLK2X180	38	38	38	MHz
CLKOUT_FREQ_2X_LF_MR_MAX		80	72	64	MHz
CLKOUT_FREQ_DV_LF_MR_MIN	CLKDV	1.2	1.2	1.2	MHz
CLKOUT_FREQ_DV_LF_MR_MAX		26.7	24	21.3	MHz
CLKOUT_FREQ_FX_LF_MR_MIN	CLKFX、CLKFX180	19	19	19	MHz
CLKOUT_FREQ_FX_LF_MR_MAX		40	36	32	MHz
入力クロック (低周波数モード)					
CLKIN_FREQ_DLL_LF_MR_MIN	CLKIN (DLL 出力を使用) ^(1, 3, 4)	19	19	19	MHz
CLKIN_FREQ_DLL_LF_MR_MAX		40	36	32	MHz
CLKIN_FREQ_FX_LF_MR_MIN	CLKIN (DFS 出力のみ使用) ^(2, 3, 4)	1	1	1	MHz
CLKIN_FREQ_FX_LF_MR_MAX		35	32	28	MHz
PSCLK_FREQ_LF_MR_MIN	PSCLK	1	1	1	KHz
PSCLK_FREQ_LF_MR_MAX		262.50	236.30	210.00	MHz

メモ :

- これらのインスタンスでは、DLL 出力とは、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、および CLKDV 出力を指します。
- これらのインスタンスでは、DFS 出力とは、CLKFX および CLKFX180 出力を指します。
- DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、これらの値を 2 倍にする必要があります。
- CLKIN 周波数 > 400MHz であり、かつ DCM の CLKIN_DIVIDE_BY_2 属性を使用する場合、CLKIN のデューティ サイクルは ±5% 内 (45/55 ~ 55/45) である必要があります。

表 46: I入力クロック耐性

シンボル	説明	周波数範囲		値	単位
デューティ サイクル入力耐性 (%)					
CLKIN_PSCLK_PULSE_RANGE_1	PSCLK のみ	< 1MHz		25 - 75	%
CLKIN_PSCLK_PULSE_RANGE_1_50	PSCLK および CLKIN	1 - 50MHz		25 - 75	%
CLKIN_PSCLK_PULSE_RANGE_50_100		50 - 100MHz		30 - 70	%
CLKIN_PSCLK_PULSE_RANGE_100_200		100 - 200MHz		40 - 60	%
CLKIN_PSCLK_PULSE_RANGE_200_400		200 - 400MHz		45 - 55	%
CLKIN_PSCLK_PULSE_RANGE_400		> 400MHz		45 - 55	%
入力クロック Cycle-Cycle ジッタ (低周波数モード)		スピード グレード			単位
		-12	-11	-10	
CLKIN_CYC_JITT_DLL_LF	CLKIN (DLL 出力を使用) ⁽¹⁾	±300	±300	±345	ps
CLKIN_CYC_JITT_FX_LF	CLKIN (DFS 出力を使用) ⁽²⁾	±300	±300	±345	ps
入力クロック Cycle-Cycle ジッタ (高周波数モード)					
CLKIN_CYC_JITT_DLL_HF	CLKIN (DLL 出力を使用) ⁽¹⁾	±150	±150	±173	ps
CLKIN_CYC_JITT_FX_HF	CLKIN (DFS 出力を使用) ⁽²⁾	±150	±150	±173	ps
入力クロック周期ジッタ (低周波数モード)					
CLKIN_PER_JITT_DLL_LF	CLKIN (DLL 出力を使用) ⁽¹⁾	±1.0	±1.0	±1.15	ns
CLKIN_PER_JITT_FX_LF	CLKIN (DFS 出力を使用) ⁽²⁾	±1.0	±1.0	±1.15	ns
入力クロック周期ジッタ (高周波数モード)					
CLKIN_PER_JITT_DLL_HF	CLKIN (DLL 出力を使用) ⁽¹⁾	±1.0	±1.0	±1.15	ns
CLKIN_PER_JITT_FX_HF	CLKIN (DFS 出力を使用) ⁽²⁾	±1.0	±1.0	±1.15	ns
フィードバック クロック パス遅延の変動					
CLKFB_DELAY_VAR_EXT	CLKFB オフチップ フィードバック	±1.0	±1.0	±1.15	ns

メモ:

- これらのインスタンスでは、DLL 出力とは、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、および CLKDV 出力を指します。
- これらのインスタンスでは、DFS 出力とは、CLKFX および CLKFX180 出力を指します。
- DLL および DFS の両方を使用する場合は、より厳密な仕様に従ってください。

出力クロック ジッタ

表 47: 出力クロック ジッタ

説明	シンボル	制約	スピード グレード			単位
			-12	-11	-10	
クロック合成周期ジッタ						
CLK0	CLKOUT_PER_JITT_0		±100	±100	±100	ps
CLK90	CLKOUT_PER_JITT_90		±150	±150	±150	ps
CLK180	CLKOUT_PER_JITT_180		±150	±150	±150	ps
CLK270	CLKOUT_PER_JITT_270		±150	±150	±150	ps
CLK2X、CLK2X180	CLKOUT_PER_JITT_2X		±200	±200	±200	ps
CLKDV (分周値は整数)	CLKOUT_PER_JITT_DV1		±150	±150	±150	ps
CLKDV (分周値は整数以外)	CLKOUT_PER_JITT_DV2		±300	±300	±300	ps
CLKFX、CLKFX180	CLKOUT_PER_JITT_FX		メモ 1	メモ 1	メモ 1	ps

メモ:

- このパラメータは、www.xilinx.co.jp から参照いただけます。

出力クロック位相調整

表 48: 出力クロック位相調整

説明	シンボル	制約	スピード グレード			単位
			-12	-11	-10	
CLKIN および CLKFB 間の位相オフセット						
CLKIN/CLKFB	CLKIN_CLKFB_PHASE		±120	±120	±120	ps
任意の DCM 出力間の位相オフセット						
すべての CLK 出力	CLKOUT_PHASE		±140	±140	±140	ps
デューティ サイクル精度						
DLL 出力 ⁽¹⁾	CLKOUT_DUTY_CYCLE_DLL ^(3, 4)		±150	±150	±150	ps
DFS 出力 ⁽²⁾	CLKOUT_DUTY_CYCLE_FX ⁽⁴⁾		±200	±200	±200	ps

メモ:

- これらのインスタンスでは、DLL 出力とは、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、および CLKDV 出力を指します。
- これらのインスタンスでは、DFS 出力とは、CLKFX および CLKFX180 出力を指します。
- DUTY_CYCLE_CORRECTION = TRUE の場合にのみ、CLKOUT_DUTY_CYCLE_DLL を 1X クロック出力 (CLK0、CLK90、CLK180、および CLK270) に適用してください。
- 計測値には、グローバル クロック ツリーのデューティ サイクルのずれが含まれます。

表 49: その他のタイミングパラメータ

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
LOCK するために要する時間					
T_LOCK_DLL_240	DLL 出力 - 周波数範囲 > 240MHz ⁽¹⁾	20	20	20	μs
T_LOCK_DLL_120_240	DLL 出力 - 周波数範囲 120 - 240MHz ⁽¹⁾	63	63	63	μs
T_LOCK_DLL_60_120	DLL 出力 - 周波数範囲 60 - 120MHz ⁽¹⁾	225	225	225	μs
T_LOCK_DLL_50_60	DLL 出力 - 周波数範囲 50 - 60MHz ⁽¹⁾	325	325	325	μs
T_LOCK_DLL_40_50	DLL 出力 - 周波数範囲 40 - 50MHz ⁽¹⁾	500	500	500	μs
T_LOCK_DLL_30_40	DLL 出力 - 周波数範囲 30 - 40MHz ⁽¹⁾	900	900	900	μs
T_LOCK_DLL_24_30	DLL 出力 - 周波数範囲 24 - 30MHz ⁽¹⁾	1250	1250	1250	μs
T_LOCK_DLL_30	DLL 出力 - 周波数範囲 < 30MHz ⁽¹⁾	1250	1250	1250	μs
T_LOCK_FX_MIN	DFS 出力 ⁽²⁾	10	10	10	ms
T_LOCK_FX_MAX		10	10	10	ms
T_LOCK_DLL_FINE_SHIFT	Fine シフトでの DLL ロック時間の乗算係数	2	2	2	
Fine 位相シフト					
FINE_SHIFT_RANGE_MS	最大スピード (MS) モードでの絶対シフト範囲	7	7	7	ns
FINE_SHIFT_RANGE_MR	最大範囲 (MR) モードでの絶対シフト範囲	10	10	10	ns
遅延ライン					
DCM_TAP_MS_MIN	最大スピード (MS) モードでのタップ遅延精度 (最小)	5	5	5	ps
DCM_TAP_MS_MAX	最大スピード (MS) モードでのタップ遅延精度 (最大)	40	40	40	ps
DCM_TAP_MR_MIN	最大範囲 (MR) モードでのタップ遅延精度 (最小)	10	10	10	ps
DCM_TAP_MR_MAX	最大範囲 (MR) モードでのタップ遅延精度 (最大)	60	60	60	ps

メモ:

- これらのインスタンスでは、DLL 出力とは、CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180、および CLKDV 出力を指します。
- これらのインスタンスでは、DFS 出力とは、CLKFX および CLKFX180 出力を指します。

表 50: 周波数合成

属性	最小	最大
CLKFX_MULTIPLY	2	32
CLKFX_DIVIDE	1	32

表 51 : DCM スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
$T_{DMCCK_PSEN}/T_{DMCKC_PSEN}$	PSEN セットアップ/ホールド	0.93 0.00	0.93 0.00	1.07 0.00	ns
$T_{DMCCK_PSINCDEC}/T_{DMCKC_PSINCDEC}$	PSINCDEC セットアップ/ホールド	0.93 0.00	0.93 0.00	1.07 0.00	ns
T_{DMCKO_PSDONE}	PSDONE の Clock to Out	0.60	0.60	0.69	ns

表 52 : PMCD スイッチ特性

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
$T_{PMCCCK_REL}/T_{PMCCKC_REL}$	すべての出力の REL セットアップ/ホールド	0.60 0.00	0.60 0.00	0.60 0.00	ns
$T_{PMCCO_CLK}\{A1,B,C,D\}$	RST のアサートからディアサートし、 クロックが出力されるまでの時間	4.00	4.00	4.50	ns
$T_{PMCCO_CLK}\{A1,B,C,D\}$	すべての出力に対する PMCD の最大クロック 伝搬遅延	4.60	4.60	5.20	ns
PMCD_CLK_SKEW	すべての出力が次に入力されるまでの最大位相差	±150	±150	±150	ps
CLKIN_FREQ_PMCD_CLKA_MAX	入力/出力の最大周波数	500	450	400	MHz
CLKIN_PSCLK_PULSE_RANGE ⁽¹⁾	デューティサイクルの最大入力耐性 (DCM と同一)	表 46	表 46	表 46	
PMCD_REL_HIGH_PULSE_MIN	REL の最小パルス幅	1.11	1.11	1.25	ns
PMCD_RST_HIGH_PULSE_MIN	RST の最小パルス幅	1.11	1.11	1.25	ns

メモ :

1. 表 46 に記載のパラメータ、CLKIN_PSCLK_PULSE_RANGE を参照してください。

システム同期スイッチ特性

Virtex-4 Pin-to-Pin 出力パラメータ ガイドライン

すべてのデバイスは、完全にファンクション テストが行われています。表 53 に、一般的なピン配置、かつ標準的なクロック ロードの場合の値を示します。

表 53 : DCM を使用する場合 12mA、Fast スルー レートの LVCMOS25 のおけるグローバル クロック入力から出力までの遅延

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
DCM をする場合の 12mA、Fast スルー レートの LVCMOS25 におけるグローバル クロック入力から出力フリップフロップ出力までの遅延						
T _{ICKOFDCM}	DCM を使用する場合のグローバル クロックから OFF までの遅延	XC4VLX15	2.43	2.81	3.25	ns
		XC4VLX25	2.60	2.95	3.36	ns
		XC4VLX40	2.54	2.91	3.32	ns
		XC4VLX60	2.69	3.05	3.45	ns
		XC4VLX80	2.88	3.27	3.72	ns
		XC4VLX100	2.94	3.33	3.79	ns
		XC4VLX160	2.94	3.35	3.82	ns
		XC4VLX200	N/A	3.51	4.02	ns
		XC4VSX25	2.65	2.99	3.39	ns
		XC4VSX35	2.81	3.18	3.60	ns
		XC4VSX55	2.83	3.20	3.62	ns
		XC4VFX12	2.43	2.78	3.18	ns
		XC4VFX20	2.54	2.88	3.26	ns
		XC4VFX40	2.87	3.25	3.67	ns
		XC4VFX60	2.92	3.31	3.77	ns
		XC4VFX100	3.16	3.58	4.06	ns
XC4VFX140	N/A	3.79	4.30	ns		

メモ :

- 1つのグローバル クロック入力、カラム内で1本の垂直なクロック ラインを駆動し、そのグローバル クロック ネットによって、アクセス可能なすべての IOB および CLB フリップフロップがクロック入力されている場合の値を示しています。
2. DCM の出力ジッタは、既にタイミング算出に含まれています。

表 54 : DCM を使用しない場合の12mA、Fast スループートの LVCMOS25 におけるグローバルクロック入力から出力までの遅延

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
DCM をしない場合の 12mA、Fast スループートの LVCMOS25 におけるグローバルクロック入力から出力フリップフロップ出力までの遅延						
T _{ICKOF}	DCM を使用しない場合のグローバルクロックから OFF までの遅延	XC4VLX15	6.42	7.22	8.14	ns
		XC4VLX25	6.50	7.32	8.25	ns
		XC4VLX40	6.70	7.54	8.50	ns
		XC4VLX60	6.86	7.72	8.70	ns
		XC4VLX80	6.98	7.85	8.85	ns
		XC4VLX100	7.23	8.15	9.18	ns
		XC4VLX160	7.46	8.40	9.46	ns
		XC4VLX200	N/A	8.79	9.88	ns
		XC4VSX25	6.69	7.52	8.47	ns
		XC4VSX35	6.75	7.59	8.56	ns
		XC4VSX55	7.10	7.99	9.00	ns
		XC4VFX12	6.41	7.21	8.13	ns
		XC4VFX20	6.60	7.42	8.37	ns
		XC4VFX40	6.97	7.84	8.83	ns
		XC4VFX60	6.98	7.86	8.85	ns
		XC4VFX100	7.46	8.40	9.45	ns
XC4VFX140	N/A	8.80	9.90	ns		

メモ:

- 1つのグローバルクロック入力、カラム内で1本の垂直なクロックラインを駆動し、そのグローバルクロックネットによって、アクセス可能なすべてのIOBおよびCLBフリップフロップがクロック入力されている場合の値を示しています。

Virtex-4 Pin-to-Pin 入力パラメータ ガイドライン

すべてのデバイスは、完全にファンクション テストが行われています。表 55 に、一般的なピン配置、かつ標準的なクロック ロードの場合の値を示します。特記がない限り、単位はナノセカンドです。

表 55 : DCM を使用する場合の LVCMOS25 におけるグローバル クロックに対するセットアップおよびホールド

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
LVCMOS25 におけるグローバル クロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T_{PSDCM}/T_{PHDCM}	DCM を使用し、遅延を使用しない場合のグローバル クロックから IFF までの時間 ⁽²⁾	XC4VLX15	1.35 -0.72	1.52 -0.67	1.54 -0.62	ns
		XC4VLX25	1.28 -0.58	1.50 -0.57	1.58 -0.55	ns
		XC4VLX40	1.25 -0.55	1.44 -0.50	1.50 -0.46	ns
		XC4VLX60	1.25 -0.43	1.47 -0.40	1.55 -0.36	ns
		XC4VLX80	1.22 -0.26	1.42 -0.21	1.49 -0.15	ns
		XC4VLX100	1.27 -0.20	1.48 -0.14	1.56 -0.08	ns
		XC4VLX160	1.54 -0.20	1.79 -0.13	1.89 -0.05	ns
		XC4VLX200	N/A	1.90 0.03	2.00 0.15	ns
		XC4VSX25	1.25 -0.50	1.47 -0.48	1.55 -0.48	ns
		XC4VSX35	1.21 -0.41	1.43 -0.38	1.50 -0.34	ns
		XC4VSX55	1.25 -0.23	1.47 -0.18	1.55 -0.13	ns
		XC4VFX12	1.35 -0.71	1.55 -0.69	1.61 -0.69	ns
		XC4VFX20	1.25 -0.52	1.48 -0.51	1.56 -0.51	ns
		XC4VFX40	1.23 -0.18	1.45 -0.13	1.52 -0.08	ns
		XC4VFX60	1.17 -0.06	1.37 0.01	1.44 0.09	ns
		XC4VFX100	1.21 0.11	1.42 0.20	1.49 0.31	ns
XC4VFX140	N/A	1.68 0.21	1.76 0.31	ns		

表 55 : DCM を使用する場合の LVCMOS25 におけるグローバル クロックに対するセットアップおよびホールド (続き)

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	

メモ :

1. セットアップ タイムは、最も高速で、負荷が最小の場合のグローバル クロック入力信号に対して計測されています。ホールド タイムは、最も低速で、負荷が最大の場合のグローバル クロック入力信号に対して計測されています。
2. 計測では CLK0 DCM ジッタを考慮しています。
IFF = 入力フリップフロップまたはラッチです。
3. 各信号規格を使用した場合のデューティ サイクルのずれは、IBIS を使用して確認してください。

表 56: ソース同期モードで DCM を使用する場合の LVCMOS25 におけるグローバル クロック セットアップおよびホールド

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
DCM およびグローバルクロック バッファを使用する場合、フォワードしたクロック入力ピンに対するデータ入力セットアップおよびホールド タイムの例です ⁽¹⁾ 。クロックおよびデータ入力に異なる規格を使用するときは、 24 ページの「IOB スイッチ特性^(1, 2)」 に記載の値を参照し、セットアップおよびホールド タイムを修正してください。						
T _{PSDCM_0} / T _{PHDCM_0}	ソース同期モードで DCM を使用し、遅延を使用しない場合のグローバルクロックから IFF までの時間 ⁽²⁾	XC4VLX15	-0.33 0.73	-0.33 0.88	-0.33 1.03	ns
		XC4VLX25	-0.29 0.86	-0.29 0.97	-0.29 1.09	ns
		XC4VLX40	-0.37 0.90	-0.37 1.04	-0.37 1.19	ns
		XC4VLX60	-0.32 1.02	-0.32 1.15	-0.32 1.29	ns
		XC4VLX80	-0.38 1.18	-0.38 1.34	-0.38 1.50	ns
		XC4VLX100	-0.31 1.24	-0.31 1.41	-0.31 1.57	ns
		XC4VLX160	-0.31 1.50	-0.31 1.69	-0.31 1.89	ns
		XC4VLX200	N/A	-0.31 1.97	-0.31 2.19	ns
		XC4VSX25	-0.32 0.95	-0.32 1.07	-0.32 1.17	ns
		XC4VSX35	-0.37 1.04	-0.37 1.17	-0.37 1.31	ns
		XC4VSX55	-0.32 1.22	-0.32 1.36	-0.32 1.52	ns
		XC4VFX12	-0.26 0.73	-0.26 0.86	-0.26 0.96	ns
		XC4VFX20	-0.31 0.92	-0.31 1.03	-0.31 1.14	ns
		XC4VFX40	-0.35 1.26	-0.35 1.41	-0.35 1.56	ns
		XC4VFX60	-0.43 1.39	-0.43 1.56	-0.43 1.74	ns
		XC4VFX100	-0.38 1.55	-0.38 1.75	-0.38 1.96	ns
XC4VFX140	N/A	-0.44 2.03	-0.44 2.25	ns		

メモ:

1. タイミング値は、DCM の Fine 位相調整機能を使用して計測しました。計測では CLK0 DCM ジッタを考慮していますが、パッケージ スキューは含まれていません。
2. IFF = 入力フリップフロップです。

表 57: DCM を使用しない場合の LVCMOS25 におけるグローバル クロック セットアップおよびホールド

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
LVCMOS25 におけるグローバル クロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T _{PSFD} / T _{PHFD}	DCM は未使用で、遅延を使用する場合のグローバル クロックから IFF までの時間	XC4VLX15	1.82 0.11	2.33 0.19	2.74 0.39	ns
		XC4VLX25	1.79 0.20	2.30 0.29	2.70 0.50	ns
		XC4VLX40	2.06 0.13	2.61 0.22	3.06 0.44	ns
		XC4VLX60	2.39 0.04	2.99 0.12	3.50 0.34	ns
		XC4VLX80	2.36 0.16	2.96 0.26	3.47 0.49	ns
		XC4VLX100	4.85 -0.09	5.83 -0.09	6.76 -0.01	ns
		XC4VLX160	2.56 0.46	3.21 0.59	3.76 0.88	ns
		XC4VLX200	N/A	3.57 0.64	4.17 0.95	ns
		XC4VSX25	2.12 0.14	2.68 0.23	3.14 0.44	ns
		XC4VSX35	2.10 0.21	2.66 0.30	3.12 0.52	ns
		XC4VSX55	1.99 0.57	2.53 0.71	2.97 0.98	ns
		XC4VFX12	1.82 0.12	2.33 0.20	2.73 0.39	ns
		XC4VFX20	1.75 0.38	2.26 0.49	2.65 0.73	ns
		XC4VFX40	1.82 0.64	2.34 0.78	2.75 1.05	ns
		XC4VFX60	2.42 0.25	3.03 0.35	3.54 0.59	ns
		XC4VFX100	1.69 1.11	2.21 1.31	2.60 1.64	ns
		XC4VFX140	N/A	2.80 1.26	3.28 1.61	ns

メモ:

1. セットアップ タイムは、最も高速で、負荷が最小の場合のグローバル クロック入力信号に対して計測されています。ホールド タイムは、最も低速で、負荷が最大の場合のグローバル クロック入力信号に対して計測されています。
2. IFF = 入力フリップフロップまたはラッチです。
3. ホールド タイムが「0」とは、ホールド タイムがないか、負のホールド タイムであることを示します。負のホールド タイムは、保証された「ベスト ケース」値を示すわけではありません。

ChipSync™ ソース同期スイッチ特性

ここでは、Virtex-4 ソース同期トランスミッタおよびレシーバのデータ有効ウィンドウにおけるタイミング バジエットの算出に必要な値を示します。

表 58: デューティサイクルのずれおよびクロック ツリー スキュー

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
T_{DCD_CLK}	グローバル クロック ツリーのデューティ サイクルのずれ ⁽¹⁾	すべて		150	150	ps
T_{CKSKEW}	グローバル クロック ツリー スキュー ⁽²⁾	XC4VLX15		120	120	ps
		XC4VLX25		200	200	ps
		XC4VLX40		270	270	ps
		XC4VLX60		380	380	ps
		XC4VLX80				ps
		XC4VLX100		600	600	ps
		XC4VLX160				ps
		XC4VLX200		1160	1160	ps
		XC4VSX25		250	250	ps
		XC4VSX35		310	310	ps
		XC4VSX55		485	485	ps
		XC4VFX12		90	90	ps
		XC4VFX20		220	220	ps
		XC4VFX40				ps
		XC4VFX60		395	395	ps
		XC4VFX100				ps
XC4VFX140				ps		
T_{DCD_BUFIO}	I/O クロック ツリーのデューティ サイクルのずれ	すべて		100	100	ps
	1 クロック領域内での I/O クロック ツリー スキュー	すべて		50	50	ps
$T_{BUFIOSKEW}$	複数のクロック領域に渡る I/O クロック ツリー スキュー	すべて		50	50	ps
T_{DCD_BUFR}	リージョナル クロック ツリーのデューティ サイクルのずれ	すべて		250	250	ps
$T_{BUFIO_MAX_FREQ}$	I/O クロック ツリーの最大周波数	すべて		710	644	MHz
$T_{BUFR_MAX_FREQ}$	リージョナル クロック ツリーの最大周波数	すべて		250	250	MHz

メモ:

- これらのパラメータは、LVDS 出力バッファを使用するデバイスのピンで計測可能なデューティ サイクルのずれのワースト ケースです。その他の I/O 規格を使用する場合、立ち上がり/立ち下がり時間が非対称であるために、付加的なデューティ サイクルのずれが発生する場合があります。このようなずれは IBIS を使用し、計測できます。
- T_{CKSKEW} 値は、連続する I/O エレメント間に見られるクロック ツリー スキューのワースト ケースを示します。互いに近接し、同一または隣接したクロック ツリーから入力されている I/O レジスタの方がクロック ツリー スキューは少なくなっています。特定のアプリケーションにおけるクロック スキューを計測する際は、ザイリンクス FPGA Editor および Timing Analyzer ツールを使用してください。

表 59: パッケージ スキュー

シンボル	説明	デバイス	パッケージ	値	単位
T _{PKGSKEW}	パッケージ スキュー ⁽¹⁾	XC4VLX15	SF363	80	ps
			FF668	120	ps
		XC4VLX25	SF363	90	ps
			FF668	110	ps
		XC4VLX40	FF668	110	ps
			FF1148	150	ps
		XC4VLX60	FF668	130	ps
			FF1148	140	ps
		XC4VLX80	FF1148	155	ps
		XC4VLX100	FF1148	140	ps
			FF1513	180	ps
		XC4VLX160	FF1148	145	ps
			FF1513	180	ps
		XC4VLX200	FF1513	180	ps
		XC4VSX25	FF668	90	ps
		XC4VSX35	FF668	100	ps
		XC4VSX55	FF1148	145	ps
		XC4VFX12	SF363	90	ps
			FF668	100	ps
		XC4VFX20	FF672	110	ps
		XC4VFX40	FF672		ps
			FF1152		ps
		XC4VFX60	FF672	110	ps
			FF1152	170	ps
		XC4VFX100	FF1152		ps
			FF1517		ps
		XC4VFX140	FF1517		ps
			FF1760		ps

メモ:

- これらの値は、パッケージの2つのボール間のワースト ケース スキューであり、パッドからボール間の最短フライト タイムと最長フライト タイムの差を示します (7.1ps/mm)。
- これらのデバイス/パッケージでのパッケージ トレース長に関する情報が入手可能であり、この情報を活用することによって、パッケージ スキューを削減できます。

表 60 : サンプル ウィンドウ

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
T _{SAMP}	受信側のピンにおけるサンプリング エラー (1)	すべて	450	500	550	ps
T _{SAMP_BUFIO}	BUFIO を使用する場合、受信側のピンにおけるサンプリング エラー (2)	すべて	350	400	450	ps

メモ:

- このパラメータは、さまざまな電圧、温度、およびプロセスでの Virtex-4 DDR 入力レジスタの総サンプリング エラーを示します。特性評価では、DCM を使用し、DDR 入力レジスタのエッジをキャプチャしています。計測では、次を考慮しています。
 - CLK0 DCM ジッタ
 - DCM 精度 (位相オフセット)
 - DCM 位相シフト精度
 ただし、パッケージ スキューまたはクロック ツリー スキューは含まれません。
- このパラメータは、さまざまな電圧、温度、およびプロセスでの Virtex-4 DDR 入力レジスタの総サンプリング エラーを示します。特性評価では、BUFIO クロック ネットワークおよび IDELAY を使用し、DDR 入力レジスタのエッジをキャプチャしています。ただし、パッケージ スキューまたはクロック ツリー スキューは含まれません。

表 61 : ChipSync Pin-to-Pin セットアップ/ホールドおよび Clock-to-Out

シンボル	説明	スピード グレード			単位
		-12	-11	-10	
BUFIO を使用する場合のフォワードしたクロック入力ピンに対するデータ入力セットアップおよびホールド タイム					
T _{PSCS} /T _{PHCS}	複数のクロック領域に渡る I/O クロックのセットアップ/ホールド	-0.45 0.97	-0.45 1.08	-0.44 1.17	ns
BUFIO を使用する場合の Pin-to-Pin Clock-to-Out					
T _{ICKOFCS}	複数のクロック領域に渡る I/O クロックの Clock-to-Out	4.10	4.54	5.02	ns

製品ステッピング

Virtex-4 デバイスのステップ識別システムは、製品デバイスとしてリリースされたデバイスの機能改善を示すものです。したがって、あるステップのデバイスには、それ以前のステップのデバイスの機能が備わっています。また、以前のステップのデバイス用にコンパイルされたビットストリームは、それ以降のステップのデバイスで適切に動作することが保障されています。

新しいステップのデバイスがリリースされると、旧ステップのデバイスに置き換わり、出荷されます。新規ステップのデバイスでは、既存の製品デザインの動作が保障されています。より新しいステップのデバイスの機能を使用いただくよう、新しいステップバージョンの注文が可能であり、それにより新しいビットストリームをコンパイルできます。

製品デバイス (一部のステップ 1 デバイスを除く) には、ステップバージョンが記載されています。CONFIG STEPPING パラメータをデバイスのステップバージョンに設定し、デザインをコンパイルしてください。このパラメータは UCF ファイル内で設定します。

CONFIG STEPPING = “#”; (# はステッピング バージョン)

表 62 に、ステップ別の JTAG ID を示します。

表 62 : ステップ別 JTAG ID コード

デバイス	ステップ 1	ステップ 2
XC4VLX15	3	5
XC4VLX25	9	A
XC4VLX40	3	5
XC4VLX60	2 または 3	4 または 5
XC4VLX80	3	5
XC4VLX100	2 または 3	4 または 5
XC4VLX160	0 または 3	4 または 5
XC4VLX200	0 または 3	2 または 5
XC4VSX25	2	4
XC4VSX35	2	4
XC4VSX55	2	4

現時点での Virtex-4 製品デバイス

表 63 に、LX および SX デバイスの現時点でのステップングを示します。

表 63: 現時点での LX および SX 製品デバイス

LX/SX デバイス ステッピング	ステップ 1	ステップ 2
注文コード例	XC4VLX60 - 10FF672C	XC4VLX60 - 10FF672CS2
注文コード例を使用して注文した場合の発送デバイス ステップ	ステップ 1 または ステップ 2	ステップ 2
機能改善点		<ul style="list-style-type: none"> • T_{CONFIG} 要件の削除 • DCM_RESET 要件の削除 • マクロ (ISE ソフトウェアによって自動的に挿入) を使用することによる DCM_INPUT_CLOCK_STOP 要件の削除
CONFIG STEPPING パラメータ (UCF ファイルで設定)	“1”	“2”
最低ソフトウェア要件	ISE 7.1i SP4	ISE 7.1i SP4
最低スピード仕様要件	1.58	1.58

メモ:

1. Virtex-4 デバイスのステップの詳細は、[Virtex-4 パッケージおよびピン配置の仕様](#) を参照してください。

改訂履歴

次の表に、このドキュメントの改訂履歴を示します。

日付	バージョン	説明
2004/08/02	1.0	初版リリース。ハンドブック発行。
2004/09/09	1.1	表 12、13、18、19、20、22、26、28、37、38 の修正および表 39 の削除。
2005/01/18	1.2	表 4、表 5 にパラメータを追加し、System Monitor および ADC パラメータの記載を削除。
2005/02/01	1.3	表 1、2、3、7、および 11 のパラメータを変更。「パフォーマンス特性」を追加。「スイッチ特性」および表 16 を追加。表 4 - 6、14、16 - 30、32 - 40、および 46 にパラメータを追加。
2005/02/24	1.4	表 2 のメモを変更。表 31 および表 32 にセット/リセット パラメータを追加。表 34 の説明を変更。表 36 のセット/リセットを変更。表 44 の PSCLK 単位を変更。表 45 にパラメータを追加。表 49 の DCM_TAP_MS_MIN を変更。
2005/05/19	1.5	表 1、表 2、および表 3 に RocketIO および PowerPC のパラメータを追加。表 9 に記載されていた V _{IDIFF} および V _{ICM} の条件を削除。表 15 を修正。「RocketIO DC 入力および出力レベル」を追加。「PowerPC スイッチ特性」を追加。「RocketIO スイッチ特性」を追加。バージョン 1.4 から表 31 を削除。表 34 を修正。表 42 および表 49 の変更、および DCM の最大動作周波数を満たすための要件を記載。表 53、表 54、表 55、表 57、表 58、表 59、表 60、表 61 にパラメータを追加。
2005/06/17	1.6	表 1 およびメモ 4 の V _{IN} と V _{TS} を修正。表 3 に記載されている P _{CPU} の標準仕様を修正。表 18 から表 24 のシンボルおよび値を修正。表 26 の T _{DCREF} を変更。表 44 の CLKOUT_FREQ_FX_HF_MS_MIN、表 45 の CLKOUT_FREQ_FX_LF_MR_MIN、および表 46 の「入力クロック ジッタ」を訂正。表 58 の単位を訂正。

日付	バージョン	説明
2005/06/27	1.7	表 7 に記載されている LVCMOS15 の V_{IL} および V_{IH} を変更。表 16 を修正。表 27 の V_{EYE} 値を修正。表 49 にメモ 4 を追加。表 56 「ソース同期モードで DCM を使用する場合は LVCMOS25 におけるグローバルクロックセットアップおよびホールド」を追加。表 59 に XC4VLX160-FF1513 の値を追加。-12 スピード グレードの仕様を追加。スイッチ特性の標準に記載されている -10 および -11 スピード グレードの値を改訂。
2005/08/06	1.8	スピード仕様のバージョンを v1.56 に更新。表 2 のメモに V_{CC_CONFIG} を追加。表 15 にデザインに関する情報を記載。表 42 の $T_{PROGRAM}$ を修正。表 42 に DCM の DRP コンフィギュレーション タイミングを追加。表 43 にグローバルクロックツリーの最大周波数を追加。表 44 の $CLKOUT_FREQ_FX_LF_MS_MIN$ を修正。表 44 および表 45 にメモ 3 と 4 を追加。表 58 の T_{CKSKEW} にデータを追加。
2005/08/29	1.9	表 8 の V_{OCM} を訂正。表 11 を修正。表 12 に「RocketIO MGT クロック DC 入力レベル」を追加。表 15 の SFI-4.1 パフォーマンス値を改訂。ソフトウェア要件として ISE7.1i SP4 の記載を追加 (表 16 の上)。表 16 および表 25 に -11X スピード グレードを追加。表 17、表 18、および表 26 を修正。表 27 にメモ 2 を追加し、 $RXOOb_{VDPP}$ を表 12 に移動。表 28 の T_{DJ} および T_{RJ} に条件を追加し、 $TXOOb_{VDPP}$ を表 12 に移動。表 29 に RSDS を追加。表 48 にメモ 4 を追加。「製品ステッピング」を追加。
2005/09/28	1.10	表 2: 推奨動作条件から V_{CCAUX} の最大電圧降下値は 10mV/ms というメモ 1 の記載を削除。
2006/02/03	1.11	16 ページの「スイッチ特性」に記載のスピード仕様要件を改訂し、表 53 および表 55 のパラメータを変更。表 2 にメモ 7 を追加。表 3 に I_{RPU} および I_{RPD} 仕様を追加。LVCMOS18 を表 7 に記載の JTAG 仕様を満たすように変更。表 8、表 9、および表 10 にメモを追加。表 11 のメモ 1 を訂正。表 12 の入力同相電圧範囲 (V_{ICM}) の標準値を 800mV から 600mV に改訂し、メモ 1 を追加。表 12 の同相電圧仕様を 95mV から 950mV に変更。表 25 のパフォーマンス値を変更。表 28 から T_{DJ} 標準仕様値を削除。表 29 にメモ 2 を追加。表 34 に $T_{IDELAYCTRLCO_RDY}$ に最大表記を追加し、新規パラメータ $T_{IDELAYPAT_JIT}$ を追加。表 42 のメモ 1 を改訂。表 44 にメモ 5 を追加。表 49 のメモ 3 および 5 を改訂。表 52 の -12 スピード グレードの $CLKIN_FREQ_PMCD_CLKA_MAX$ を変更。表 58 の $T_{BUFIO_MAX_FREQ}$ 仕様を変更。「製品ステッピング」および「現時点での Virtex-4 製品デバイス」の情報を更新。
2006/03/22	1.12	「電源投入時の電流条件」の第 2 段落を改訂。 $I_{CCINTMIN}$ 、 $I_{CCAUXMIN}$ 、および I_{CCOMIN} を追加/変更し、メモ 2 を追加 (表 5)。表 12 の DC パラメータ、入力同相電圧範囲の標準値を 600mV から 800mV に変更。表 12 に入力同相電圧 (V_{ICMC})、Peak-to-Peak 差動入力電圧 (V_{IDIFF})、差動入力抵抗 (R_{IN}) の 3 つの DC パラメータを追加。-11 スピード グレードの SPI4.2 パフォーマンスを 900Mb/s から 1Gb/s に変更 (表 15)。表 17 にメモ 3 を追加。最大周波数を 322MHz から 250MHz に修正 (表 27 および表 28)。表 39 にメモ 5 を追加。
2006/06/01	1.13	1 ページの表 1 の V_{IN} および V_{TS} 値を変更し、メモを追加。16 ページの表 16 から -11X スピード グレードを削除。スピード仕様を v1.60 に更新。21 ページの表 25 から -11X スピード グレードを削除。-12 および -11 スピード グレードの値を 6.5Gb/s に変更、およびメモ 1 を削除。21 ページの表 26 のリファレンス クロック ジッタ、Peak-Peak (T_{GJTT}) の第 1 条件を削除し、第 2 条件を 2.5Gb/s ~ 6.5Gb/s に変更。シリアル データ レート F_{GTx} の最大値を 6.5Gb/s に変更。23 ページの表 28 のシリアル データ出力データミニスティック ジッタ (T_{DJ}) およびシリアル データ出力ランダム ジッタ (T_{RJ}) の第 1 条件を削除し、第 2 条件を 2.5Gb/s ~ 6.5Gb/s に変更。

日付	バージョン	説明
2006/06/21	1.14	1 ページの「Virtex-4 電気特性」から XC4FX デバイスの -11X スピードグレードに関する記載を削除。3 ページの表 3 に、新規シンボル $I_{CCAUXRX}$ 、 I_{CCAUTX} 、 $I_{CCCAUXMGT}$ 、 I_{TTX} 、 I_{TRX} および新規メモ 2、3 を追加。5 ページの表 4 に新規シンボル $I_{CCAUXRX}$ 、 I_{CCAUTX} 、 I_{TTX} 、 I_{TRX} 、 I_{AUMGT} および新規メモ 4、5 を追加。12 ページの表 12 の DC パラメータおよび値を変更し、メモを追加。16 ページの表 16 の XC4VFX デバイスのスピードグレードを変更。21 ページの表 26 および 22 ページの表 27 に記載のほとんどの特性 (条件、スピードグレード (標準および最大) 値、単位) を変更。23 ページの表 28 に記載のほとんどの特性 (条件、スピードグレード (標準および最大) 値、単位) を変更。ノートの更新。39 ページの表 42 から Tconfig シンボル、その値、およびメモ 1 を削除。メモ 2 を 1 に変更し、参照番号を変更。46 ページの表 49 から入力信号要件を削除。48 ページの表 53、49 ページの表 54、50 ページの表 55、52 ページの表 56、および 53 ページの表 57 の高いスピードグレードの場合の値を N/A に修正。