

機能

- AEC-Q100 デバイスの必要条件および完全な PPAP のサポートは I グレードおよび Q グレード (拡張温度範囲製品) の両方で入手可能
- $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 、最大 $T_J = +125^\circ\text{C}$ (Q グレード) の電気仕様を完全に満たすことを保証
- 1.8V システム向けに最適化
- 業界一の 0.18 ミクロン CMOS CPLD
 - 効率よくロジックを合成するために最適化されたアーキテクチャ (アーキテクチャの詳細は CoolRunner™-II ファミリー データシート参照)
 - 1.5V ~ 3.3V の複数電圧の I/O での動作
- 複数のパッケージ オプションで使用可能
 - 100 ピン VQFP (80 ユーザ I/O)
 - 144 ピン TQFP (118 ユーザ I/O)
 - 全パッケージ鉛フリーのみ
- 高度なシステム機能
 - 高速なインシステム プログラム
 - IEEE 1532 規格 (JTAG) インターフェイスを使用した 1.8V ISP (インシステム プログラム)
 - IEEE1149.1 規格 JTAG バウンダリ スキャン テスト
 - オプションでピンごとにシュミットトリガ入力を設定可能
 - 優れた低消費電力管理
 - DGE (DataGATE イネーブル) 信号制御
 - 2 つに分かれた I/O バンク
 - RealDigital による 100% CMOS の積項生成
 - 柔軟性の高いクロッキング モード
 - オプションの DualEDGE トリガ レジスタ
 - クロック分周 (2、4、6、8、10、12、14、16 で分周)
 - CoolCLOCK
 - マクロセルを制御するグローバル信号オプション
 - マクロセルごとに位相選択可能な複数のグローバル クロック
 - 複数のグローバル出力イネーブル
 - グローバル セット / リセット
 - 高度なデザイン セキュリティ
 - PLA アーキテクチャ
 - 優れたピン配置保持
 - ファンクション ブロック間で積項を完全に配線可能
 - ワイヤード OR および LED の駆動向けオープンドレイン出力オプション
 - 特定の I/O ピンにオプションでバス ホールド、トライステート、または弱いプルアップの終端処理を設定可能
 - 未使用 I/O をオプションでグランドに接続可能
 - 1.5V、1.8V、2.5V および 3.3V ロジック レベルに対応する I/O 電圧をサポート

- ホットプラグ対応

警告: プログラミング温度範囲は次のとおり

$T_A = 0^\circ\text{C} \sim +70^\circ\text{C}$

説明

CoolRunner™-II オートモーティブ 256 マクロセル デバイスは、高性能および低消費電力の両アプリケーション向けにデザインされています。これにより、高性能通信装置からバッテリー駆動の高速機器へ省電力性を提供します。スタティックおよびダイナミックの消費電力を抑えることで、システム全体の信頼性を向上することに寄与します。

このデバイスは、低消費電力の AIM (Advanced Interconnect Matrix) を介して相互接続された 16 のファンクション ブロックで構成されています。AIM は 40 の真数および補数入力をファンクション ブロックに供給します。ファンクション ブロックは 40 x 56 の積項 PLA と、操作の組み合わせモードおよびレジスタモードを実現する多数のコンフィギュレーション ビットを含む 16 のマクロセルで構成されています。

また、これらのレジスタは、グローバルにリセットあるいはプリセットでき、D または T フリップフロップ、もしくは D ラッチとしてコンフィギュレーションできます。さらに、グローバルおよびローカルの両積項タイプで複数のクロック信号があり、これらはマクロセルごとにコンフィギュレーションされます。出力ピンのコンフィギュレーションには、スルーレート制限、バス ホールド、プルアップ、オープンドレイン、プログラマブルグランドが含まれます。シュミットトリガ入力は、入力ピンごとに使用可能です。マクロセル出力ステートの格納に加え、入力ピンから直接信号を保存するために、マクロセルレジスタを「ダイレクト入力」レジスタとしてコンフィギュレーションできます。

クロッキングはグローバルまたはファンクション ブロックベースで可能です。3 つのグローバルクロック リソースは、すべてのファンクション ブロックで、同期クロック ソースとして使用できます。マクロセル内のレジスタは電源投入時に 0 または 1 のステートになるように個別に設定できます。また、グローバルセット / リセット制御 ラインは、動作中に選択したレジスタを非同期でセットまたはリセットするために使用できます。追加のローカルクロック信号、同期クロック イネーブル信号、非同期セット / リセット信号および出力イネーブル信号は、各マクロセルまたは各ファンクション ブロックベースで積項を用いて形成できます。

また、DualEDGE フリップフロップ機能も、マクロセルごとに使用できます。この機能は、低周波のクロックに基づく高性能同期動作を実現し、デバイス全体の消費電力削減を補助します。

また、1 つの外部供給のグローバルクロック (GCK2) を 8 つの異なる位相に分割するための回路も含まれています。これにより、偶数および奇数のクロック周波数で分割されるようになります。

クロック分周 (2 で分周) および DualEDGE フリップフロップを用いることで、CoolCLOCK 機能が使用可能になります。

DataGATE は、その時々で不要な CPLD の入力を選択してディセーブルにする手法です。DataGATE 機能に信号をマップすることで、信号の切り替えが削減され、省電力が達成されます。

電圧変換を容易にする機能として I/O バンクがあります。CoolRunner-II オートモーティブ 256 マクロセル デバイスには 2 つの I/O バンクがあり、3.3V、2.5V、1.8V、および 1.5V デバイスへの容易なインターフェイスを提供しています。

CoolRunner-II オートモーティブ 256 マクロセル CPLD は、多様な I/O 規格と I/O の互換性があります (詳細は、表 1 を参照してください)。また、このデバイスは、シュミットトリガ入力を使用すると、1.5V の I/O への互換も可能になります。

RealDigital デザイン テクノロジ

ザイリンクス CoolRunner-II オートモーティブ CPLD は、最新鋭の FPGA 製品開発によってもたらされた 0.18 ミクロン プロセス テクノロジで製造されています。CoolRunner-II オートモーティブ CPLD は、プロセス テクノロジおよびデザイン手法の両方で CMOS テクノロジを活用したデザイン技術である RealDigital を採用しています。RealDigital デザイン テクノロジは、積項のインプリメンテーションに従来のセンス アンプの手法ではなく、CMOS ゲートのカスケードを用いています。このテクノロジにより、ザイリンクス CoolRunner-II オートモーティブ CPLD は、高性能と低消費電力動作の両方を達成しています。

サポートする I/O 規格

CoolRunner-II オートモーティブ 256 マクロセル デバイスは、LVCMOS および LVTTTL I/O のインプリメンテーションを実現

します。I/O 規格の電圧は、表 1 を参照してください。LVTTTL I/O 規格は、LVTTTL 入力バッファおよびプッシュプル出力バッファを使用する、3.3V アプリケーション用の汎用 EIA/JEDEC 規格です。LVCMOS 規格は 3.3V、2.5V、1.8V のアプリケーションで使用されます。CoolRunner-II オートモーティブ CPLD は、シュミットトリガ入力を使用すると、1.5V の I/O への互換も可能になります。

表 1: XA2C256 の I/O 規格

IOSTANDARD 属性	出力 V_{CCIO}	入力 V_{CCIO}
LVTTTL	3.3	3.3
LVCMOS33	3.3	3.3
LVCMOS25	2.5	2.5
LVCMOS18	1.8	1.8
LVCMOS15 ⁽¹⁾	1.5	1.5

(1) LVCMOS15 にはシュミットトリガ入力が必要です。

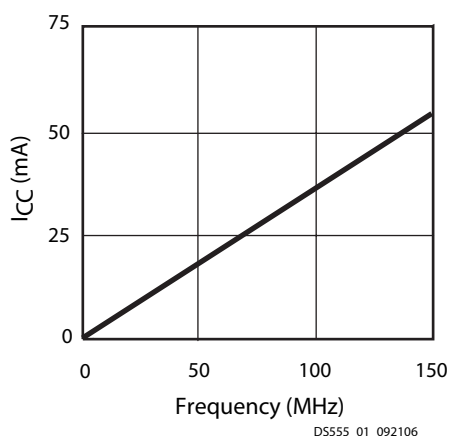


図 1: I_{CC} および周波数

表 2: I_{CC} および周波数 (LVCMOS 1.8V $T_A = 25^\circ C$)⁽¹⁾

	周波数 (MHz)						
	0	30	50	70	100	120	150
標準 I_{CC} (mA)	0.021	11.68	19.40	27.01	38.18	45.54	56.32

メモ:

- 16 ビット アップ/ダウン、リセット可能なバイナリ カウンタ (各ファンクション ブロックに 1 つのカウンタ)。

絶対最大定格

シンボル	説明	値	単位
V_{CC}	グラウンドに対する電源電圧	-0.5 ~ 2.0	V
V_{CCIO}	出力ドライバの電源電圧	-0.5 ~ 4.0	V
$V_{JTAG}^{(2)}$	JTAG 入力電圧制限	-0.5 ~ 4.0	V
V_{CCAUX}	JTAG 入力電源電圧	-0.5 ~ 4.0	V
$V_{IN}^{(1)}$	グラウンドに対する入力電圧	-0.5 ~ 4.0	V
$V_{TS}^{(1)}$	トリステート出力への電圧	-0.5 ~ 4.0	V
$T_{STG}^{(3)}$	ストレージ温度 (周囲)	-65 ~ +150	°C
T_J	ジャンクション温度	+125	°C

メモ：

- GND に対する DC アンダーシュートは、0.5V または 10mA 以下 (達成しやすい方) に抑える必要があります。遷移時には、強制電流が 200mA 以下、アンダーシュートまたはオーバーシュートの時間が 10ns 未満であれば、デバイス ピンのアンダーシュートが -2.0V、オーバーシュートが +4.5V になる可能性があります。
- コマーシャル温度範囲で有効です。
- はんだ付けのガイドラインおよび温度に関する考慮事項については、ザイリンクス Web サイトにある [デバイスのパッケージ情報](#) を参照してください。鉛フリーパッケージの詳細は、[アプリケーション ノート XAPP427](#) を参照してください。

推奨動作条件

シンボル	パラメータ		最小	最大	単位
V_{CC}	内部ロジックおよび入力バッファ用の電源電圧	インダストリアル $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	1.7	1.9	V
		Q グレード $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 最大 $T_J = +125^\circ\text{C}$	1.7	1.9	V
V_{CCIO}	出力ドライバの電源電圧 (3.3V 動作の場合)		3.0	3.6	V
	出力ドライバの電源電圧 (2.5V 動作の場合)		2.3	2.7	V
	出力ドライバの電源電圧 (1.8V 動作の場合)		1.7	1.9	V
	出力ドライバの電源電圧 (1.5V 動作の場合)		1.4	1.6	V
V_{CCAUX}	JTAG プログラミング		1.7	3.6	V

DC 電気特性 (推奨動作条件下)

シンボル	パラメータ	テスト条件	標準	最大	単位
I_{CCSB}	スタンバイ電流 (インダストリアル)	$V_{CC} = 1.9\text{V}$, $V_{CCIO} = 3.6\text{V}$	54	300	μA
I_{CCSB}	スタンバイ電流 (Q グレード)	$V_{CC} = 1.9\text{V}$, $V_{CCIO} = 3.6\text{V}$	54	2.5	mA
I_{CC}	動的電流	$f = 1\text{MHz}$	-	3.0	mA
		$f = 50\text{MHz}$	-	30	mA
C_{JTAG}	JTAG 入力キャパシタンス	$f = 1\text{MHz}$	-	10	pF
C_{CLK}	グローバル クロック入力キャパシタンス	$f = 1\text{MHz}$	-	12	pF
C_{IO}	I/O キャパシタンス	$f = 1\text{MHz}$	-	10	pF

シンボル	パラメータ	テスト条件	標準	最大	単位
$I_{IL}^{(2)}$	入力リーク電流	$V_{IN} = 0V$ または V_{CCIO} を 3.9V に	-	+/-10	μA
$I_{IH}^{(2)}$	I/O ハイ インピーダンス リーク	$V_{IN} = 0V$ または V_{CCIO} を 3.9V に	-	+/-10	μA

メモ:

- $V_{CC} = V_{CCIO} = 1.9V$ でテスト済みの、16ビットアップ/ダウン、リセット可能なバイナリカウンタ (各ファンクションブロックに1つのカウンタ) です。

LVC MOS 3.3V および LVTTL 3.3V の DC 電圧仕様

シンボル	パラメータ	テスト条件	最小	最大	単位
V_{CCIO}	入力ソース電圧	-	3.0	3.6	V
V_{IH}	High レベル入力電圧	-	2	3.9	V
V_{IL}	Low レベル入力電圧	-	-0.3	0.8	V
V_{OH}	High レベル出力電圧、 インダストリアルグレード	$I_{OH} = -8mA, V_{CCIO} = 3V$	$V_{CCIO} - 0.4V$	-	V
		$I_{OH} = -0.1mA, V_{CCIO} = 3V$	$V_{CCIO} - 0.2V$	-	V
	High レベル出力電圧、 Q グレード	$I_{OH} = -4mA, V_{CCIO} = 3V$	$V_{CCIO} - 0.4V$	-	V
		$I_{OH} = -0.1mA, V_{CCIO} = 3V$	$V_{CCIO} - 0.2V$	-	V
V_{OL}	High レベル出力電圧、 インダストリアルグレード	$I_{OL} = 8mA, V_{CCIO} = 3V$	-	0.4	V
		$I_{OL} = 0.1mA, V_{CCIO} = 3V$	-	0.2	V
	High レベル出力電圧、 Q グレード	$I_{OL} = 4mA, V_{CCIO} = 3V$	-	0.4	V
		$I_{OL} = 0.1mA, V_{CCIO} = 3V$	-	0.2	V

LVC MOS 2.5V の DC 電圧仕様

シンボル	パラメータ	テスト条件	最小	最大	単位
V_{CCIO}	入力ソース電圧	-	2.3	2.7	V
V_{IH}	High レベル入力電圧	-	1.7	$V_{CCIO} + 0.3^{(1)}$	V
V_{IL}	Low レベル入力電圧	-	-0.3	0.7	V
V_{OH}	High レベル出力電圧、 インダストリアルグレード	$I_{OH} = -8mA, V_{CCIO} = 2.3V$	$V_{CCIO} - 0.4V$	-	V
		$I_{OH} = -0.1mA, V_{CCIO} = 2.3V$	$V_{CCIO} - 0.2V$	-	V
	High レベル出力電圧、 Q グレード	$I_{OH} = -4mA, V_{CCIO} = 2.3V$	$V_{CCIO} - 0.4V$	-	V
		$I_{OH} = -0.1mA, V_{CCIO} = 2.3V$	$V_{CCIO} - 0.2V$	-	V
V_{OL}	High レベル出力電圧、 インダストリアルグレード	$I_{OL} = 8mA, V_{CCIO} = 2.3V$	-	0.4	V
		$I_{OL} = 0.1mA, V_{CCIO} = 2.3V$	-	0.2	V
	High レベル出力電圧、 Q グレード	$I_{OL} = 4mA, V_{CCIO} = 2.3V$	-	0.4	V
		$I_{OL} = 0.1mA, V_{CCIO} = 2.3V$	-	0.2	V

- V_{IH} の最大値は、LVC MOS25 の JEDEC 仕様を示します。CoolRunner-II 入力バッファは物理的な破損なしで最大 3.9V までの耐性があります。

LVCMOS 1.8V の DC 電圧仕様

シンボル	パラメータ	テスト条件	最小	最大	単位
V _{CCIO}	入力ソース電圧	-	1.7	1.9	V
V _{IH}	High レベル 入力電圧	-	0.65 x V _{CCIO}	V _{CCIO} + 0.3 ⁽¹⁾	V
V _{IL}	Low レベル 入力電圧	-	-0.3	0.35 x V _{CCIO}	V
V _{OH}	High レベル出力電圧、 インダストリアルグレード	I _{OH} = -8mA, V _{CCIO} = 1.7V	V _{CCIO} - 0.45	-	V
		I _{OH} = -0.1mA, V _{CCIO} = 1.7V	V _{CCIO} - 0.2	-	V
	High レベル出力電圧、 Q グレード	I _{OH} = -4mA, V _{CCIO} = 1.7V	V _{CCIO} - 0.45	-	V
		I _{OH} = -0.1mA, V _{CCIO} = 1.7V	V _{CCIO} - 0.2	-	V
V _{OL}	High レベル出力電圧、 インダストリアルグレード	I _{OL} = 8mA, V _{CCIO} = 1.7V	-	0.45	V
		I _{OL} = 0.1mA, V _{CCIO} = 1.7V	-	0.2	V
	High レベル出力電圧、 Q グレード	I _{OL} = 4mA, V _{CCIO} = 1.7V	-	0.45	V
		I _{OL} = 0.1mA, V _{CCIO} = 1.7V	-	0.2	V

1. V_{IH} の最大値は、LVCMOS18 の JEDEC 仕様を示します。CoolRunner-II 入力バッファは物理的な破損なしで最大 3.9V までの耐性があります。

LVCMOS 1.5V の DC 電圧仕様⁽¹⁾

シンボル	パラメータ	テスト条件	最小	最大	単位
V _{CCIO}	入力ソース電圧	-	1.4	1.6	V
V _{T+}	入力ヒステリシス電圧しきい値	-	0.5 x V _{CCIO}	0.8 x V _{CCIO}	V
V _{T-}		-	0.2 x V _{CCIO}	0.5 x V _{CCIO}	V
V _{OH}	High レベル出力電圧、インダストリアル グレード	I _{OH} = -8mA, V _{CCIO} = 1.4V	V _{CCIO} - 0.45	-	V
		I _{OH} = -0.1mA, V _{CCIO} = 1.4V	V _{CCIO} - 0.2	-	V
	High レベル出力電圧、Q グレード	I _{OH} = -4mA, V _{CCIO} = 1.4V	V _{CCIO} - 0.45	-	V
		I _{OH} = -0.1mA, V _{CCIO} = 1.4V	V _{CCIO} - 0.2	-	V
V _{OL}	High レベル出力電圧、インダストリアル グレード	I _{OL} = 8mA, V _{CCIO} = 1.4V	-	0.4	V
		I _{OL} = 0.1mA, V _{CCIO} = 1.4V	-	0.2	V
	High レベル出力電圧、Q グレード	I _{OL} = 4mA, V _{CCIO} = 1.4V	-	0.4	V
		I _{OL} = 0.1mA, V _{CCIO} = 1.4V	-	0.2	V

メモ：

1. 1.5V の入力に使用されたヒステリシスです。

シュミット トリガ入力の DC 電圧仕様

シンボル	パラメータ	テスト条件	最小	最大	単位
V _{CCIO}	入力ソース電圧	-	1.4	3.9	V
V _{T+}	入力ヒステリシス電圧しきい値	-	0.5 x V _{CCIO}	0.8 x V _{CCIO}	V
V _{T-}		-	0.2 x V _{CCIO}	0.5 x V _{CCIO}	V

推奨動作条件下での AC 電気特性

シンボル	パラメータ	-7		-8		単位
		最小	最大	最小	最大	
T _{PD1}	伝播遅延 (1 P-term)	-	7.0	-	7.0	ns
T _{PD2}	伝播遅延 (OR アレイ)	-	7.5	-	7.5	ns
T _{SUD}	ダイレクト入力レジスタ クロックのセットアップ タイム	3.0	-	3.0	-	ns
T _{SU1}	セットアップ タイム (1 P-term)	2.8	-	3.4	-	ns
T _{SU2}	セットアップ タイム (OR アレイ)	3.3	-	3.9	-	ns
T _{HD}	ダイレクト入力レジスタのホールド タイム	0	-	0.4	-	ns
T _H	P-term のホールド タイム	0	-	0.4	-	ns
T _{CO}	Clock-to-Output	-	6.0	-	6.0	ns
F _{TOGGLE} ⁽¹⁾	内部トグル レート	-	300	-	300	MHz
F _{SYSTEM1} ⁽²⁾	最大システム周波数	-	152	-	139	MHz
F _{SYSTEM2} ⁽²⁾	最大システム周波数	-	141	-	130	MHz
F _{EXT1} ⁽³⁾	最大外部周波数	-	114	-	106	MHz
F _{EXT2} ⁽³⁾	最大外部周波数	-	108	-	101	MHz
T _{PSUD}	ダイレクト入力レジスタ P-term クロックのセットアップ タイム	1.7	-	2.0	-	ns
T _{PSU1}	P-term クロック (PTC) のセットアップ タイム (1 P-term)	1.5	-	1.9	-	ns
T _{PSU2}	P-term クロックのセットアップ タイム (OR アレイ)	2.0	-	2.4	-	ns
T _{PHD}	ダイレクト入力レジスタ P-term クロックのホールド タイム	1.2	-	1.8	-	ns
T _{PH}	P-term クロック ホールド	1.0	-	1.3	-	ns
T _{PCO}	P-term Clock-to-Output	-	7.3	-	8.4	ns
T _{OE} /T _{OD}	グローバル OE から出力イネーブル/ディスエーブル	-	7.0	-	7.0	ns
T _{POE} /T _{POD}	P-term OE から出力イネーブル/ディスエーブル	-	8.0	-	9.1	ns
T _{MOE} /T _{MOD}	マクロセル駆動の OE から出力イネーブル/ディスエーブル	-	9.9	-	9.9	ns
T _{PAO}	P-term セット/リセットから有効出力	-	8.1	-	8.6	ns
T _{AO}	グローバル セット/リセットから有効出力	-	7.6	-	7.6	ns
T _{SUEC}	レジスタ クロック イネーブルのセットアップ タイム	3.1	-	3.5	-	ns
T _{HEC}	レジスタ クロック イネーブルのホールド タイム	0.0	-	0.0	-	ns

シンボル	パラメータ	-7		-8		単位
		最小	最大	最小	最大	
T_{CW}	グローバルクロックパルス幅 High または Low	1.6	-	1.6	-	ns
T_{PCW}	P-term パルス幅 High または Low	7.5	-	7.5	-	ns
T_{APRPW}	非同期プリセット/リセットパルス幅 (High または Low)	7.5	-	7.5	-	ns
T_{DGSU}	DataGATE ラッチのアサート前のセットアップ	0.0	-	0.0	-	ns
T_{DGH}	DataGATE ラッチのアサートへのホールド	6.0	-	6.0	-	ns
T_{DGR}	新しいデータへの DataGATE のリカバリ	-	9.0	-	9.3	ns
T_{DGW}	DataGATE Low パルス幅	3.5	-	3.5	-	ns
T_{CDRSU}	GCLK2 の立ち下がりエッジ前の CDRST のセットアップタイム	2.0	-	2.0	-	ns
T_{CDRH}	GCLK2 の立ち下がりエッジ後の CDRST のホールドタイム	0.0	-	0.0	-	ns
$T_{CONFIG}^{(4)}$	コンフィギュレーション時間	-	150	-	150	μ s

メモ：

- F_{TOGGLE} は、T フリップフロップが確実にトグルできる最大クロック周波数を指します。詳細は、CoolRunner-II オートモーティブ CPLD ファミリー データシートを参照してください。
- $F_{SYSTEM1}$ ($1/T_{CYCLE}$) は、マクロセルごとに 1 つの積項を介して 1 つの 16 ビット カウンタで完全に占められたデバイスの内部動作周波数であり、一方で、 $F_{SYSTEM2}$ は OR アレイを介しています。
- F_{EXT1} ($1/T_{SUI}+T_{CO}$) は 1 つの積項を用いた最大外部周波数で、 F_{EXT2} は、OR アレイを介しています。
- T_{CONFIG} 中の標準コンフィギュレーション電流は、約 7.7mA です。

内部タイミングパラメータ

シンボル	パラメータ(1)	-7		-8		単位
		最小	最大	最小	最大	
バッファ遅延						
T_{IN}	入力バッファ遅延	-	2.6	-	2.6	ns
T_{DIN}	ダイレクト データ レジスタ入力遅延	-	3.9	-	3.3	ns
T_{GCK}	グローバルクロック バッファ遅延	-	2.7	-	2.7	ns
T_{GSR}	グローバルセット/リセット バッファ遅延	-	3.5	-	4.1	ns
T_{GTS}	グローバルトライステート バッファ遅延	-	3.0	-	3.0	ns
T_{OUT}	出力バッファ遅延	-	2.6	-	2.6	ns
T_{EN}	出力バッファ イネーブル/ディスエーブル遅延	-	4.0	-	4.0	ns
積項遅延						
T_{CT}	制御項遅延	-	1.4	-	2.5	ns
T_{LOG1}	1 P-term の加算遅延	-	1.1	-	1.1	ns
T_{LOG2}	複数 P-term の加算遅延	-	0.5	-	0.5	ns
マクロセル遅延						
T_{PDI}	入力から有効出力	-	0.7	-	0.7	ns
T_{LDI}	クロック前のセットアップ (透過ラッチ)	-	2.5	-	2.5	ns
T_{SUI}	クロック前のセットアップ	1.8	-	2.4	-	ns
T_{HI}	クロック後のホールド	0.0	-	0.0	-	ns
T_{ECSU}	イネーブルクロック セットアップ タイム	1.8	-	1.1	-	ns
T_{ECHO}	イネーブルクロック ホールド タイム	0.0	-	0.0	-	ns
T_{COI}	クロックから有効出力	-	0.7	-	0.7	ns
T_{AOI}	セット/リセットから有効出力	-	1.5	-	0.9	ns
フィードバック遅延						
T_F	フィードバック遅延	-	3.0	-	3.0	ns
T_{OEM}	マクロセルからグローバル OE への遅延	-	2.5	-	2.5	ns
I/O 規格追加遅延 (1.5V CMOS の場合)						
T_{HYS15}	ヒステリシス入力	-	4.0	-	4.0	ns
T_{OUT15}	出力	-	1.0	-	1.0	ns
T_{SLEW15}	出力スルー レート	-	5.0	-	5.0	ns
I/O 規格追加遅延 (1.8V CMOS の場合)						
T_{HYS18}	ヒステリシス入力	-	3.0	-	3.0	ns
T_{OUT18}	出力	-	0.0	-	0.0	ns
T_{SLEW}	出力スルー レート	-	4.0	-	4.0	ns

内部タイミングパラメータ (続き)

シンボル	パラメータ(1)	-7		-8		単位
		最小	最大	最小	最大	
I/O 規格追加遅延 (2.5V CMOS の場合)						
T_{IN25}	標準入力	-	0.7	-	0.7	ns
T_{HYS25}	ヒステリシス入力	-	3.0	-	3.0	ns
T_{OUT25}	出力	-	1.0	-	1.0	ns
T_{SLEW25}	出力スルー レート	-	4.0	-	4.0	ns
I/O 規格追加遅延 (3.3V CMOS の場合)						
T_{IN33}	標準入力	-	0.7	-	0.7	ns
T_{HYS33}	ヒステリシス入力	-	3.0	-	3.0	ns
T_{OUT33}	出力	-	1.6	-	1.6	ns
T_{SLEW33}	出力スルー レート	-	4.0	-	4.0	ns

メモ :

1. 1.5ns 入力ピン信号の立ち上がり/立ち下がりです。

スイッチ特性

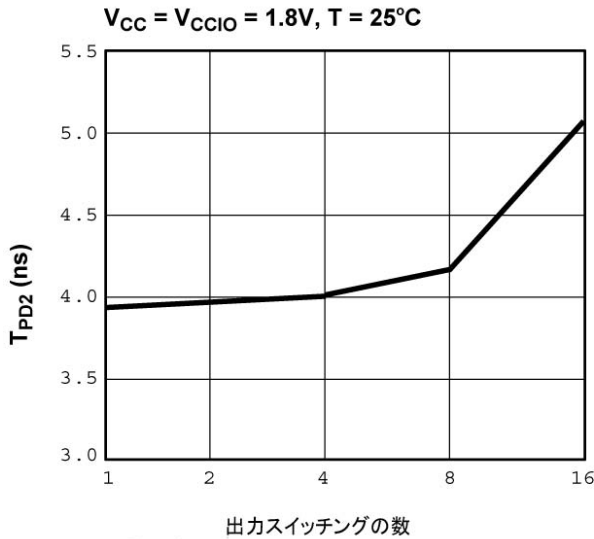
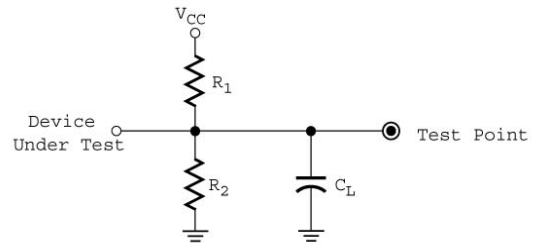


図 2 : T_{PD} の増加曲線

AC テスト 回路



Output Type	R_1	R_2	C_L
LVTTL33	268Ω	235Ω	35 pF
LVCOS33	275Ω	275Ω	35 pF
LVCOS25	188Ω	188Ω	35pF
LVCOS18	112.5Ω	112.5Ω	35pF
LVCOS15	150Ω	150Ω	35pF

C_L はテスト ポートおよびプローブのキャパシタンスを含む
入力時の最大立ち上がり / 立ち下がり時間は 1.5ns

DS 207 08 14 02

図 3 : AC ロード回路

DS092 02 092302

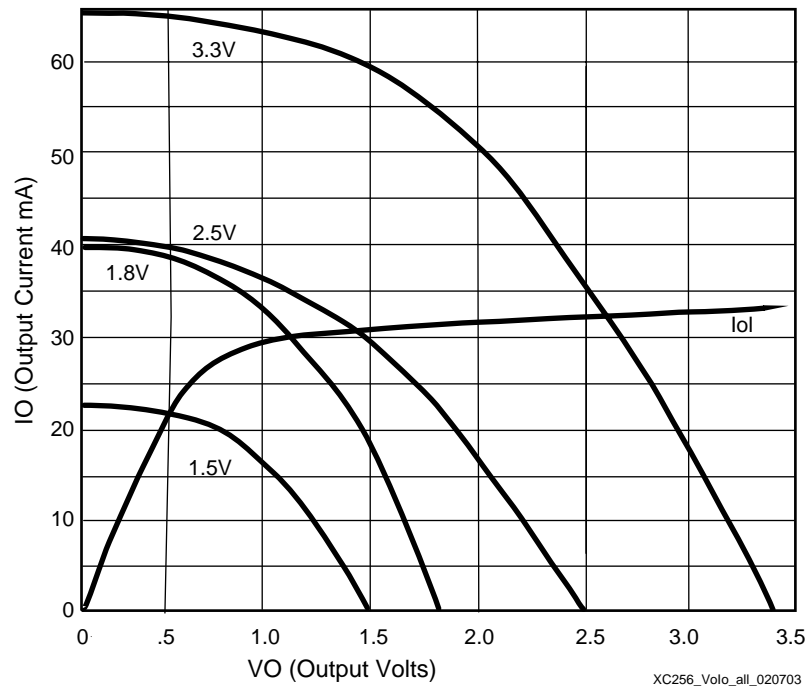


図 4 : XA2C256 の一般的な I/V 曲線

ピンの説明

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
1	1	-	-	2
1	2	-	-	2
1(GSR)	3	99	143	2
1	4	-	142	2
1	5	-	-	2
1	6	97	140	2
1	7	-	-	-
1	8	-	-	-
1	9	-	-	-
1	10	-	-	-
1	11	-	-	-
1	12	96	139	2
1	13	95	138	2
1	14	94	137	2
1	15	-	-	2
1	16	-	-	2
2(GTS2)	1	1	2	2
2	2	-	-	2
2(GTS3)	3	2	3	2
2	4	-	4	2
2(GTS0)	5	3	5	2
2	6	-	-	2
2	7	-	-	-
2	8	-	-	-
2	9	-	-	-
2	10	-	-	-
2	11	-	-	-
2(GTS1)	12	4	6	2
2	13	-	7	2
2	14	6	9	2
2	15	7	10	2
2	16	-	-	2

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
3	1	-	136	2
3	2	-	135	2
3	3	-	134	2
3	4	-	-	2
3	5	93	133	2
3	6	-	-	2
3	7	-	-	-
3	8	-	-	-
3	9	-	-	-
3	10	-	-	-
3	11	-	-	-
3	12	92	-	2
3	13	-	-	2
3	14	91	132	2
3	15	-	-	2
3	16	90	131	2
4	1	8	11	2
4	2	9	12	2
4	3	10	13	2
4	4	-	14	2
4	5	11	15	2
4	6	12	16	2
4	7	-	-	-
4	8	-	-	-
4	9	-	-	-
4	10	-	-	-
4	11	-	-	-
4	12	-	17	2
4	13	13	-	2
4	14	-	18	2
4	15	-	-	2
4	16	-	-	2

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
5	1	-	-	1
5	2	-	33	1
5	3	-	-	1
5(GCK1)	4	23	32	1
5	5		31	1
5(GCK0)	6	22	30	1
5	7	-	-	-
5	8	-	-	-
5	9	-	-	-
5	10	-	-	-
5	11	-	-	-
5	12	-	-	1
5	13	-	-	1
5	14	-	28	1
5	15	-	-	1
5	16	-	-	1
6	1	-	34	1
6(CDRST)	2	24	35	1
6	3	-	-	1
6(GCK2)	4	27	38	1
6	5	-	-	1
6	6	-	-	1
6	7	-	-	-
6	8	-	-	-
6	9	-	-	-
6	10	-	-	-
6	11	-	-	-
6(DGE)	12	28	39	1
6	13	-	40	1
6	14	29	41	1
6	15	-	42	1
6	16	30	43	1

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
7	1	-	-	1
7	2	-	-	1
7	3	-	-	1
7	4	-	-	1
7	5	19	26	1
7	6	18	25	1
7	7	-	-	-
7	8	-	-	-
7	9	-	-	-
7	10	-	-	-
7	11	17	24	1
7	12	16	23	1
7	13	15	22	1
7	14	14	21	1
7	15	-	20	1
7	16	-	19	1
8	1	-	44	1
8	2	-	45	1
8	3	-	46	1
8	4	-	-	1
8	5	-	48	1
8	6	32	49	1
8	7	-	-	-
8	8	-	-	-
8	9	-	-	-
8	10	-	-	-
8	11	33	50	1
8	12	34	51	1
8	13	35	52	1
8	14	36	-	1
8	15	37	-	1
8	16	-	-	1

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
9	1	78	112	2
9	2	79	113	2
9	3	-	-	2
9	4	80	114	2
9	5			2
9	6	81	115	2
9	7	-	-	-
9	8	-	-	-
9	9	-	-	-
9	10	-	-	-
9	11	-	-	2
9	12	82	116	2
9	13	-	117	2
9	14	-	118	2
9	15	-	119	2
9	16	-	-	2
10	1	77	111	2
10	2	76	110	2
10	3	74	107	2
10	4	73	106	2
10	5	72	105	2
10	6	71	104	2
10	7	-	-	-
10	8	-	-	-
10	9	-	-	-
10	10	-	-	-
10	11			2
10	12	70	103	2
10	13	-	-	2
10	14	-	102	2
10	15	-	-	2
10	16	-	101	2

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
11	1	-	-	2
11	2	-	-	2
11	3	-	-	2
11	4	-	-	2
11	5	-	120	2
11	6	-	121	2
11	7	-	-	-
11	8	-	-	-
11	9	-	-	-
11	10	-	-	-
11	11	85	124	2
11	12	86	125	2
11	13	87	126	2
11	14	89	128	2
11	15	-	129	2
11	16	-	130	2
12	1	-	-	2
12	2	-	100	2
12	3	-	-	2
12	4	-	-	2
12	5	-	-	2
12	6	-	-	2
12	7	-	-	-
12	8	-	-	-
12	9	-	-	-
12	10	-	-	-
12	11	68	98	2
12	12	-	97	2
12	13	67	96	2
12	14	66	95	2
12	15	65	94	2
12	16	-	-	2

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
13	1	-	75	1
13	2	53	76	1
13	3	-	77	1
13	4	54	-	1
13	5	-	78	1
13	6	55	79	1
13	7	-	-	-
13	8	-	-	-
13	9	-	-	-
13	10	-	-	-
13	11	-	-	-
13	12	-	80	1
13	13	56	81	1
13	14	-	82	1
13	15	-	-	1
13	16	-	-	1
14	1	52	74	1
14	2	-	71	1
14	3	50	70	1
14	4	-	69	1
14	5	49	-	1
14	6	-	68	1
14	7	-	-	-
14	8	-	-	-
14	9	-	-	-
14	10	-	-	-
14	11	-	-	-
14	12	-	-	1
14	13	-	66	1
14	14	46	64	1
14	15	44	-	1
14	16	-	61	1

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
15	1	-	-	1
15	2	-	83	1
15	3	-	-	1
15	4	-	-	1
15	5	-	-	1
15	6	-	-	1
15	7	-	-	-
15	8	-	-	-
15	9	-	-	-
15	10	-	-	-
15	11	58	85	1
15	12	59	86	1
15	13	60	87	1
15	14	61	88	1
15	15	63	91	1
15	16	64	92	1
16	1	-	-	1
16	2	-	-	1
16	3	-	-	1
16	4	-	-	1
16	5	43	60	1
16	6	42	59	1
16	7	-	-	-
16	8	-	-	-
16	9	-	-	-
16	10	-	-	-
16	11	41	58	1
16	12	40	57	1
16	13	39	56	1
16	14	-	-	1

ピンの説明 (続き)

ファンクションブロック	マクロセル	VQG100	TQG144	I/Oバンク
16	15	-	54	1
16	16	-	53	1

メモ:

1. GTS = グローバル出力イネーブル、GSR = グローバルリセット/セット、GCK = グローバルクロック、CDRST = クロック分周リセット、DGE = DataGATE イネーブルです。
2. GTS、GSR および GCK ピンは、汎用I/O として使用できます。

XA2C256 JTAG、電源/グラウンド、未接続ピン、総ユーザー I/O 数

ピンタイプ	VQG100	TQG144
TCK	48	67
TDI	45	63
TDO	83	122
TMS	47	65
V _{CCAUX} (JTAG 電源電圧)	5	8
内部電源 (V _{CC})	26、57	1、37、84
I/O バンク 1 電源 (V _{CCIO1})	20、38、51	27、55、73、93
I/O バンク 2 電源 (V _{CCIO2})	88、98	109、127、141
グラウンド	21、25、31、62、69、75、84、100	29、36、47、62、72、89、90、99、108、123、144
未接続	-	-
ユーザー I/O の合計	80	118

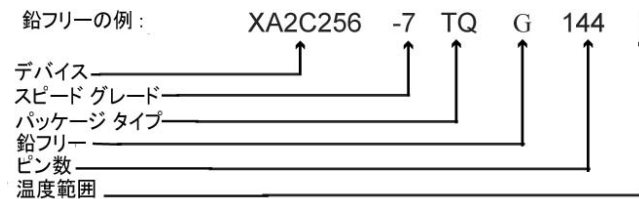
注文情報

製品番号	ピン/ボールの間隔	θ_{JA} (C/W)	θ_{JA} (C/W)	パッケージの種類	パッケージ本体のサイズ	I/O	インダストリアル (I) ⁽¹⁾ 拡張動作温度 (Q)
XA2C256-7VQG100I	0.5mm	43.1	10.9	VQFP (Very Thin Quad Flat Package)、鉛フリー	14mm x 14mm	80	I
XA2C256-8VQG100Q	0.5mm	43.1	10.9	VQFP (Very Thin Quad Flat Package)、鉛フリー	14mm x 14mm	80	Q

製品番号	ピン/ ボールの 間隔	θ_{JA} (C/W)	θ_{JA} (C/W)	パッケージの種類	パッケージ本体の サイズ	I/O	インダストリアル (I) ⁽¹⁾ 拡張動作温度 (Q)
XA2C256-7TQG144I	0.5mm	37.2	7.2	TQFP (Thin Quad Flat Package)、鉛フリー	20mm x 20mm	118	I
XA2C256-8TQG144Q	0.5mm	37.2	7.2	TQFP (Thin Quad Flat Package)、鉛フリー	20mm x 20mm	118	Q

メモ：

1. I = インダストリアル ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)、Q = オートモーティブ ($T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 、最大 $T_J = +125^\circ\text{C}$)。



デバイスのパッケージ マーク

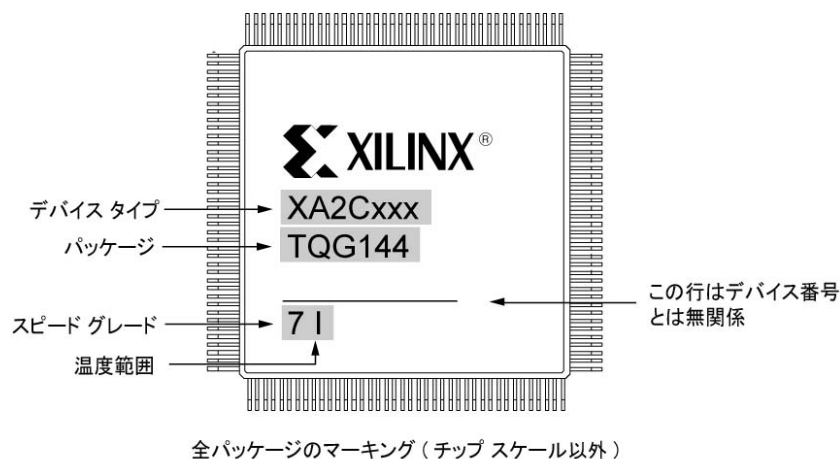


図 5 : パッケージのマーキング サンプル

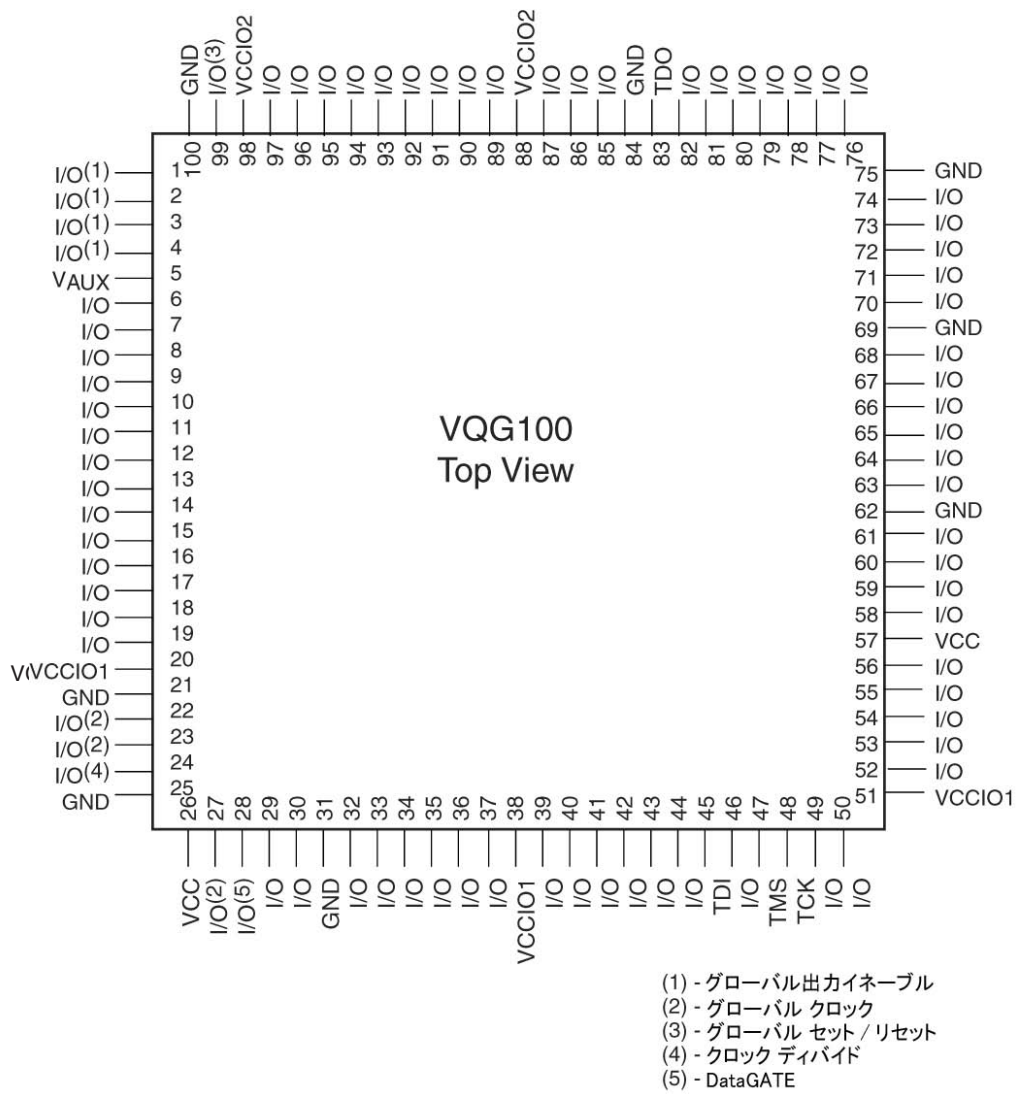
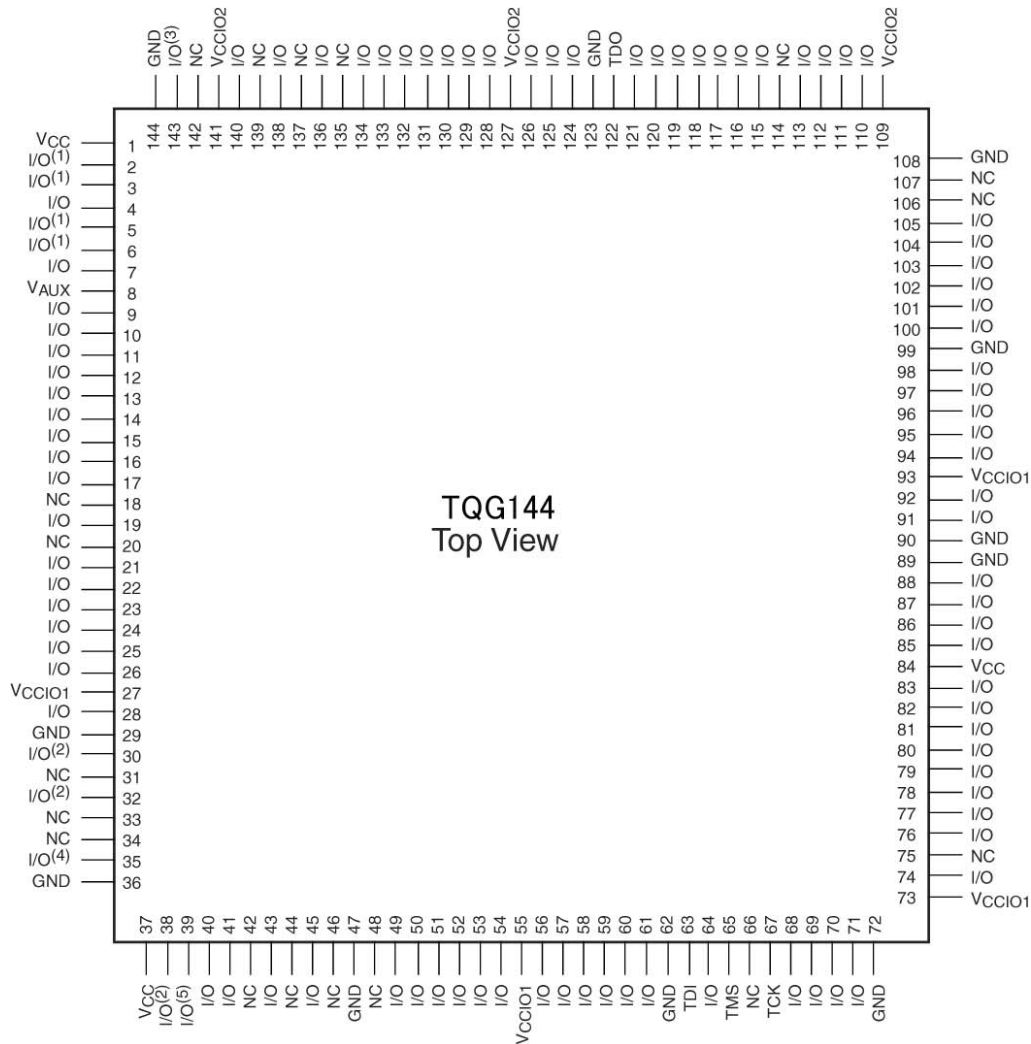


図 6 : VQG100 VQFP (Very Thin Quad Flat Pack)



TQG144
Top View

- (1) - グローバル出力イネーブル
- (2) - グローバル クロック
- (3) - グローバル セット/リセット
- (4) - クロック ディバイド
- (5) - DataGATE イネーブル

図 7 : TQG144 TQFP (Thin Quad Flat Pack)

CoolRunner-II オートモーティブの要件および推奨事項

要件

次の要件はオートモーティブアプリケーションのすべてに適用されます。

1. CoolRunner-II の電源投入には、立ち上がりが単調かつ高速な電源を使用します。V_{CC} 立ち上がり時間が 1ms 未満であることが必要です。
2. デバイス動作中に I/O ピンをフロートにしないでください。I/O ピンがフロートすると、入力バッファがフロート入力ごとに 1 ~ 2mA の電流を必要とするので、I_{CC} が増加します。また、I/O ピンがフロートとしていると、CPLD の中心部に

ノイズが伝播します。I/O ピンはバス ホールドまたはプルアップに適切に終端接続される必要があります。未使用の I/O は、C_{GND} (プログラマブル グランド) としてもコンフィギュレーションできます。

3. V_{CC}/V_{CCIO} 電源を未投入のままで I/O ピンを駆動しないでください。
4. LED 駆動時はシンク電流にします。すべてのザイリンクス CPLD には、出力に N チャネル プルダウン トランジスタがあるため、LED のアノードが V_{CC} に接続された外部抵抗を

- 介して電源供給される必要があります。結果的に、これが最も明るいソリューションになります。
- ブルダウン抵抗を回避します。外部終端が必要とされる場合は、常に外部プルアップ抵抗を使用します。CoolRunner II オートモーティブ CPLD は、一部に出力だけでなく出力バッファも駆動する I/O 回路があるので、外部プルダウンとの競合が生じる可能性があり、結果的に I/O が予測どおりに切り替わりません。
 - I/O バンクにアサインされている V_{CCIO} 以上の電圧で I/O ピンを駆動しないでください。
 - 電流が V_{CCIO} に流れ、ユーザー電圧レギュレータに影響を与えることがあります。
 - デバイスに関連する予期しないリーク電流を増加させることがあります。
 - 長時間続くと、デバイスの寿命を縮めることがあります。
 - CPLD のコンフィギュレーション前の I/O の状態に依存しないでください。電源投入中の CPLD の I/O は、内部または外部信号の影響を受けている場合があります。
 - デバイスに電源投入中に十分な電流を供給できる電圧レギュレータを使用してください。CPLD のコンフィギュレーションを確実に成功させるためには、目安として、CPLD への電源投入中にレギュレータは最大電流の最低 3 倍の電流を供給する必要があります。
 - TMS、TCK、TDI、TDO の外部 JTAG 終端が確実に IEEE 1149.1 に準拠するようにしてください。すべてのザイリンクス CPLD には、TDI、TMS、および TCK に弱い内部プルアップ抵抗があります。
 - CPLD に必要な電源およびグランド電源を供給するために、CPLD の V_{CC} および GND ピンをすべて接続してください。
 - すべての V_{CC} および V_{CCIO} ピンは、これらのピンに最も近い GND とのペアに対し 0.01 μ F および 0.1 μ F のデカップリングキャパシタを挿入してください。
 - I/O を適切にコンフィギュレーションしてください。CoolRunner-II オートモーティブ CPLD には、I/O バンクがあります。したがって、信号は適切なバンク (LVCMOS33、LVCMOS18 ...) にアサインされる必要があります。

推奨事項

次の推奨事項はオートモーティブアプリケーションのすべてに

適用されます。

- 可能であれば、厳密な同期デザイン (1 クロック イベントのみ) を使用してください。同期システムは非同期システムと比較してより堅固です。
- PCB 上に JTAG ポートを含めます。JTAG ポートは、PCB 上のデバイスのテストに使用でき、PCB 上のデバイスの再プログラミングに効果的です。INTEST でのチップ内部の検証、スタック ピンの識別、プログラミング パターンの検証を実行します (保護されていない場合)。
- CoolRunner-II オートモーティブ CPLD は、どのような電源投入シーケンスでも機能しますが、デバイスの I/O からのいかなるグリッチも望まないアプリケーションには、 V_{CCI} (内部 V_{CC}) を V_{CCIO} の前に電源投入することを推奨します。
- レポート ファイルの警告を無視しないでください。ソフトウェアは、コンパイル時に潜在的な問題を検出するので、レポートファイルはデザインがロジック上にどのようにマップされるかを正確に検証するために有効です。
- タイミング レポートを理解します。このレポート ファイルにはスピード サマリと警告が含まれます。タイミング ファイル (*.tim) をよく読んでください。ロジック分析に基づいて与えられたクロックに対する制限を決定するために、重要な信号チェーンを分析します。
- フィッタ レポートを確認します。論理式は ABEL に類似する形式か、Verilog または VHDL 形式で表示できます。フィッタ レポートには、ほかのデバイスの動作に関して非常に参考になるスイッチ設定も含まれています。
- 可能であれば、デザイン ソフトウェアにピン配置を決定させます。ザイリンクス CPLD ソフトウェアは、ソフトウェア自身が I/O ピンを選択し、ユーザー向けのリソースを管理する場合に最も効率よく動作します。また、信号の配置、ピン固定の向上が可能です。ユーザーがピンを定義する場合は、リソースを事前に決定します。
- フィット後のシミュレーションをすべての速度で実行し、低速シリコンの代用として高速シリコンを使用する場合に考えられる問題 (レーシング状態など) を特定します。
- SSO (同時スイッチング出力) を CPLD 内に均一に分配してスイッチ ノイズを削減します。
- 非常に高速な立ち上がり/立ち下がりエッジによるノイズをなくすために、高速出力は終端します。

Automotive Warranty Disclaimer

THIS WARRANTY DOES NOT EXTEND TO ANY IMPLEMENTATION IN AN APPLICATION OR ENVIRONMENT THAT IS NOT CONTAINED WITHIN XILINX SPECIFICATIONS. PRODUCTS ARE NOT DESIGNED TO BE FAIL-SAFE AND ARE NOT WARRANTED FOR USE IN THE DEPLOYMENT OF AIRBAGS. FURTHER, PRODUCTS ARE NOT WARRANTED FOR USE IN APPLICATIONS THAT AFFECT CONTROL OF THE VEHICLE UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE AND ALSO A WARNING SIGNAL TO THE OPERATOR OF THE VEHICLE UPON FAILURE. USE OF PRODUCTS IN SUCH

APPLICATIONS IS FULLY AT THE RISK OF CUSTOMER SUBJECT TO APPLICABLE LAWS AND REGULATIONS GOVERNING LIMITATIONS ON PRODUCT LIABILITY.

追加情報

次の CoolRunner-II の項目について、追加の資料があります。

- XAPP784: 『安定した CPLD デザイン プラクティス』
 - XAPP375: 『CoolRunner-II タイミング モデルについて』
 - XAPP376: 『CoolRunner-II ロジック エンジンについて』
 - XAPP378: 『CoolRunner-II の高度な機能を利用する』
 - XAPP382: 『CoolRunner-II I/O 特性』
 - XAPP389: 『CoolRunner-II CPLD への電力供給』
- XAPP399: 『CoolRunner-II VREF ピンの配置』
 関連するリファレンス デザインを用意したこれらのアプリケーションノートを確認するには、次のリンクをクリックして、必要な資料までスクロールしてください。
[CoolRunner-II データシートおよびアプリケーション ノート デバイス パッケージ](#)

改訂履歴

次の表に、この資料の改訂履歴を示します。

日付	バージョン	改訂内容
2006/10/31	1.0	初版リリース
2007/05/05	1.1	V _{IH} 仕様を 3.3V、2.5V および 1.8V LVCMOS に変更