

概要

FPGA (フィールド プログラマブル ゲート アレイ) である Extended Spartan®-3A ファミリは、低価格かつ量産が必要なアプリケーション向けに設計されています。5 万 ~ 340 万システム ゲートの 12 個のデバイス (表 1 参照) をそろえる Extended Spartan-3A ファミリは広範な集積度とパッケージ オプションを提供し、機能を向上させながら、最も低い総システム コストを実現しています。このファミリには、最先端の FPGA とフラッシュ テクノロジを組み合わせるセキュリティ、プロテクション、および機能性を新たに進展させた、スペース重視またはセキュリティ アプリケーションに最適なワンチップ Spartan-3AN デバイスが含まれます。

Extended Spartan-3A ファミリではシステム パフォーマンスが向上し、コンフィギュレーション コストが削減されるようになりました。これらの改善点と最先端の 90nm プロセス技術によって、これまででない機能とバンド幅が達成され、プログラマブル ロジック業界に新しい標準をもたらしています。Extended Spartan-3A ファミリは非常に低価格であるため、ブロードバンド アクセス、ホーム ネットワーキング、ディスプレイ/プロジェクト、デジタル TV など幅広い家庭用電化製品に適しています。

Extended Spartan-3A ファミリは、ASIC に代わる優れたデバイスです。FPGA の場合、従来の ASIC のように初期コストが高い、開発サイクルが長い、柔軟性がないなどのデメリットがなく、フィールドでのアップグレードが可能です。

Extended Spartan-3A ファミリの機能の概要

- 量産および家庭用アプリケーションを対象とした、非常に低価格で高性能なロジック ソリューション
- 低コストの QFP および BGA パッケージ オプション、鉛フリー (Pb フリー) オプション
- 柔軟な電力管理
- コネクティビティに優れたプラットフォーム
- 豊富で柔軟なロジック リソース
- 高速デジタル信号処理アプリケーション専用のリソース
- 最大 8 個の DCM (デジタル クロック マネージャ) による厳密なクロック管理
- Spartan-3AN プラットフォームにはフラッシュ メモリを統合
- 8 つの低スキュー グローバル クロック ネットワーク、デバイスの半分ごとに 8 つのクロックを追加、多数の低スキュー配線
- SelectRAM™ メモリの階層的なアーキテクチャ
- 業界標準 PROM に対応するコンフィギュレーション インターフェイス
- ザイリンクス ISE® および無償の WebPACK™ 開発システム ソフトウェアの完全なサポート
- MicroBlaze™ および PicoBlaze™ エンベデッド プロセッサを活用することによるリスクの軽減
- ザイリンクス、代理店、およびサード パーティが提供する低価格のスタータ キット
- オートモーティブ アプリケーション向けに XA バージョンが利用可能

表 1: Extended Spartan-3A ファミリー一覧表

デバイス	システムゲート	同等なロジックセル	CLB	スライス	分散 RAM ビット ⁽¹⁾	ブロック RAM ビット ⁽¹⁾	インシステムフラッシュビット ⁽²⁾	専用乗算器	DSP48A	DCM	最大ユーザー I/O
XC3S50A/AN	50K	1,584	176	704	11K	54K	1M	3	-	2	144 ⁽³⁾
XC3S200A/AN	200K	4,032	448	1,792	28K	288K	4M	16	-	4	248 ⁽⁴⁾
XC3S400A/AN	400K	8,064	896	3,584	56K	360K	4M	20	-	4	311
XC3S700A/AN	700K	13,248	1,472	5,888	92K	360K	8M	20	-	8	372
XC3S1400A/AN	1,400K	25,344	2,816	11,264	176K	576K	16M	32	-	8	502
XC3SD1800A	1,800K	37,440	4,160	16,440	260K	1,512K	-	-	84	8	519
XC3SD3400A	3,400K	53,712	5,968	23,872	373K	2,268K	-	-	126	8	469

メモ:

1. 1Kb は 1,024 ビットです。
2. インシステム フラッシュは Spartan-3AN プラットフォームでのみ利用可能です。
3. XC3S50AN の最大 I/O 数は 108 です。
4. XC3S200AN の最大 I/O 数は 195 です。

Extended Spartan-3A ファミリの機能

ここでは、Extended Spartan-3A ファミリー FPGA の機能について説明します。

- 量産および家庭用アプリケーションを対象とした、非常に低価格で高性能なロジック ソリューション
 - ◆ 使用する標準コンポーネント数の削減
 - ◆ システムの信頼性の向上
- 柔軟な電力管理
 - ◆ 1.2V のコア電圧
 - ◆ 3.3V、2.5V、1.8V、1.5V、1.2V 信号をサポートできる選択可能な I/O 電圧
 - ◆ 3.3V ±10% に完全互換、ホット スワップに対応
 - ◆ 補助電源範囲が 2 つあるため、3.3V のみを使用するデザインでは補助電源も 3.3V に設定可能
 - ◆ サスペンド モードおよびハイパーネット モードによるシステム電力の削減
- コネクティビティに優れたプラットフォーム
 - ◆ 複数の SelectIO™ 規格に対応するインターフェイスピンが、普及している規格および新規格をサポート
 - ◆ 最高で 519 個の I/O または 227 組の差動信号ペア
 - ◆ LVCMOS、LVTTTL、HSTL、SSTL シングル エンド I/O
 - ◆ ピンあたり最大 24mA の出力駆動能力が選択可能
 - ◆ QUIETIO 規格による I/O スイッチ ノイズの軽減
 - ◆ 差動 I/O あたり 640+ Mbps のデータ転送速度
 - ◆ 差動終端レジスタ付き LVDS、RSDS、mini-LVDS、HSTL/SSTL 差動 I/O
 - ◆ ダブルデータレート (DDR) のサポート強化
 - ◆ 32/64 ビット、33/66MHz PCI™ テクノロジーに準拠
- 豊富で柔軟なロジック リソース
 - ◆ オプションのシフト レジスタや分散 RAM のサポートも含めて最高で 53,712 のロジック セル集積度
 - ◆ 効率的な多入力マルチプレクサおよび幅の広いロジックによるパフォーマンスと集積度の向上
 - ◆ 高速ルックアヘッド キャリー ロジック
 - ◆ IEEE 1149.1/1532 JTAG プログラム / デバッグ ポート
- 高速デジタル信号処理アプリケーション専用のリソース
 - ◆ オプションとしてパイプライン可能な 18x18 乗算器
 - ◆ 最大サイズの 2 つのデバイスは 250MHz で動作する XtremeDSP™ DSP48A を備える
 - 48 ビットの累積乗算 (MAC) 演算
 - 乗算用または乗算加算用に 18 ビットの前置加算器を統合
 - 乗算または MAC のカスケード オプション
 - DSP プロセッサと高性能カスタム ソリューション間のギャップを補完
- 最大 8 個の DCM (デジタルクロック マネージャ) による厳密なクロック管理
 - ◆ クロック スキューの削除 (遅延ロック ループ)
 - ◆ 周波数の合成、通倍、分周
 - ◆ 高性能位相シフト
 - ◆ 広い周波数範囲 (5MHz ~ 320MHz 以上)
- Spartan-3AN プラットフォームにはフラッシュメモリを統合
 - ◆ コンフィギュレーションおよびアプリケーション格納用の最大 16Mb の内部フラッシュ メモリ
 - ◆ エンベデッド プロセッシング、コード シャドーイング、スクラッチパッド メモリに利用可能な最大 11Mb のユーザー ストレージ
 - ◆ スペースを重要視するアプリケーションではワンチップでボード設計が可能
 - ◆ ビットストリームの非表示、フラッシュ メモリ保護、セキュリティ レジスタによるデザインの安全性の向上
- 8 つの低スキュー グローバルクロック ネットワーク、デバイスの半分ごとに 8 つのクロックを追加、多数の低スキュー配線
- SelectRAM メモリの階層的なアーキテクチャ
 - ◆ 最大 2.2Mb の高速ブロック RAM (プロセッサアプリケーションによるバイト書き込み可)
 - ◆ 最大 373Kb の効果的な分散 RAM
 - ◆ 最大 400Mb/s の外部 DDR/DDR2 SDRAM サポート
- 業界標準 PROM に対応するコンフィギュレーション インターフェイス
 - ◆ 低価格で、スペースを節約する SPI シリアルフラッシュ PROM
 - ◆ x8 または x8/x16 のパラレル NOR フラッシュ PROM
 - ◆ 低価格のザイリンクス [Platform Flash](#) (JTAG 準拠)
 - ◆ MultiBoot 機能を用いることで、FPGA 制御で複数のビットストリームをロード
- ザイリンクス [ISE](#) および無償の [WebPACK](#) 開発システム ソフトウェアの完全なサポート
 - ◆ 業界で最も包括的な IP ライブラリ
- [MicroBlaze](#) および [PicoBlaze](#) エンベデッド プロセッサ
 - ◆ ソフトプロセッサを FPGA に統合することで BOM を削減
 - ◆ ソフトプロセッサを活用して陳腐化のリスクを軽減
- 低コストの QFP および BGA パッケージ オプション、鉛フリー (Pb フリー) オプション
 - ◆ フットプリントが共通しているため集積度の移行が容易
- ザイリンクス、代理店、およびサードパーティが提供する低価格のスタータキット
 - ◆ 量産向けでコストが重視されるアプリケーション用のデザイン例を含む完全なスタータキット
- オートモーティブアプリケーション向けに [XAバージョン](#) が利用可能

アーキテクチャの概要

Extended Spartan-3A ファミリーには、次の 5 つの基本的なプログラマブル エレメントが含まれています。

- **コンフィギャブル ロジック ブロック (CLB)** には、ロジック およびフリップフロップまたはラッチとして使用される記憶素子をインプリメントする、柔軟なルックアップ テーブル (LUT) が含まれます。CLB では、データの格納およびさまざまな論理機能が実行されます。
- **入出力ブロック (IOB)** は、デバイスの I/O ピンと内部ロジック間のデータフローを制御します。各 IOB では、双方向のデータフローとトライステートの動作がサポートされます。また、パフォーマンスに優れた複数の差動信号規格を含め、さまざまな信号規格がサポートされています。ダブルデータレート (DDR) レジスタも含まれます。
- **ブロック RAM** は、18Kb のデュアルポート ブロック形式でデータを格納します。
- **乗算または DSP48A ブロック** は、18 ビットの 2 進数を入力として受け取り、積を算出します。Extended Spartan-3A ファミリーで最大サイズの 2 つのデバイスが備える DSP48A ブロックには、18 ビットの前置加算器および 48 ビットのアキュムレータがあります。
- **デジタル クロック マネージャ (DCM) ブロック** には、微調整機能を持つ完全なデジタル ソリューションがあります (クロック信号の分散、遅延、逓倍、分周、位相シフト)。

コンフィギュレーション

Extended Spartan-3A ファミリーは、エレメントおよび配線リソースを一括制御するリプログラマブルでスタティックな CCL (CMOS コンフィギュレーション ラッチ) にコンフィギュレーション データを読み込むことでプログラムされます。FPGA のコンフィギュレーション データは、外部にある PROM またはボード上またはボード外にあるほかの不揮発性媒体か、不揮発性 Spartan-3AN プラットフォーム FPGA 内部に保存されます。電源を投入すると、コンフィギュレーション データは次の 8 つのモードのいずれかを使用して FPGA に書き込まれます。

- ザイリンクス Platform Flash PROM からのマスタ シリアル
- 業界標準の SPI シリアル フラッシュ メモリからの SPI (シリアル ペリフェラル インターフェイス)
- 内部 SPI フラッシュ メモリ (Spartan-3AN プラットフォーム)
- 業界標準 x8 または x8/x16 のパラレル NOR フラッシュ メモリからの BPI (バイト ペリフェラル インターフェイス) アップ

- スレーブ シリアル、通常はプロセッサからダウンロード
- スレーブ パラレル、通常はプロセッサからダウンロード
- バウンダリ スキャン (JTAG)、通常はプロセッサまたはシステム テスタからダウンロード
- MultiBoot コンフィギュレーション

MultiBoot コンフィギュレーションでは、1 つの SPI シリアル フラッシュ メモリまたはパラレル NOR フラッシュ メモリに 2 つ以上の FPGA ビットストリームを保存できるようになります。次に読み込むコンフィギュレーション ビットストリームやそのタイミングは、FPGA アプリケーションが制御します。

また、Extended Spartan-3A ファミリー FPGA それぞれに、トラッキング、デザインの複製防止、IP の保護を目的とした独自の Device DNA があらかじめ設定されています。

I/O 機能

Extended Spartan-3A ファミリーの SelectIO インターフェイスでは、多数のシングルエンド規格および差動規格がサポートされています。表 2 に、各デバイス/パッケージの組み合わせで使用可能な最大ユーザー I/O 数および入力専用ピン数を示します。

Extended Spartan-3A ファミリー FPGA でサポートされるシングルエンド規格は次のとおりです。

- 3.3V 低電圧 TTL (LVTTTL)
- 3.3V、2.5V、1.8V、1.5V、1.2V の低電圧 CMOS (LVCMOS)
- 33MHz または 66MHz の 3.3V PCI
- 1.5V および 1.8V の HSTL I、II、III (一般にメモリ アプリケーションで使用)
- 1.8V、2.5V および 3.3V の SSTL I、II (一般にメモリ アプリケーションで使用)

Extended Spartan-3A ファミリー FPGA でサポートされる差動規格は次のとおりです。

- 2.5V または 3.3V の LVDS、mini-LVDS、RSDS、PPDS I/O
- 2.5V のバス LVDS I/O
- 3.3V の TMDS I/O
- 差動 HSTL および 差動 SSTL I/O
- 2.5V または 3.3V で LVPECL 入力

表 2： 使用可能なユーザー I/O 数

デバイス	VQ100 VQG100	TQ144 TQG144	FT256 FTG256	FG320 FGG320	FG400 FGG400	CS484 CSG484	FG484 FGG484	FG676 FGG676
サイズ (mm)	16 x 16	22 x 22	17 x 17	19 x 19	21 x 21	19 x 19	23 x 23	27 x 27
XC3S50A/AN	68 ⁽¹⁾	108	144 ⁽¹⁾	-	-	-	-	-
XC3S200A/AN	68 ⁽¹⁾	-	195	248 ⁽¹⁾	-	-	-	-
XC3S400A/AN	-	-	195 ⁽¹⁾	251 ⁽¹⁾	311	-	-	-
XC3S700A/AN	-	-	161 ⁽¹⁾	-	311 ⁽¹⁾	-	372	-
XC3S1400A/AN	-	-	161 ⁽¹⁾	-	-	-	375 ⁽¹⁾	502
XC3SD1800A	-	-	-	-	-	309	-	519
XC3SD3400A	-	-	-	-	-	309	-	469

メモ：

1. これらのオプションは Spartan-3A プラットフォームでのみサポートされ、Spartan-3AN プラットフォームではサポートされていません。

パッケージ マーク

図 1 は、QF(クワッド フラット)パッケージの Extended Spartan-3A ファミリのパッケージ マーク例で、図 2 は BGA パッケージの例です。BGA パッケージのマークはクワッド フラット パッケージとほぼ同じですが、ボール A1 の位置だけが異なります。

スピード グレード/温度範囲のパーツ組み合わせが「5C」と「4I」のときは、「5C/4I」と記される場合があります。

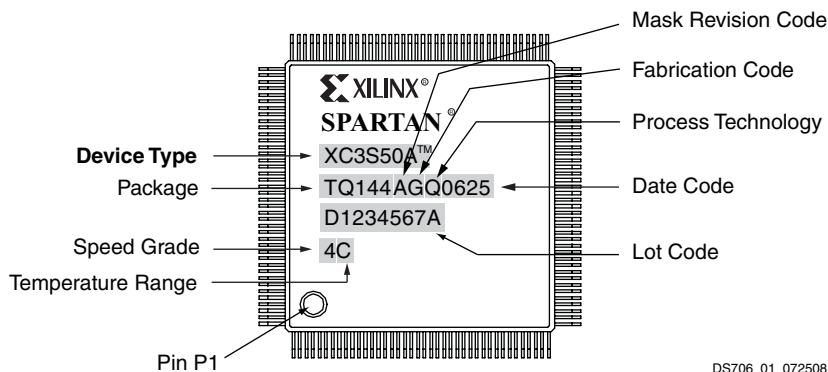


図 1： Extended Spartan-3A QFP パッケージのマーク例

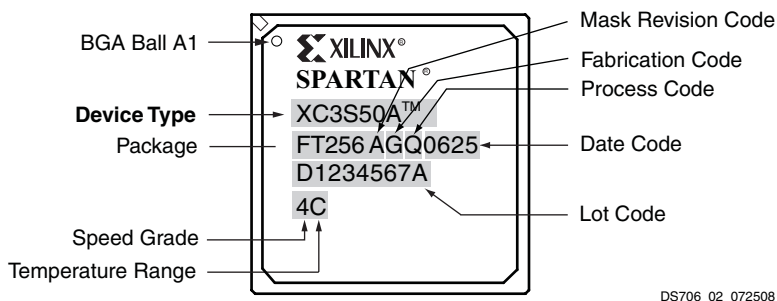


図 2： Extended Spartan-3A BGA パッケージのマーク例

注文情報

Extended Spartan-3A は、標準パッケージおよび鉛フリー (Pb フリー) パッケージの両方で提供されています。鉛フリー パッケージには、注文コードにアルファベットの「G」が含まれます (図 3 参照)。

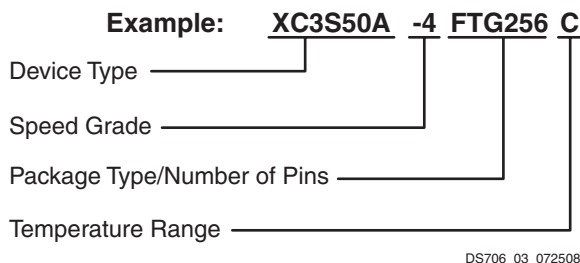


図 3：注文情報

デバイス	スピード グレード		パッケージ タイプ / ピン数		温度範囲 (T _J)	
XC3S50A/AN	-4	標準パフォーマンス	VQ(G)100	100-pin Very Thin Quad Flat Pack (VQFP)	C	コマーシャル (0°C ~ 85°C)
XC3S200A/AN	-5	高速パフォーマンス	TQ(G)144	144-pin Thin Quad Flat Pack (TQFP)	I	インダストリアル (-40°C ~ 100°C)
XC3S400A/AN			FT(G)256	256-ball Fine-Pitch Thin Ball Grid Array (FTBGA)		
XC3S700A/AN			FG(G)320	320-ball Fine-Pitch Ball Grid Array (FBGA)		
XC3S1400A/AN			FG(G)400	400-ball Fine-Pitch Ball Grid Array (FBGA)		
XC3SD1800A			CS(G)484	484-ball Chip-Scale Ball Grid Array (FBGA)		
XC3SD3400A			FG(G)484	484-ball Fine-Pitch Ball Grid Array (FBGA)		
			FG(G)676	676-ball Fine-Pitch Ball Grid Array (FBGA)		

メモ：

- 5 スピード グレードは、コマーシャル温度範囲のみです。

Extended Spartan-3A ファミリの資料

Extended Spartan-3A ファミリー FPGA に関する最新の資料は、ザイリンクス ウェブ サイトから入手可能です。このデータシートの最新版のほか、次のファイルがダウンロードできます。

[DS529](#)：『Spartan-3A FPGA データシート』

[DS610](#)：『Spartan-3A DSP FPGA データシート』

[DS557](#)：『Spartan-3AN FPGA データシート』

これらのデータシートには、Extended Spartan-3A ファミリーの DC およびスイッチ特性とピンアウトが記載されています。

[UG331](#)：『Spartan-3 Generation FPGA ユーザー ガイド』

このユーザー ガイドは次の章で構成されています。

- ◆ クロック リソース
- ◆ デジタル クロック マネージャ (DCM)
- ◆ ブロック RAM
- ◆ コンフィギャブル ロジック ブロック (CLB)
- ◆ I/O リソース
- ◆ エンベデッド 乗算器ブロック
- ◆ プログラム可能なインターコネクト

- ◆ ISE デザイン ツール

- ◆ IP コア

- ◆ エンベデッド プロセッサおよび制御ソリューション

- ◆ ピン タイプおよびパッケージの概要

- ◆ パッケージの図面

- ◆ FPGA の電源

- ◆ 電力管理

[UG332](#)：『Spartan-3 Generation コンフィギュレーション ガイド』

このユーザー ガイドは次の章で構成されています。

- ◆ コンフィギュレーションの概要

- ◆ 各モードの詳細

- ◆ ISE iMPACT プログラミング例

- ◆ MultiBoot リコンフィギュレーション

- ◆ Device DNA を使用したデザイン検証

[UG333](#): 『Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド』

このガイドでは、コンフィギュレーション後にインシステムフラッシュメモリから読み書きを実行する Spartan-3AN FPGA アプリケーションについて説明します。

- ◆ SPI_ACCESS インターフェイス
- ◆ インシステムフラッシュメモリのアーキテクチャ
- ◆ 読み出し、プログラム、消去コマンド
- ◆ ステータスレジスタ
- ◆ セクタ保護およびセクタロック機能
- ◆ 独自の識別子を用いるセキュリティレジスタ

[UG431](#): 『Spartan-3A DSP FPGA の XtremeDSP DSP48A ユーザー ガイド』

DSP48A スライスおよび DSP48A 前置加算器について説明しています。

Extended Spartan-3A ファミリ スタータキット

特定のハードウェア例は、Extended Spartan-3A ファミリのスタータキットボードを参考にしてください。次のウェブページに、各ファミリ向けのさまざまなボード (デザイン例やユーザーガイドを含む) へのリンクが記載されています。

http://japan.xilinx.com/products/boards/s3_sk_promo.htm

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2008/07/31	1.0	初版リリース

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED IN THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。