

概要

XA Zynq® UltraScale+™ MPSoC ファミリは UltraScale™ MPSoC アーキテクチャで構築されています。この製品ファミリは、豊富な機能を備えた 64 ビット クワッド コア ARM® Cortex™-A53 およびデュアル コア ARM Cortex-R5 をベースとするプロセッシング システム (PS) とザイリンクスのプログラマブル ロジック (PL) UltraScale アーキテクチャを 1 つのデバイスに組み合わせたものです。これはオンチップ メモリ、マルチポート外部メモリ インターフェイス、さらに幅広い周辺接続インターフェイスも備えています。

プロセッシング システム (PS)

ARM Cortex-A53 ベースのアプリケーション プロセッシング ユニット (APU)

- クワッド コア
- CPU 周波数: 最大 1.2GHz
- 拡張可能なキャッシュ コヒーレンシ
- ARMv8-A アーキテクチャ
 - 64 ビットまたは 32 ビットの動作モード
 - TrustZone セキュリティ
 - 64 ビット モードでの A64 命令セット
 - 32 ビット モードでの A32/T32 命令セット
- NEON 高性能 SIMD メディア処理エンジン
- 単精度/倍精度の浮動小数点ユニット (FPU)
- CoreSight™ およびエンベデッド トレース マクロセル (ETM)
- アクセラレータ コヒーレンシ ポート (ACP)
- AXI コヒーレンシ拡張 (ACE)
- 各プロセッサ コアごとに電源アイランドのゲーティング
- タイマーと割り込み
 - ARM ジェネリック タイマーのサポート
 - 2 つのシステム レベルのトリプル タイマー カウンター
 - 1 つのウォッチドッグ タイマー
 - 1 つのグローバル システム タイマー
- キャッシュ
 - 32KB、レベル 1 で 2 ウェイ (連想度) セット アソシエイティブ方式のパリティ付き命令キャッシュ (CPU ごとに独立)
 - 32KB、レベル 1 で 4 ウェイ (連想度) セット アソシエイティブ方式の ECC 付きデータ キャッシュ (CPU ごとに独立)
 - 1MB、16 ウェイ (連想度) セット アソシエイティブ レベル 2 の ECC 付きキャッシュ (CPU 間で共有)

デュアル コア ARM Cortex-R5 ベースのリアルタイム プロセッシング ユニット (RPU)

- CPU 周波数: 最大 500MHz
- ARMv7-R アーキテクチャ
 - A32/T32 命令セット
- 単精度/倍精度の浮動小数点ユニット (FPU)
- CoreSight™ およびエンベデッド トレース マクロセル (ETM)
- ロックステップまたは独立動作
- タイマーと割り込み
 - 1 つのウォッチドッグ タイマー
 - 2 つのトリプル タイマー カウンター
- キャッシュおよび密結合メモリ (TCM)
 - 32KB、レベル 1 で 4 ウェイ (連想度) セット アソシエイティブ方式の ECC 付き命令/データ キャッシュ (CPU ごとに独立)
 - ロックステップ モードでは 128KB の ECC 付き TCM (CPU ごとに独立) を組み合わせて 256KB を構築可能

オンチップ メモリ

- PS に 256KB オンチップ RAM (OCM)、ECC 付き
- PL に最大 18Mb オンチップ RAM (UltraRAM)、ECC 付き
- PL に最大 7.6Mb オンチップ RAM (ブロック RAM)、ECC 付き
- PL に最大 3.5Mb オンチップ RAM (分散 RAM)

ARM Mali-400 ベース GPU

- OpenGL ES 1.1 および 2.0 をサポート
- OpenVG 1.1 をサポート
- GPU 周波数: 最大 600MHz
- 1つのジオメトリ プロセッサ、2つのピクセルプロセッサ
- 頂点処理: 66M 三角形/秒
- ピクセル処理: 1.2G ピクセル/秒
- 64KB L2 キャッシュ
- 電源アイランドのゲーティング

外部メモリ インターフェイス

- マルチプロトコル ダイナミック メモリ コントローラー
- DDR4、DDR3、DDR3L、LPDDR3 メモリへの 32ビットまたは 64ビット インターフェイス、および LPDDR4 メモリへの 32ビット インターフェイス
- 64ビットおよび 32ビット モードでの ECC サポート
- シングルまたはデュアル ランクの 8ビット、16ビット、32ビット幅のメモリで最大 32GB のアドレス空間
- スタティック メモリ インターフェイス
 - eMMC4.51 Managed NAND フラッシュをサポート
 - ONFI3.1 NAND フラッシュ、24ビット ECC 付き
 - 1ビット SPI、2ビット SPI、4ビット SPI (クワッド SPI)、または 2つのクワッド SPI (8ビット) シリアル NOR フラッシュ

8 チャンネル DMA コントローラー

- 2つの DMA コントローラー、8チャンネルに1つ
- メモリ間、メモリからペリフェラル、ペリフェラルからメモリ、スキャッターギャザーのトランザクションをサポート

シリアル トランシーバー

- 4つの専用 PS-GTR レシーバーとトランスミッターが最大 6.0Gb/s のデータ レートをサポート
 - SGMII トライスピード Ethernet、PCI Express® Gen2、Serial-ATA (SATA)、USB3.0、および DisplayPort をサポート

専用 I/O ペリフェラルおよびインターフェイス

- PCI Express — PCIe® Base 仕様 2.1 に準拠
 - ルート コンプレックスおよびエンドポイントとして構成
 - Gen1 または Gen2 レートで x1、x2、x4
- SATA ホスト
 - SATA 仕様、リビジョン 3.11 に準拠した 1.5、3.0、6.0Gb/s データ レート
 - 最大 2つのチャンネルをサポート
- DisplayPort コントローラー
 - 最大 5.4Gb/s レート
 - 最大 2つの TX レーンをサポート (RX サポートなし)
- IEEE802.3 および IEEE1588 rev 2.0 をサポートする 4つの 10/100/1000 トライスピード イーサネット MAC ペリフェラル
 - スキャッターギャザー DMA 機能
 - IEEE 1588 rev.2 PTP フレームを認識
 - GMII、RGMII、SGMII インターフェイス

- ジャンボ フレーム
- 最大 12のエンドポイントをサポートする 2つの USB 3.0/2.0 デバイス、ホスト、または OTG ペリフェラル
 - USB 3.0/2.0 準拠のデバイス IP コア
 - 超高速、高速、フル速度、低速のモードをサポート
 - Intel XHCI 準拠の USB ホスト
- CAN 2.0B に完全に準拠した 2つの CAN バス インターフェイス
 - CAN 2.0A、CAN 2.0B、ISO 118981-1 規格に準拠
- SD/SDIO 2.0/eMMC4.51 に準拠した 2つのコントローラー
- 3つのペリフェラルチップセレクトを備えた 2つの全二重 SPI ポート
- 2つの高速 UART (最大 1Mb/s)
- 2つのマスターおよびスレーブ I2C インターフェイス
- ペリフェラルピンの割り当て用に最大 78 のマルチプレクスされた柔軟な I/O (MIO) (26 個の I/O のバンク、最大 3つ)
- PL に接続された最大 96 の EMIO (32 個の I/O のバンク、最大 3つ)

インターコネク

- PS 内部および PS と PL 間を広帯域接続
- ARM AMBA® AXI4 ベース
- QoS をサポートし、レイテンシおよび帯域幅を制御
- キャッシュコヒーレント インターコネク (CCI)

システム メモリ管理

- システム メモリ管理ユニット (SMMU)
- ザイリンクス メモリ保護ユニット (XMPU)

プラットフォーム管理ユニット

- PS ペリフェラル、電源アイランド、電源ドメインの電力ゲーティング
- PS ペリフェラルクロックゲーティングのユーザーファームウェア オプション

コンフィギュレーションおよびセキュリティ ユニット

- PS をブートし、PL をコンフィギュレーション
- セキュアおよび非セキュア モードのブートをサポート

PS のシステム モニター

- オンチップの電圧および温度検出

プログラマブル ロジック (PL)

コンフィギュラブル ロジック ブロック (CLB)

- ルックアップ テーブル (LUT)
- フリップフロップ
- カスケード接続可能な加算器

36Kb ブロック RAM

- 完全なデュアルポート
- 最大 72 ビット幅
- デュアル 18Kb として構成可能

UltraRAM

- 288Kb デュアルポート
- 72 ビット幅
- エラーチェックおよび訂正機能

DSP ブロック

- 27 × 18 符号付き乗算
- 48 ビット加算/累算器
- 27 ビット前置加算器

プログラマブル I/O ブロック

- LVCMOS、LVDS、SSTL をサポート
- 1.0V ~ 3.3V の I/O
- プログラム可能な I/O 遅延および SerDes

JTAG バウンダリスキャン

- IEEE1149.1 準拠のテスト インターフェイス

PCI Express

- ルート コンプレックスまたはエンドポイントとしての構成をサポート
- Gen3 のレートまでサポート
- 一部のデバイスには最大 2 つの統合ブロック

ビデオ エンコーダー / デコーダー (VCU)

- EV デバイスで利用可能
- PS または PL からアクセス
- エンコードとデコードを同時に実行
- H.264 および H.265 に対応

PL のシステム モニター

- オンチップの電圧および温度検出
- 最大 17 の外部入力を持つ 10 ビットの 200KSPS ADC

機能一覧

表 1: XA Zynq UltraScale+ MPSoC: EG デバイスの機能一覧

	XAZU2EG	XAZU3EG
アプリケーションプロセッシングユニット	クラウド コア ARM Cortex-A53 MPCore (CoreSight、NEON および単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、1MB L2 キャッシュ内蔵)	
リアルタイムプロセッシングユニット	デュアル コア ARM Cortex-R5 (CoreSight、単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、TCM 内蔵)	
エンベデッドおよび外部メモリ	256KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クラウド SPI、NAND、eMMC	
汎用コネクティビティ	214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイム クロック、ウォッチドッグ タイマー、トリプル タイマー カウンター	
高速コネクティビティ	4 つの PS-GTR、PCIe Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII	
グラフィックスプロセッシングユニット	ARM Mali™-400 MP2、64KB L2 キャッシュ	
システム ロジック セル	103,320	154,350
CLB フリップフロップ	94,464	141,120
CLB LUT	47,232	70,560
分散 RAM (Mb)	1.2	1.8
ブロック RAM ブロック	150	216
ブロック RAM (Mb)	5.3	7.6
UltraRAM ブロック	0	0
UltraRAM (Mb)	0	0
DSP スライス	240	360
CMT	3	3
最大 HP I/O ⁽¹⁾	156	156
最大 HD I/O ⁽²⁾	96	96
システム モニター	2	2
GTH トランシーバー 12.5Gb/s	0	0
トランシーバー フラクショナル PLL	0	0
PCIe Gen3 x16	0	0

注記:

1. HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
2. HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。

表 2: XA Zynq UltraScale+ MPSoC: EG デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)	パッケージ サイズ (mm)	XAZU2EG	XAZU3EG
		HD、HP、GTH	HD、HP、GTH
SBVA484 ⁽⁴⁾	19x19	24、58、0	24、58、0
SFVA625	21x21	24、156、0	24、156、0
SFVC784	23x23	96、156、0	96、156、0

注記:

1. パッケージ記載の詳細は、「注文情報」を参照してください。
2. すべてのデバイスとパッケージの組み合わせで、4 つの PS-GTR トランシーバーがボンディングされています。
3. すべてのデバイスとパッケージの組み合わせで、214 本の PS I/O がボンディングされています。ただし、SBVA484 および SFVA625 パッケージの ZU2EG と ZU3EG では 170 本の PS I/O がボンディングされています。
4. 58 本の HP I/O ピンはすべて同じ V_{CC0} から電源が供給されます。

表 3: XA Zynq UltraScale+ MPSoC: EV デバイスの機能一覧

	XAZU4EV	XAZU5EV
アプリケーションプロセッシングユニット	クワッド コア ARM Cortex-A53 MPCore (CoreSight、NEON および単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、1MB L2 キャッシュ内蔵)	
リアルタイムプロセッシングユニット	デュアルコア ARM Cortex-R5 (CoreSight、単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、TCM 内蔵)	
エンベデッドおよび外部メモリ	256KB オンチップ メモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クワッド SPI、NAND、eMMC	
汎用コネクティビティ	214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイム クロック、ウォッチドッグ タイマー、トリプル タイマー カウンター	
高速コネクティビティ	4 つの PS-GTR、PCIe Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII	
グラフィックスプロセッシングユニット	ARM Mali™-400 MP2、64KB L2 キャッシュ	
ビデオ コーデック	1	1
システム ロジック セル	192,150	256,200
CLB フリップフロップ	175,680	234,240
CLB LUT	87,840	117,120
分散 RAM (Mb)	2.6	3.5
ブロック RAM ブロック	128	144
ブロック RAM (Mb)	4.5	5.1
UltraRAM ブロック	48	64
UltraRAM (Mb)	13.5	18.0
DSP スライス	728	1,248
CMT	4	4
最大 HP I/O ⁽¹⁾	156	156
最大 HD I/O ⁽²⁾	96	96
システム モニター	2	2
GTH トランシーバー 12.5Gb/s	4	4
トランシーバー フラグショナル PLL	2	2
PCIe Gen3 x16	2	2

注記:

1. HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
2. HD は High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします。

表 4: XA Zynq UltraScale+ MPSoC: EV デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)(2)	パッケージ サイズ (mm)	XAZU4EV	XAZU5EV
		HD、HP、GTH	HD、HP、GTH
SFVC784 ⁽³⁾	23x23	96、156、4	96、156、4

注記:

1. パッケージ記載の詳細は、「注文情報」を参照してください。
2. すべてのデバイスとパッケージの組み合わせで、4 つの PS-GTR トランシーバーがボンディングされています。
3. SFVC784 パッケージの GTH トランシーバーは、最大 12.5Gb/s のデータレートをサポートします。

Zynq UltraScale+ MPSoC

Zynq UltraScale+ MPSoC デバイスファミリは、完全にプログラマブルでヘテロジニアスな複数のプロセッサをシングルチップで提供し、ソフトウェア、ハードウェアだけでなくインターコネクト、消費電力、セキュリティ、および I/O のプログラマビリティをもたらします。Zynq UltraScale+ MPSoC ファミリには幅広いデバイスが用意されており、業界標準ツールを使用して 1 つのプラットフォームで、コスト重視から高性能なものまで各種アプリケーションを設計できます。各 Zynq UltraScale+ MPSoC が備える PS は同じですが、PL、ビデオハードウェアブロック、I/O リソースはデバイスによってさまざまです。

表 5: XA Zynq UltraScale+ MPSoC デバイスの機能

	EG デバイス	EV デバイス
APU	クワッド コア ARM Cortex-A53	クワッド コア ARM Cortex-A53
RPU	デュアル コア ARM Cortex-R5	デュアル コア ARM Cortex-R5
GPU	Mali-400MP2	Mali-400MP2
VCU	-	H.264/H.265

XA Zynq UltraScale+ MPSoC は、複合カメラ、複合機能のドライバー アシスタンス システム、高精度なビデオ グラフィック インフォテインメント システム、ドライバー インフォメーションなど広範な車載アプリケーションをサポートします。

UltraScale MPSoC アーキテクチャは 32 ビットから 64 ビットへのプロセッサ スケーラビリティを実現にし、仮想化、ソフト エンジンとハード エンジンの併用によるリアルタイム制御、グラフィックス/ビデオ処理、波形/パケット処理、次世代のインターコネクトとメモリ、高度な電力管理、そして複数レベルのセキュリティ、安全性、信頼性を可能にするテクノロジー強化をサポートします。ザイリンクスは、XA Zynq UltraScale+ MPSoC ファミリ向けに多数のソフト IP を提供しています。PS および PL 内のペリフェラルには、スタンドアロンおよび Linux のデバイスドライバーが使用可能です。ザイリンクスの Vivado® Design Suite、SDK™、PetaLinux 開発環境を使用することで、ソフトウェア エンジニア、ハードウェア エンジニア、システム エンジニアを問わず短期間で製品開発が完了します。また、PS が ARM ベースであるため、ザイリンクスの既存の PL エコシステムに加え、幅広いサードパーティから提供されるツールや IP を利用できます。

XA Zynq UltraScale+ MPSoC ファミリは、適切なオンチップ メモリ サブシステムと相互接続する、次世代の高性能オンチップ インターコネクトに組み込まれたヘテロジニアスな処理エンジンを最適な形で備えることで、かつてない処理性能、I/O、メモリ帯域幅を提供します。XA Zynq UltraScale+ MPSoC は、さまざまなアプリケーション タスク向けに最適化されるヘテロジニアスな処理エンジンおよびプログラマブル エンジンにより、XA Zynq-7000 All Programmable SoC との互換性を維持しながら次世代のスマート システムに対応する非常に高い性能と効率をもたらします。UltraScale MPSoC アーキテクチャはさらに、次世代スマート システムにおける要件である、複数レベルのセキュリティ、より高い安全性、高度な電力管理をサポートします。ザイリンクスのエンベデッド UltraFast™ 設計手法は、UltraScale MPSoC アーキテクチャによってもたらされる ASIC クラスの機能を十分に活用しながら、短期間でのシステム開発をサポートするものです。

アプリケーション プロセッサを統合したことで、AutoSAR や Linux など高レベルのオペレーティング システムにも対応します。XA Zynq UltraScale+ MPSoC ファミリでは、その他に Cortex-A53 プロセッサで使用できる標準的なオペレーティング システムを利用可能です。PS と PL は別々の電源ドメインに属しているため、必要に応じて PL のみ電源を遮断して消費電力を抑えることができます。必ず PS 内のプロセッサから起動し、PL はソフトウェア主導のアプローチでコンフィギュレーションされます。PL コンフィギュレーションは CPU で動作するソフトウェアによって管理されるため、ASSP と同じような方式で起動します。

プロセッシング システム

アプリケーション プロセッシング ユニット (APU)

APU の主な特長は次のとおりです。

- 64 ビット クワッド コア ARM Cortex-A53 MPCore各コアの機能は次のとおりです。
 - ARM v8-A アーキテクチャ
 - ターゲット動作周波数: 最大 1.2GHz
 - 単精度および倍精度の浮動小数点: 4 SP/2 DP FLOPS/MHz
 - 単精度および倍精度の浮動小数点命令で NEON Advanced SIMD サポート
 - 64 ビットの動作モードで A64 命令セット、32 ビット動作モードで A32/T32 命令セット
 - レベル 1 キャッシュ (命令とデータが独立、各 Cortex-A53 CPU に 32KB)
 - 2 ウェイ (連想度) セット アソシエイティブ方式のパリティ付き命令キャッシュ
 - 4 ウェイ (連想度) セット アソシエイティブ方式のパリティ付きデータ キャッシュ
 - 各プロセッサ コアにメモリ管理ユニット (MMU) を内蔵
 - TrustZone によるセキュア モード動作
 - 仮想化をサポート
- 動作モード: シングルプロセッサ、対称クワッド プロセッサ、非対称クワッド プロセッサ
- 16 ウェイ (連想度) セット アソシエイティブ レベル 2 の ECC 付きキャッシュを統合
- 割り込みおよびタイマー
 - ジェネリック割り込みコントローラー (GIC-400)
 - ARM ジェネリック タイマー (各 CPU に 4 つのタイマー)
 - 1 つのウォッチドッグ タイマー (WDT)
 - 1 つのグローバル タイマー
 - 2 つのトリプル タイマー / カウンター (TTC)
- CoreSight によるデバッグおよびトレースをサポート
 - エンベデッド トレース マクロセル (ETM) での命令トレース
 - クロス トリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能
- PL への ACP インターフェイスには I/O コヒーレンシがあり、レベル 2 キャッシュ割り当て
- PL への ACE インターフェイスには完全なコヒーレンシ
- 各プロセッサ コアごとに電源アイランドのゲーティング
- コアごとに eFUSE を無効化するオプション

リアルタイム プロセッシング ユニット (RPU)

- デュアル コア ARM Cortex-R5 MPCore 各コアの機能は次のとおりです。
 - ARM v7-R アーキテクチャ (32 ビット)
 - ターゲット動作周波数: 最大 500MHz
 - A32/T32 命令セットをサポート
 - レベル 1 で 4 ウェイ (連想度) セット アソシエイティブ方式の ECC 付きキャッシュ (命令とデータは別々、32KB)
 - 各プロセッサにメモリ保護ユニット (MPU) を内蔵
 - 128KB 密結合メモリ (TCM)、ECC サポートあり
 - ロックステップ モードでは TCM を組み合わせて 256KB を構築可能
- シングルプロセッサまたはデュアルプロセッサ モードで動作可能 (スプリットおよびロックステップ)
- 専用 SWDT およびトリプル タイマー カウンター (TTC)
- CoreSight によるデバッグおよびトレースをサポート
 - エンベデッド トレース マクロセル (ETM) での命令およびトレース
 - クロス トリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能
- eFUSE の無効化オプション

フル電力ドメイン DMA (FPD-DMA) 低電力ドメイン DMA (LPD-DMA)

- 2つの汎用 DMA コントローラー (1つはフル電力ドメイン (FPD-DMA)、もう1つは低電力ドメイン (LPD-DMA))
- 各 DMA に 8つの独立チャネル
- 複数の伝送タイプ
 - メモリ間
 - メモリからペリフェラル
 - ペリフェラルからメモリ
 - スキャッター ギャザー
- 各 DMA に 8つのペリフェラル インターフェイス
- 各 DMA の TrustZone によりセキュア動作オプション

ザイリンクス メモリ保護ユニット (XMPU)

- 領域ベースのメモリ保護ユニット
- 最大 16 個の領域
- 各領域は 1MB または 4KB のアドレス アライメントをサポート
- 領域は重複可、領域番号が大きいほど高い優先度
- 各領域は個別に有効化/無効化できる
- 各領域に開始アドレスおよび終了アドレスがある

グラフィックス プロセッシング ユニット (GPU)

- OpenGL ES 1.1 および 2.0 をサポート
- OpenVG 1.1 をサポート
- ターゲット動作周波数: 最大 600MHz
- 1つのジオメトリ プロセッサ、2つのピクセルプロセッサ
- 頂点処理: 66M 三角形/秒
- ピクセル処理: 1.2G ピクセル/秒
- 64KB レベル 2 キャッシュ (読み出し専用)
- 4X および 16X アンチエイリアス機能をサポート
- ETC テクスチャ圧縮により外部メモリ帯域幅を削減
- 各種テクスチャフォーマットを幅広くサポート
 - RGBA 8888、565、1556
 - Mono 8、16
 - YUV フォーマットをサポート
- 複数のグラフィックス シェーダー エンジン間での自動負荷分散
- 2D および 3D グラフィックス アクセラレーションにより最大 1080p 解像度までスケーラブルな性能
- 各ジオメトリ プロセッサおよびピクセルプロセッサは 4KB ページ MMU をサポート
- 各 GPU エンジンおよび共有キャッシュで電源アイランドのゲーティング
- eFUSE の無効化オプション

ダイナミック メモリ コントローラー (DDRC)

- DDR3、DDR3L、DDR4、LPDDR3、LPDDR4
- ターゲット データ レート: -1 スピード グレードで最大 2,400Mb/s の DDR4 動作
- DDR4、DDR3、DDR3L、LPDDR3 メモリで 32 ビットまたは 64 ビットのバス幅をサポートし、LPDDR4 メモリで 32 ビットのバス幅をサポート
- ECC サポート (追加ビットを使用)
- 最大 32GB の DRAM 総容量
- 低消費電力モード
 - アクティブ/プリチャージ パワー ダウン
 - セルフ リフレッシュ (コントローラー パワー サイクル後のセルフ リフレッシュからのクリーンな終了を含む)
- ソフトウェアが読み出し/書き込みアイを計測して遅延を動的に調整できることで強化された DDR トレーニング
- 読み出しパスおよび書き込みパスに別々のパフォーマンス モニター
- テスト用に PHY デバッグ アクセス ポート (DAP) を JTAG に統合

DDR メモリ コントローラーには複数のポートが接続されているため、PS と PL が同じメモリへのアクセスを共有できます。この際、DDR コントローラーは、次に示す 6 つの AXI スレーブ ポートを使用します。

- ARM Cortex-A53 CPU、RPU (ARM Cortex-R5 および LPD ペリフェラル)、GPU、高速ペリフェラル (USB3、PCIe、SATA)、PL からキャッシュ コヒーレント インターコネクト (CCI) を経由する高性能ポート (HP0 と HP) からの 128 ビット AXI ポートが 2 つ
- ARM Cortex-R5 CPU 専用の 64 ビット ポートが 1 つ
- DisplayPort および PL の HP2 ポートからの 128 ビット AXI ポートが 1 つ
- PL の HP3 および HP4 ポートからの 128 ビット AXI ポートが 1 つ
- 汎用 DMA および PL の HP5 ポートからの 128 ビット AXI ポートが 1 つ

高速コネクティビティ ペリフェラル

PCIe

- PCI Express Base 仕様 2.1 に準拠
- PCI Express のトランザクション オーダリング規則に完全に準拠
- レーン幅: Gen1 または Gen2 レートで x1、x2、x4
- 1 つの仮想チャネル
- 全二重 PCIe ポート
- エンドポイントおよびシングル PCIe リンク ルート ポート
- ルート ポートがエンハンスト コンフィギュレーション アクセス メカニズム (ECAM) をサポート、コンフィギュレーション トランザクションの生成
- INTx および MSI のルート ポート サポート
- MSI または MSI-X のエンドポイント サポート
 - 1 つの物理的機能、または SR-IOV
 - リラックス オーダリングまたは ID オーダリングなし
 - 完全にコンフィギュラブルな BAR
 - INTx は推奨されていないが、生成可能
 - ターゲット/スレーブ アパーチャのアドレス トランザクションおよび割り込み性能が設定可能なエンドポイント

SATA

- SATA 3.1 仕様に準拠
- SATA ホスト ポートは最大 2 つの外部デバイスをサポート
- Advanced Host Controller Interface (AHCI) ver. 1.3 に準拠
- 1.5Gb/s、3.0Gb/s、6.0Gb/s のデータ レート
- 電力管理機能: パーシャルおよび休止モードをサポート

USB 3.0

- 2 つの USB コントローラー (USB 2.0 または USB 3.0 として構成可能)
- 最大 5.0Gb/s データ レート
- ホストおよびデバイス モード
 - 超高速、高速、フル、低速の各スピード モード
 - 最大 12 個のエンドポイント
 - USB ホスト コントローラー レジスタおよびデータ構造は Intel xHCI 仕様に準拠
 - 内蔵 DMA を備える 64 ビットの AXI マスター ポート
 - 電力管理モード: ハイパーネート モード

DisplayPort コントローラー

- DisplayPort 出力を使用した 4K ディスプレイ処理
 - 最大解像度は 4K x 2K-30 (30Hz ピクセルレート)
 - DisplayPort AUX チャネル、および出力にホット プラグ検出 (HPD)
 - 6、8、10、および 12 ビット/カラーで RGB YCbCr 4:2:0、4:2:2、4:4:4
 - 6、8、10、および 12 ビット/カラー コンポーネントで Y のみ、xvYCC、RGB 4:4:4、YCbCr 4:4:4、YCbCr 4:2:2、YCbCr 4:2:0 のビデオ フォーマット
 - 256 カラーパレット
 - 複数のフレームバッファフォーマット
 - パレットによる 1、2、4、8 ビット/ピクセル (bpp) の色深度
 - 16、24、32bpp
 - RGBA8888、RGB555 などのグラフィックスフォーマット
- PL または専用 DMA コントローラーからのストリーミングビデオを受け取る
- グラフィックスのアルファブレンドおよびクロマキーが可能
- オーディオサポート
 - シングルストリームでは 192kHz、24 ビットの解像度で最大 8 LPCM チャネルをサポート
 - DRA、Dolby MAT、DTS HD を含む圧縮フォーマットをサポート
 - マルチストリーム伝送によってオーディオチャネル数を拡張
 - オーディオコピー防止
 - PL からの 2 チャネルのストリーミングまたは入力
 - メモリオーディオフレームバッファからのマルチチャネルの非ストリーミングオーディオ
- ISO/IEC 13818-1 に準拠するシステムタイムクロック (STC) を含む
- 最小限のリソースでブート時間表示

プラットフォーム管理ユニット (PMU)

- ブート中にシステムの初期化を実行
- スリープステート中はアプリケーションおよびリアルタイムプロセッサへを代表するものとして動作する
- 電源投入とウェイクアップ要求後の再動作を開始する
- システムの電力ステートを常に維持管理する
- アイランドおよびドメインの電源投入、電源切断、リセット、クロックゲーティング、電力ゲーティングに必要な下位イベントのシーケンスを管理する
- エラー処理およびレポートなどのエラー管理
- メモリスクラブなどの安全性チェック機能

PMU には、次のブロックがあります。

- プラットフォーム管理プロセッサ
- 固定 ROM によるデバイスのブートアップ
- ECC 付き 128KB RAM によるオプションのユーザー/ファームウェアコード
- ローカルおよびグローバルレジスタで電源切断、電源投入、リセット、クロックゲーティング、電力ゲーティングを管理
- ほかのモジュールからの 16 の割り込みに対応する割り込みコントローラーおよび内部プロセッサ通信インターフェイス (IPI)
- PS I/O と PL との間の GPI および GPO インターフェイス
- JTAG インターフェイスを介した PMU のデバッグ
- ユーザー定義のファームウェアオプション

コンフィギュレーション セキュリティ ユニット (CSU)

- ECC 内蔵のトリプル冗長セキュアプロセッサブロック (SPB)
- 暗号インターフェイスブロックは、次で構成されます。
 - 256 ビット AES-GCM
 - SHA-3/384
 - 4,096 ビット RSA
- キー管理ユニット
- 内蔵 DMA
- PCAP インターフェイス
- コンフィギュレーションの前段階で ROM の検証をサポート
- セキュアまたは非セキュアモードで第1段階ブートローダー (FSBL) を OCM にロード
- コンフィギュレーション後の電圧、温度、周波数の監視をサポート

ザイリンクス ペリフェラル保護ユニット (XPPU)

- ペリフェラルの保護機能を提供
- 同時に最大 20 のマスター
- 多様なアパーチャー サイズ
- マスターごとに特定のアドレス アパーチャーのアクセス制御
- ペリフェラルごとの 64KB ペリフェラル アパーチャーおよび制御アクセス

I/O ペリフェラル

IOP ユニットには、データ通信ペリフェラルが含まれます。IOP の主な特長は次のとおりです。

トリプルスピード ギガビット イーサネット

- IEEE 802.3 に準拠し、10/100/1,000Mb/s の転送レート (全二重および半二重) をサポート
- ジャンボ フレームをサポート
- スキャッター ギャザー DMA 機能を内蔵
- RMON/MIB 用の統計カウンター レジスタ
- 外部 PHY を使用し、RGMII インターフェイスで複数の I/O タイプ (1.8、2.5、3.3V)
- PL への GMII インターフェイスで次をサポート: TBI、SGMII、RGMII v2.0
- 送信フレームでパッドおよび巡回冗長検査 (CRC) の自動生成
- トランスミッターおよびレシーバー IP、TCP、UDP チェックサムのおフロード
- 物理層を管理するための MDIO インターフェイス
- 入力ポーズ フレームの認識と送信ポーズ フレームのハードウェア生成の全二重フロー制御
- 入力 VLAN と優先度タグの付いたフレームを認識する 802.1Q VLAN タグ
- IEEE 1588 v2 をサポート

SD/SDIO 3.0 コントローラー

セキュア デジタル (SD) デバイスだけでなく eMMC 4.51 をサポートします。

- ホスト モードのサポートのみ
- 内蔵 DMA
- 1/4 ビット SD 仕様、バージョン 3.0
- 1/4/8 ビット eMMC 仕様、バージョン 4.51
- SD カードおよび eMMC からのプライマリ ブートをサポート (Managed NAND)
- 高速、デフォルト、低速のレートをサポート
- 1 ビットと 4 ビットのデータ インターフェイス
 - 低速クロック 0 ~ 400KHz
 - デフォルト クロック 0 ~ 25MHz
 - 高速クロック 0 ~ 50MHz
- 高速インターフェイス
 - SD UHS-1: 208MHz
 - eMMC HS200: 200MHz
- メモリ、I/O、SD カード
- 電力制御モード
- 最大 512B データ FIFO インターフェイス

UART

- プログラム可能なボー レート生成回路
- 6、7、または 8 データ ビット
- 1、1.5、または 2 ストップ ビット
- 奇数、偶数、スペース、マーク、パリティなし
- パリティ、フレーミング、およびオーバーラン エラーの検出
- 改行生成および検出
- 自動エコー、ローカル ループバック、およびリモート ループバック チャネル モード
- モデム制御信号: CTS、RTS、DSR、DTR、RI、DCD (EMIO からのみ)

SPI

- 全二重動作によって送信の受信の同時実行が可能
- 深さが 128B の読み出しおよび書き込み FIFO
- マスター /スレーブ SPI モード
- 最大 3 つのチップ セレクト ライン
- マルチマスター環境
- 2 つ以上のマスターが検知されたら、エラー状態を特定
- 選択可能なマスター クロック リファレンス
- ソフトウェアはステートをポーリングするか、割り込み駆動にできる

I2C

- 128 ビット バッファ サイズ
- 標準 (100kHz) および高速 (400kHz) 両方のバス データ レート
- マスター /スレーブ モード
- 標準または拡張アドレス
- 低速ホスト サービスには I2C バス ホールド

GPIO

- 最大 128 GPIO ビット
 - MIO から最大 78 ビット、EMIO から最大 96 ビット
- 各 GPIO ビットは入力または出力として動的にプログラム可能
- 全レジスタの各ビットに独立したリセット値
- 各 GPIO 信号に割り込み要求生成
- 全制御レジスタ (データ出力レジスタ、方向制御レジスタ、割り込みクリア レジスタを含む) にシングル チャネル (ビット) 書き込み性能
- 出力モードでリードバック

CAN

- ISO 11898 -1、CAN2.0A、CAN 2.0B 規格に準拠
- 標準 (11 ビット識別子) と拡張 (29 ビット識別子) の両フレーム
- 最大 1Mb/s のビット レート
- 64 メッセージの深さの送信および受信メッセージ FIFO
- TXFIFO および RXFIFO の透かし割り込み
- 通常モード時のエラーまたはアービトレーション損失での自動再伝送
- 4つの受信フィルターによる受信フィルタリング
- 自動ウェークアップ付きのスリープ モード
- スヌープ モード
- 受信メッセージの 16 ビット タイムスタンプ
- 内部生成された基準クロックと MIO からの外部基準クロック入力
- 24MHz の基準クロック入力で 80 ~ 83% のクロック サンプリング エッジを保証
- ポートごとに eFUSE を無効化するオプション

USB 2.0

- 2つの USB コントローラー (USB 2.0 または USB 3.0 として構成可能)
- ホスト、デバイス、On-The-Go (OTG) モード
- 高速、フル、低速の各スピード モード
- 最大 12 個のエンドポイント
- 外部 PHY の接続用の 8 ビット ULPI インターフェイス
- USB ホスト コントローラー レジスタおよびデータ構造は Intel xHCI 仕様に準拠
- 内蔵 DMA を備える 64 ビットの AXI マスター ポート
- 電力管理機能: ハイバーネート モード

スタティック メモリ インターフェイス

スタティック メモリ インターフェイスは外部のスタティック メモリをサポートします。

- 最大 24 ビット ECC の ONFI 3.1 NAND フラッシュをサポート
- 1 ビット SPI、2 ビット SPI、4 ビット SPI (クワッド SPI)、または 2 つのクワッド SPI (8 ビット) シリアル NOR フラッシュ
- Manage NAND フラッシュをサポートする 8 ビット eMMC インターフェイス

NAND ONFI 3.1 フラッシュ コントローラー

- ONFI 3.1 準拠
- ONFI 3.1 仕様によってチップ セレクト数を削減
- SLC NAND でのブート/コンフィギュレーションおよびデータ格納
- SLC NAND に基づく ECC オプション
 - 512+ スペア バイトごとに 1、4、または 8 ビット
 - 1,024+ スペア バイトごとに 24 ビット
- 最大バンド幅は次のとおり
 - 非同期モード (SDR) 50MHz
 - 同期モード (NV-DDR) 100MHz (200Mb/s)
- 8 ビット SDR NAND インターフェイス
- 2 つのチップ セレクト
- プログラム可能なアクセス タイミング
- 1.8V および 3.3V I/O
- 内蔵 DMA による性能向上

Quad-SPI コントローラー

- 4 バイト (32 ビット) と 3 バイト (24 ビット) のアドレス幅
- 150MHz の最大 SPI クロック (マスター モード)
- シングル、デュアルパラレル、デュアル スタック モード
- 読み出し動作の 32 ビット AXI リニア アドレス マッピング インターフェイス
- 最大 2 つのチップ セレクト信号
- 書き込み防止信号
- ホールド信号
- 4 ビットの双方向 I/O 信号
- x1/x2/x4 読み出しレート要件
- x1 書き込みレート要件のみ
- 深さが 64 バイトのエントリ FIFO による QSPI 読み出し効率の向上
- 内蔵 DMA による性能向上

ビデオ エンコーダー / デコーダー (VCU)

Zynq UltraScale+ MPSoC で EV という接尾辞の付くデバイスでは、ビデオ コーデック (エンコーダー / デコーダー) が利用できます。VCU は PL にあり、PL または PS からアクセス可能です。

- 別々のコアを介してエンコードとデコードの同時実行
- H.264 ハイプロファイル、レベル 5.2 (4Kx2K-60 レート)
- H.265 (HEVC)、メイン 10 プロファイル、レベル 5.1、ハイティア、4Kx2K-60 の最大レート
- 8 ビットおよび 10 ビットのエンコーディング
- 4:2:0 および 4:2:2 のクロマ サンプリング
- 8Kx4K-15 レート
- 総レートが最大 4Kx2K-60 のマルチストリーム
- 低レイテンシ モード
- PS DRAM を共有するか、PL の専用 DRAM を使用できる
- クロック/電力管理

インターコネク

すべてのブロックは、マルチレイヤーの ARM Advanced Microprocessor Bus Architecture (AMBA) AXI インターコネクを介して互いに、そして PL に接続されています。このインターコネクは、ノンブロッキング型で同時に複数のマスター/スレーブ トランザクションをサポートします。

ARM CPU などのレイテンシの影響を受けやすいマスター デバイスはメモリへの最短パスを割り当て、PL マスター デバイスとなる可能性がある帯域幅が重視されるマスター デバイスにはスレーブ デバイスとの接続が高スループットとなるようにインターコネクは設計されています。

このインターコネクを通過するトラフィックは、インターコネク内の QoS (Quality of Service) ブロックで制御されます。QoS 機能を使用して、CPU、DMA コントローラー、および IOP のマスターに相当する統合されたエンティティで生成されたトラフィックを制御します。

PS インターフェイス

PS インターフェイスには、チップ外への外部インターフェイスまたは PS から PL への信号が含まれます。

PS の外部インターフェイス

Zynq UltraScale+ MPSoC の外部インターフェイスは、PL ピンとして割り当てることのできない専用ピンを使用します。これらのピンは次のとおりです。

- クロック、リセット、ブート モード、基準電圧
- 最大 78 の専用多目的 I/O (MIO) ピン (内部の I/O ペリフェラルやスタティック メモリ コントローラーへ接続するためにソフトウェアで設定を変更できる)
- オプションで ECC 付きの 32 ビットまたは 64 ビットの DDR4/DDR3/DDR3L/LPDDR3 メモリ
- オプションで ECC 付きの 32 ビット LPDDR4 メモリ
- トランシーバーに 4 チャンネル (TX と RX のペア)

MIO の概要

IOP ペリフェラルは、共有リソースである最大 78 ピンの専用多目的 I/O (MIO) を介して外部デバイスと通信します。各ペリフェラルは、あらかじめ定義されたピン グループの 1 つに割り当てることができ、同時に複数のデバイスを柔軟に割り当てることが可能です。すべての I/O ペリフェラルを同時に使用するには 78 ピンでは不十分ですが、ほとんどの IOP インターフェイス信号は PL で使用可能なため、適切に電源投入してコンフィギュレーションすれば、標準の PL I/O ピンが利用できます。EMIO によってマップされていない PS ペリフェラルから PL I/O へのアクセスが可能です。

ポート マッピングは複数の位置に割り当てることができます。たとえば、CAN ピンの場合は最大 12 箇所のポート マッピングが可能です。PS コンフィギュレーション ウィザード (PCW) は、ペリフェラルおよびスタティック メモリのピン マッピングに役立ちます。

表 6: MIO ペリフェラル インターフェイスのマッピング

ペリフェラル インターフェイス	MIO	EMIO
クワッド SPI NAND	Yes	不可
USB2.0: 0、1	Yes: 外部 PHY	No
SDIO 0、1	Yes	あり
SPI: 0、1 I2C: 0、1 CAN: 0、1 GPIO	Yes CAN: 外部 PHY GPIO: 最大 78 ビット	Yes CAN: 外部 PHY GPIO: 最大 96 ビット
GigE: 0、1、2、3	RGMII v2.0: 外部 PHY	プログラマブル ロジックで GMII、RGMII v2.0 (HSTL)、RGMII v1.3、MII、SGMII、1000BASE-X をサポート
UART: 0、1	簡易 UART: 2 ピンのみ (TX と RX)	フル機能 UART (TX、RX、DTR、DCD、DSR、RI、RTS、CTS) は、次のいずれかの使用が必要 <ul style="list-style-type: none"> • MIO を介す 2 つのプロセッシング システム (PS) ピン (RX、TX) と 6 つのプログラマブル ロジック (PL) ピン、または • 8 つのプログラマブル ロジック (PL) ピン
デバッグ トレース ポート	Yes: 最大 16 トレース ビット	Yes: 最大 32 トレース ビット
プロセッサ JTAG	Yes	Yes

トランシーバー (PS-GTR)

フル電力ドメイン (FPD) にある 4 つの PS-GTR トランシーバーは、最大 6.0Gb/s のデータ レートをサポートします。すべてのプロトコルを同時に割り当てることができません。トランシーバーを使用して常時 4 つの差動ペアを割り当てることが可能です。これは、高速 I/O マルチプレクサーを介してユーザー プログラマブルです。

- 1 つのクワッド トランシーバー PS-GTR (TX/RX ペア) は次の規格を同時にサポートできます。
 - Gen1 (2.5Gb/s) または Gen2 (5.0Gb/s) の PCIe で x1、x2、または x4 レーン
 - 1.62Gb/s、2.7Gb/s、または 5.4Gb/s の DisplayPort (TX のみ) で 1 または 2 レーン
 - 1.5Gb/s、3.0Gb/s、6.0Gb/s で 1 または 2 SATA チャネル
 - 5.0Gb/s で 1 または 2 USB3.0 チャネル
 - 1.25Gb/s で 1 ~ 4 Ethernet SGMII チャネル
- トランシーバー リソースを PS マスター (DisplayPort、PCIe、Serial-ATA、USB3.0、GigE) に接続するために、柔軟でホストがプログラマブルなマルチプレクス機能を提供

HS-MIO

HS-MIO は、PS 内の高速ペリフェラルから PS-GTR トランシーバーの差動ペアへ、コンフィギュレーションレジスタで定義されたとおりに多重アクセスする役割を果たします。PS 内の高速インターフェイスが利用可能なトランシーバーチャンネルは、最大 4 つです。

表 7: HS-MIO ペリフェラル インターフェイスのマッピング

ペリフェラル インターフェイス	レーン 0	レーン 1	レーン 2	レーン 3
PCIe (x1、x2、x4)	PCIe0	PCIe1	PCIe2	PCIe3
SATA (1 または 2 チャンネル)	SATA0	SATA1	SATA0	SATA1
DisplayPort (TX のみ)	DP1	DP0	DP1	DP0
USB0	USB0	USB0	USB0	-
USB1	-	-	-	USB1
SGMII0	SGMII0	-	-	-
SGMII1	-	SGMII1	-	-
SGMII2	-	-	SGMII2	-
SGMII3	-	-	-	SGMII3

PS-PL インターフェイス

PS-PL インターフェイスの特長は次のとおりです。

- プライマリ データ通信用の AMBA AXI4 インターフェイス
 - PL から PS への 128 ビット/64 ビット/32 ビット ハイパフォーマンス (HP) スレーブ AXI インターフェイス x 6
 - PL から PS DDR への 128 ビット/64 ビット/32 ビット HP AXI インターフェイス x 4
 - PL から キャッシュ コヒーレント インターコネクタ (CCI) への 128 ビット/64 ビット/32 ビット ハイパフォーマンス コヒーレント (HPC) ポート x 2
 - PS から PL への 128 ビット/64 ビット/32 ビット HP マスター AXI インターフェイス x 2
 - OCM への低レイテンシアクセスを可能にする、PL から PS 内の RPU (PL_LPD) への 128 ビット/64 ビット/32 ビット インターフェイス x 1
 - PL への低レイテンシアクセスを可能にする、PS 内の RPU から PL (LPD_PL) への 128 ビット/64 ビット/32 ビット AXI インターフェイス x 1
 - I/O コヒーレンシの取れたアクセスを可能にする、PL から Cortex-A53 キャッシュ メモリへの 128 ビット AXI インターフェイス (ACP ポート) x 1。このインターフェイスは、ハードウェアで Cortex-A53 キャッシュ メモリのコヒーレンシを提供。
 - 完全にコヒーレンシの取れたアクセスを可能にする、PL から Cortex-A53 への 128 ビット AXI インターフェイス (ACP ポート) x 1。このインターフェイスは、ハードウェアで Cortex-A53 キャッシュ メモリおよび PL のコヒーレンシを提供。
- クロックおよびリセット
 - PL への PS クロック出力 (開始/停止制御付き) x 4
 - PL への PS リセット出力 x 4

高性能 AXI ポート

高性能 AXI4 ポートは、PL から PS の DDR および高速インターコネクタへのアクセスに利用できます。PL から PS への 6 つの専用 AXI メモリ ポートは、128 ビット、64 ビット、または 32 ビットのインターフェイスとして構成可能です。これらのインターフェイスは FIFO インターフェイスを介して PL とメモリ インターコネクタを接続します。2 つの AXI インターフェイスは、APU キャッシュへの I/O コヒーレントなアクセスをサポートします。

各高性能 AXI ポートの特長は次のとおりです。

- PL とプロセッシング システム メモリ間のレイテンシを削減
- 深さ 1KB の FIFO
- 128 ビット、64 ビット、または 32 ビットの AXI インターフェイスとして設定可能
- DDR へ複数の AXI コマンドを発行

アクセラレータ コヒーレンシ ポート (ACP)

Zynq UltraScale+ MPSoC アクセラレータ コヒーレンシ ポート (ACP) は、64 ビットの AXI スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACP は、PL を ARM Cortex-A53 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、L2 キャッシュの CPU データへ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。ACP は CPU 内のアクセスのみスヌープし、ハードウェアにおけるコヒーレンシを提供します。PL 側でのコヒーレンシはサポートしていません。つまり、このインターフェイスは DMA または CPU のキャッシュ メモリにのみコヒーレンシを必要とする PL のアクセラレータに理想的です。たとえば、PL にある MicroBlaze™ プロセッサが ACP インターフェイスに接続されている場合、MicroBlaze プロセッサのキャッシュと Cortex-A53 のキャッシュに整合性はありません。

AXI コヒーレンシ拡張 (ACE)

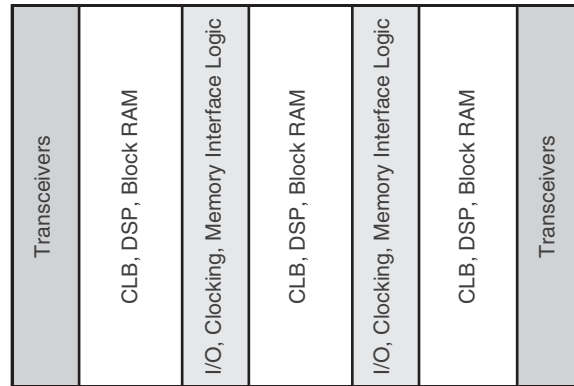
Zynq UltraScale+ MPSoC AXI コヒーレンシ拡張 (ACE) は、64 ビットの AXI4 スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACE は、PL を ARM Cortex-A53 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、キャッシュ コヒーレント インターコネクタ (CCI) へ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。ACE は CCI および PL 側へのアクセスをスヌープするため、ハードウェアにおける完全なコヒーレンシを提供します。このインターフェイスを使用することで、PL 内のキャッシュされたインターフェイスを両方の Cortex-A53 メモリのキャッシュとして PS に接続でき、PL マスターがスヌープされるため、完全なコヒーレンシが提供されます。たとえば、PL にある MicroBlaze プロセッサが ACE インターフェイスを用いて接続されている場合、Cortex-A53 と MicroBlaze プロセッサのキャッシュは互いに整合性があります。

プログラマブル ロジック

このセクションでは、プログラマブル ロジック (PL) にあるブロックについて説明します。

デバイス レイアウト

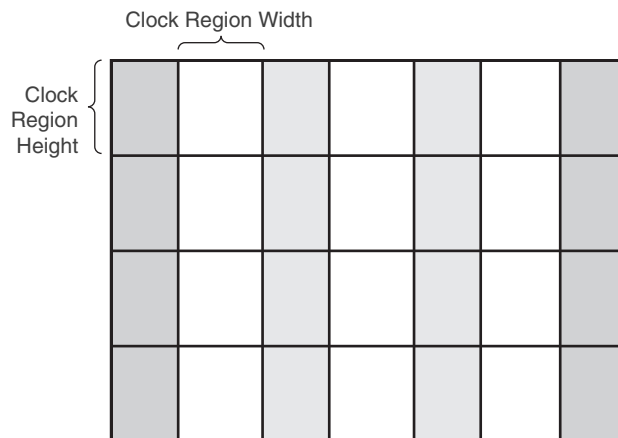
UltraScale アーキテクチャ デバイスは、カラムそして格子状に配列されています。リソース カラムの組み合わせ比率はデバイスによって多様で、デバイスの集積度、ターゲットとする市場とアプリケーション、デバイス コストなどに合わせて最適な性能を提供します。UltraScale+ MPSoC では、プログラマブル ロジック リソースの一部のカラムのカラム全体または一部がプロセッシング システムで置き換えられており、この部分がデバイスの中心的な役割を果たします。図 1-1 に、リソースをグループ分けしたカラムを示すデバイスレベルの図を示します。ここでは、図をシンプルにするため、プロセッシング システム、PCIe 用統合ブロック、コンフィギュレーション ロジック、システム モニターは示していません。



DS891_01_012915

図 1-1: リソースがカラム状に配列されたデバイス

デバイス内のリソースは、セグメント化されたクロック領域に分割されています。クロック領域の高さは CLB 60 個分です。I/O バンク 52 個、DSP スライス 24 個、ブロック RAM 12 個、またはトランシーバー チャネル 4 個もクロック領域の高さに相当します。デバイス サイズやクロック領域におけるリソースの組み合わせにかかわらず、クロック領域の幅は基本的に同じであることから、デザインにおけるタイミングの結果が再利用可能です。セグメント化された各クロック領域には、水平方向と垂直方向にそれぞれ領域の幅と高さ分のクロック配線があります。これらのクロック配線は、クロック領域の境界で分割できるため、このアーキテクチャでは高性能で低消費電力のクロック分散が可能になります。図 1-2 に領域に分割されたデバイスを図示します。



For graphical representation only, does not represent a real device.

DS891_02_012915

図 1-2: クロック領域数に分割されたデバイス

入力/出力

すべての Zynq UltraScale+ MPSoC が、外部コンポーネントとの通信用の I/O ペアを備えています。これ以外に、MPSoC の PS には I/O ペリフェラルと外部コンポーネントの通信用に MIO (多目的 I/O) と呼ばれる 78 本の I/O があります。I/O ペリフェラルに必要なピンが 78 本を超える場合、PL の I/O ピンを使用して MPSoC のインターフェイス機能を拡張できます。これを EMIO (Extended MIO) と呼びます。

Zynq UltraScale+ MPSoC の PL にある I/O ピンの数はデバイスおよびパッケージにより異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。I/O には HP (High-Performance) と HD (High-Density) の種類があります。HP I/O は最高性能の動作向けに最適化されており、1.0 ~ 1.8V の電圧をサポートします。HD I/O は 24 バンク構成で機能を絞った I/O で、1.2V ~ 3.3V の電圧をサポートします。

I/O ピンはすべてバンクに構成されており、HP I/O ピンは 1 バンクに 52 本、HD I/O ピンは 1 バンクに 24 本あります。各バンクには 1 つの共通 V_{CCO} 出力バッファ電源があり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには、内部生成の、あるいは外部に基準電圧 (V_{REF}) が必要です。 V_{REF} ピンは PCB から直接駆動するか、各バンク内部にある V_{REF} 生成回路を使用して内部生成できます。

I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 V_{CCO} は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスルーレートおよび駆動能力を指定できます。入力には常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ペアを 100Ω の内部抵抗で終端できるオプションもあります。すべての UltraScale アーキテクチャ デバイスは LVDS 以外に RSDS、BLVDS、差動 SSTL、差動 HSTL の差動規格をサポートします。また、各 I/O はシングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。

トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス (T_{DCI}) は、出力駆動インピーダンス (直列終端) を制御したり、あるいは V_{CCO} に対して入力信号を並列終端、 $V_{CCO}/2$ に対して分割 (テブナン) 終端を構成可能です。 T_{DCI} を使用した信号には、オフチップの終端は不要です。これはボードスペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリインターフェイスの実装時に、低消費電力化を図ることができます。

I/O ロジック

入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。入力と出力はすべて、5 ~ 15ps 単位で最大 1,250ps まで個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。IDELAY および ODELAY をカスケード接続することで、一方向の遅延量を 2 倍にできます。

ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビットシリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O ロジック内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには IOSERDES (ISERDES と OSERDES) があり、2、4、8 ビットの幅 (プログラム可能) でシリアルからパラレル、あるいはパラレルからシリアルへデータを変換します。I/O ロジックのこのような機能により、トランシーバーではなく SelectIO™ インターフェイスで Gigabit Ethernet/1000BaseX/SGMII などの高性能インターフェイスが可能になります。

高速シリアル トランシーバー

同一 PCB 上のデバイス間、バックプレーン経由、あるいは長距離間の超高速シリアル データ転送は、100Gb/s や 400Gb/s まで拡張するカスタム ライン カードを実現する上でその重要性を増しています。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要です。

XA Zynq UltraScale+ MPSoC アーキテクチャで使用するトランシーバーには、GTH と PS-GTR の 2 種類あります。どちらのトランシーバーも、4 つのグループ (トランシーバー クワッド) にグループ化されています。各シリアル トランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。表 8 に、各トランシーバーの性能を示します。

表 8: トランシーバーの性能

種類	XA Zynq UltraScale+ MPSoC	
	PS-GTR	GTH
数	4	0-4
最大データ レート	6.0Gb/s	12.5Gb/s
最小データ レート	1.25Gb/s	0.5Gb/s
アプリケーション	<ul style="list-style-type: none"> • PCIe Gen2 • USB • イーサネット 	<ul style="list-style-type: none"> • バックプレーン • PCIe Gen3 • HMC

以降の説明は GTH にのみに該当します。

シリアル トランスミッターおよびレシーバーは高度な位相ロック ループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で通倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター

GTH のトランスミッターは基本的に、変換比率が 16、20、32、40、64、または 80 のパラレル/シリアル コンバーターです。これにより、データパス幅とタイミング マージンのバランスの取れた高性能が求められるデザインにも対応できます。トランスミッターの出力は、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビット シリアル出力信号は、差動信号によって 2 つのパッケージピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャンネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー

GTH のレシーバーは基本的に、入力ビット シリアル 差動信号をそれぞれ 16、20、32、40、64、または 80 ビット幅のパラレル ストリーム ワードに変換するシリアル/パラレル コンバーターです。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは基準クロック入力を使用してクロックの認識を開始し、入力差動データ ストリームを受け取ってそれを DC 自動ゲイン制御、リニア イコライザー、DFE (Decision Feedback Equalizer) を介することで、PC ボード、ケーブル、光インターコネクトやほかのインターコネクト特性を補います。データ パターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。パラレル データは RXUSRCLK クロックを使用してデバイス ロジックに転送されます。短いチャンネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。レシーバーの DC 自動ゲイン制御、リニア イコライザー、DFE はオプションで自動適合に設定でき、さまざまなインターコネクトの特性を自動的に判断して補正することができます。これによって、10G+ や 25G+ などの高速バックプレーンにより多くのマージンを確保できるようになります。

Out-of-Band 信号

トランシーバーは、高速シリアルデータ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワーダウンステートにあるか初期化されていない場合がこれに該当し、この機能は PCIe、SATA/SAS、QPI のアプリケーションで有用です。

PCI Express デザイン用統合インターフェイスブロック

MPSoC の PL には、エンドポイントまたはループポートとして構成可能な PCIe デザイン用統合ブロックが搭載されています。このブロックは、Gen3 およびより低速レート向けに PCI Express Base Specification Revision 3.1 に準拠します。ルートポートは、ルートコンプレックス相当の機能を提供し、PCI Express プロトコルを用いたチップ間のカスタム通信を可能にするだけでなく、イーサネットコントローラーやファイバーチャネル HBA などの ASSP エンドポイントデバイスを MPSoC に接続します。

このブロックはシステムデザイン要件に従うよう高度に構成可能で、最大 2.5Gb/s、5.0Gb/s、8.0Gb/s のデータレートで 1、2、4、8、または 16 レーンの動作をサポートします。高性能アプリケーション向けには、ブロックを高度にバッファーすることで、1,024 バイトまでの柔軟性に優れた最大ペイロードサイズを提供します。また、シリアルコネクティビティ用に統合された高速トランシーバーと、データバッファー用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データリンク層、そしてトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCIe 用統合ブロック、トランシーバー、ブロック RAM、クロックリソース) をエンドポイントまたはルートポートソリューションに活用できるようにする軽量、コンフィギュラブル、かつ簡単に使用できる LogiCORE™ IP ラッパーを提供しています。リンク幅と速度、最大ペイロードサイズ、MPSoC のロジックインターフェイス速度、基準クロック周波数、およびベースアドレスレジスタのデコードとフィルタリングなど、数多くのパラメーターをシステム設計者が制御できます。

クロック管理

UltraScale アーキテクチャデバイスのクロック生成および分散コンポーネントは、メモリインターフェイスと入力/出力回路を含むカムに隣接した位置にあります。クロックと I/O が近くに配置されていることにより、メモリインターフェイスの I/O やその他の I/O プロトコルへのクロッキングが低レイテンシになります。各 CMT (クロックマネージメントタイル) には、MMCM (ミックスドモードクロックマネージャー) が 1 つ、PLL が 2 つ、クロック分散バッファーと配線、そして外部メモリインターフェイスの実装専用の回路が含まれています。

MMCM (ミックスドモードクロックマネージャー)

MMCM は、入力クロックの広範な周波数の合成回路およびジッターフィルターとしての機能を提供します。この MMCM の中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、DRP を介してコンフィギュレーションおよび通常動作でプログラム可能な 3 つの周波数分周器 (D、M、O) があります。前置分周器 D は入力周波数を低減させ、位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つを駆動するよう選択できます。分周器はそれぞれ、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM には入力ジッターのフィルターモードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、広帯域モードでは位相オフセットが優先されます。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1,600MHz では 11.2ps となります。

PLL

MMCM の一部の機能を持つ PLL は各クロック マネージメント タイルに 2 つ含まれ、メモリ インターフェイス専用回路に必要なクロックを提供することを主な役割としています。PLL の中心となる回路は MMCM と同様で、PFD から VCO とプログラム可能な M、D、O カウンターに信号を入力します。各 PLL にはデバイス ファブリックへの分周出力が 2 つと、メモリ インターフェイス回路へのクロックおよびイネーブル信号が各 1 つあります。

Zynq UltraScale+ MPSoC は PS に 5 つの PLL が追加されており、PS の 4 つのプライマリ クロック ドメイン (APU、RPU、DDR コントローラー、および I/O ペリフェラル) を個別に設定できます。

クロック分配

Zynq UltraScale+ MPSoC のクロックは、多数の水平トラックと垂直トラックを駆動するバッファを介してデバイス全体に分配されます。各クロック領域には水平および垂直それぞれの方向にクロック配線が 24 本あり、さらに隣接する MMCM および PLL への垂直クロック配線が 24 本あります。クロック領域内では、クロック信号が 16 個のゲート制御可能なリーフクロックを経由してデバイスロジック (CLB など) に配線されます。

クロック バッファにはいくつかのタイプがあります。BUFGCE および BUFCE_LEAF バッファはそれぞれ、グローバルレベルとリーフレベルのクロックゲーティング機能を提供します。BUFGCTRL はグリッチのないクロック マルチプレクサーおよびゲーティング機能を提供します。BUFGCE_DIV にはクロックゲーティングに加えて、入力クロックを 1 ~ 8 分周する機能があります。BUFG_GT ではトランシーバークロックを 1 ~ 8 分周できます。MPSoC では、クロックは専用バッファを用いて PS から PL へ転送できます。

メモリ インターフェイス

メモリ インターフェイスに求められるデータレートは増加の一途で、現在そして次世代のメモリテクノロジーに対応する、高性能で信頼性の高いインターフェイスを実現するための専用回路が必要となっています。すべての Zynq UltraScale+ MPSoC は CMT と I/O カラムの間に専用の PHY ブロックを備え、外部メモリ (DDR4、DDR3、QDRII+、RLDRAM3 など) への高性能 PHY ブロックの実装をサポートします。各 I/O バンクにある PHY ブロックは、アドレス/制御およびデータバスの信号プロトコルを生成するだけでなく、高性能なメモリ規格との信頼性の高い通信を確立するために不可欠なクロック/データの正確なアライメントを担います。複数の I/O バンクを使用して、ビット数の多いメモリ インターフェイスを構築することも可能です。

Zynq UltraScale+ MPSoC では外部パラレルメモリ インターフェイスだけでなく、ハイブリッドメモリキューブ (HMC) などの外部シリアルメモリとも高速シリアルトランシーバを介して通信できます。UltraScale アーキテクチャのトランシーバはすべて、HMC プロトコルを、最大 12.5Gb/s のラインレートでサポートします。UltraScale アーキテクチャ デバイスでは、1 つのデバイスで最大帯域幅の HMC コンフィギュレーションを 64 レーンサポート可能です。

コンフィギュラブルロジックブロック

UltraScale アーキテクチャのコンフィギュラブルロジックブロック (CLB) はすべて、8 つの LUT と 16 個のフリップフロップを含みます。LUT は、出力が 1 つの 6 入力 LUT として、または出力は別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT として構成可能です。各 LUT はオプションとしてフリップフロップでラッチできます。CLB には LUT およびフリップフロップ以外にも、演算キャリアロジックおよびマルチプレクサーが含まれ、これらを使用することでよりビット数の大きなロジックファンクションが作成できます。

1 つの CLB には 1 つのスライスが含まれ、スライスには、SLICEL および SLICEM の 2 つの種類があります。SLICEM の LUT は、64 ビット RAM、32 ビットシフトレジスタ (SRL32)、または 2 つの SRL16 として構成可能です。UltraScale アーキテクチャの CLB は従来世代のザイリンクス デバイスの CLB に比べ配線と接続が増加しています。また、制御信号も追加されていることからレジスタのパッキング効率が向上し、結果として全体的なデバイス使用率が改善されます。

インターコネク

UltraScale アーキテクチャはさまざまな長さ (CLB 1、2、4、5、12、または 16 個分) の垂直および水平方向の配線リソースを備えているため、すべての信号をソースからデスティネーションへ容易に転送できます。このため、最も集積度の高いデバイスにおいても次世代の広いデータバスをサポートでき、結果の品質とソフトウェアランタイムが同時に向上します。

ブロック RAM

すべての UltraScale アーキテクチャデバイスには、完全に独立した 2 つのポートを持ち、格納したデータのみを共有する 36Kb のブロック RAM が多数含まれます。各ブロック RAM は、1 つの 36Kb RAM または 2 つの独立した 18Kb RAM として構成可能です。読み出しまたは書き込みのメモリアクセスは、クロックによって制御されます。ブロック RAM カラム内の接続により、垂直方向に隣接するブロック RAM 間で信号をカスケードできるため、サイズが大きく、高速なメモリアレイや消費電力が大幅に削減された FIFO を簡単に作成できます。

すべての入力、データ、アドレス、クロックイネーブル、書き込みイネーブルはレジスタが付きます。入力アドレスは常にクロックされ (アドレスのラッチが無効でない限り)、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。また、ユーザーデザインで使用されていないブロック RAM サイトへの電源供給は自動的に切断されるため、総消費電力が削減されます。ブロック RAM すべてに、電力のゲーティングを動的に制御するためのピンが追加されました。

プログラム可能なデータ幅

各ポートは 32K×1、16K×2、8K×4、4K×9 (または 8)、2K×18 (または 16)、1K×36 (または 32)、512×72 (または 64) のいずれかに構成できます。ブロック RAM と FIFO のどちらとして構成しているかにかかわらず、2 つのポートには別々の比率を指定でき、これに対する制限はありません。各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを 16K×1 ~ 512×36 の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。シンプルデュアルポート (SDP) モードでのみ、18 ビット (18Kb RAM の場合) または 36 ビット (36Kb RAM の場合) を超えるデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。

エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

FIFO コントローラー

各ブロック RAM は 36Kb または 18Kb の FIFO として構成できます。シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Programmable Full、Programmable Empty の 4 つのフラグを提供します。プログラム可能なフラグに対しては、フラグをアクティブにする FIFO カウンター値をユーザーが指定できます。FIFO の幅とワード数もプログラム可能で、1 つの FIFO で読み出しポートと書き込みポートに異なる幅を指定できます。また、よりワード数の大きな FIFO を簡単に作成するための専用カスケードバスがあります。

UltraRAM

UltraScale+ ファミリの一部のデバイスには、UltraRAM と呼ばれる高集積度のデュアルポート同期メモリブロックがあります。2つのポートは同じクロックを共用し、4K x 72 ビットのすべてをアドレス指定できます。各ポートはそれぞれ独立してメモリアレイへの読み書きを実行できます。UltraRAM は 2 種類のライト イネーブル モードをサポートしています。1 つは、ブロック RAM のバイト ライト イネーブル モードと同じです。もう 1 つは、データバイトとパリティバイトの書き込みを個別にゲーティングできるモードです。複数の UltraRAM ブロックをカスケード接続して大容量のメモリアレイを構築することもできます。複数の UltraRAM ブロックを連結して大容量のメモリアレイを構築することもできます。UltraRAM カラムには専用の配線があり、カラムの高さ全体を連結できます。このため、UltraRAM は SRAM など外部メモリの置き換えとして理想的なソリューションとなります。288Kb ~ 36Mb の範囲でカスケード接続が可能な UltraRAM は、多岐にわたるメモリ要件に柔軟に対応します。

エラー検出および訂正機能

64 ビット幅の UltraRAM は、追加で 8 つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出 (ECC) を実行します。

デジタル信号処理

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。UltraScale アーキテクチャ デバイスはいずれも専用の低消費電力 DSP スライスを数多く装備し、システム設計の柔軟性を維持しながら、高速処理と小型化を同時に実現しています。

各 DSP スライスは基本的に、専用の 27 x 18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成されます。乗算器は動作中にバイパスでき、2 つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが 2 つの 10 個の異なるロジックファンクションから任意の 1 つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルターに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。96 ビット幅の専用 XOR ファンクション (ビット幅は 12、24、48、または 96 にプログラム可能) により、前方エラー訂正や CRC アルゴリズムをインプリメントする際の性能が向上します。

また、収束丸め (偶数丸めとも呼ばれる) あるいは対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96 ビット幅のロジックファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミックシフター、メモリアドレスジェネレーター、多入力マルチプレクサー、メモリマップされた I/O レジスタファイルが含まれます。また、アキュムレータは同期のアップ/ダウンカウンタとしても使用可能です。

システム モニター

UltraScale アーキテクチャのシステム モニター ブロックは、オンチップの温度と電源センサーによって物理的環境をモニタリングすることでシステム全体の安全性、セキュリティ、信頼性を向上させるために使用されます。

すべての UltraScale アーキテクチャ デバイスが少なくとも 1 つのシステム モニターを内蔵しています。UltraScale+ デバイスのシステム モニターは、Kintex UltraScale と Virtex UltraScale デバイスのものとほぼ同じですが、PMBus インターフェイスが追加されています。

Zynq UltraScale+ MPSoC は、システム モニターを PL に、追加ブロックを PS に含んでいます。PL にあるシステム モニターの機能は UltraScale+ FPGA と同じです。詳細は、表 9 を参照してください。

表 9: システム モニターの主な機能

	Zynq UltraScale+ MPSoC PL	Zynq UltraScale+ MPSoC PS
ADC	10 ビット 200kSPS	10 ビット 1MSPS
インターフェイス	JTAG、I2C、DRP、PMBus	APB

FPGA および MPSoC PL では、センサー出力と最大 17 のユーザー割り当てによる外部アナログ入力は、10 ビット 200kSPS の ADC でデジタル化され、その計測値が内部 FPGA (DRP)、JTAG、PMBus、または I2C インターフェイスを介してアクセス可能なレジスタに格納されます。I2C および PMBus インターフェイスの場合、デバイス コンフィギュレーション前後に System Manager/Host でオンチップ モニタリングに簡単にアクセスできます。

MPSoC PS のシステム モニターは、10 ビット 1MSPS の ADC でセンサー入力をデジタル化します。この計測値はレジスタに格納され、PS のプロセッサおよび PMU を用いて APB (Advanced Peripheral Bus) インターフェイスを介してアクセスされます。

パッケージ

UltraScale アーキテクチャ デバイスは、有機フリップチップ パッケージおよびリッドレス フリップ チップの各種パッケージで入手可能で、それぞれ異なる数の I/O およびトランシーバーをサポートします。サポートされる最大パフォーマンスは、パッケージのタイプと材質によって異なります。パッケージ タイプ別のパフォーマンス仕様は該当デバイスのデータシートを参照してください。

フリップチップ パッケージの場合、シリコン デバイスは高度なフリップチップ プロセスでパッケージ サブストレートに実装されます。デカップリング キャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナル インテグリティが最適化されます。

システム レベルの機能

次の機能は、PS および PL の両範囲で担われています。

- リセット管理
- クロック管理
- 電源ドメイン
- PS ブートおよびデバイス コンフィギュレーション
- ハードウェアおよびソフトウェアのデバッグ サポート

リセット管理

リセット管理機能を使用すると、デバイス全体またはデバイス内のユニットを個別にリセットできます。PS は次のリセット機能およびリセット信号をサポートしています。

- 外部および内部のパワーオン リセット信号
- ウォーム リセット
- ウォッチドック タイマー リセット
- PL のユーザー リセット
- ソフトウェア、ウォッチドック タイマー、または JTAG によるリセット
- セキュリティ違反によるリセット (ロックダウン リセット)

クロック管理

Zynq UltraScale+ MPSoC の PS には、5 つの位相ロック ループ (PLL) があり、PS 内でクロック ドメインを柔軟に設定できるようになっています。PS 内には 4 つの主要クロック ドメインがあり、これらには APU、RPU、DDR コントローラー、I/O ペリフェラル (IOP) が含まれます。これらすべてのドメインの周波数はソフトウェアで個別に設定できます。

電源ドメイン

Zynq UltraScale+ MPSoC には 4 つの電源ドメインがあります。これらが別々の電源に接続されている場合は、ダイナミックおよびスタティック電力を消費することなく、互いに独立して電源を切断できます。プロセッシング システムには次が含まれます。

- フル電力ドメイン (FPD)
- 低電力ドメイン (LPD)
- バッテリ電源ドメイン (BPD)

これら 3 つのプロセッシング システム電源ドメインに加えて、PL も別の電源に接続されていれば、完全に電源を切断することが可能です。

フル電力ドメイン (FPD) は、次の主要ブロックで構成されます。

- アプリケーション プロセッシング ユニット (APU)
- DMA (FP-DMA)
- グラフィックス プロセッシング ユニット (GPU)
- ダイナミック メモリ コントローラー (DDRC)
- 高速 I/O ペリフェラル

低電力ドメイン (LPD) は、次の主要ブロックで構成されます。

- リアルタイム プロセッシング ユニット (RPU)
- DMA (LP-DMA)
- プラットフォーム管理ユニット (PMU)
- コンフィギュレーション セキュリティ ユニット (CSU)
- 低速 I/O ペリフェラル
- スタティック メモリ インターフェイス

バッテリ電源ドメイン (BPD) は、Zynq UltraScale+ MPSoC プロセッシング システムで最も電力の低いドメインです。このモードでは、リアルタイム クロック (RTC) とバッテリでバックアップされた RAM (BBRAM) を除く全 PS の電源が切断されます。

電力例

Zynq UltraScale+ MPSoC の消費電力は、PL リソースの使用率および PS と PL の動作周波数によって異なります。消費電力の見積もりには、https://japan.xilinx.com/products/design_tools/logic_design/xpe.htm からダウンロード可能な Xilinx Power Estimator (XPE) を使用してください。

PS ブートおよびデバイス コンフィギュレーション

Zynq UltraScale+ MPSoC は複数ステージのブート プロセスを使用し、非セキュア ブートおよびセキュア ブートをサポートしています。PS は、ブート プロセスとコンフィギュレーション プロセスのマスターとなります。セキュア ブートの場合は、AES-GCM および SHA-3/384 がイメージの復号化と認証を行い、4,096 ビット RSA ブロックがイメージの認証を行います。

リセット時にデバイス モード ピンが読み出されて、使用されるプライマリ ブート デバイス (NAND、クワッド SPI、SD、eMMC、JTAG) が判定されます。JTAG は非セキュア ブート ソースとしてのみ使用可能で、デバッグを目的としています。CSU がオンチップ ROM からのコードを実行し、ブート デバイスから OCM へ FSBL (第 1 段階ブートローダー) をコピーします。

FSBL を OCM へコピーした後、Cortex-A53 または Cortex-R5 のいずれかが FSBL を実行します。ザイリンクスはサンプル FSBL を提供していますが、ユーザーが独自の FSBL を作成することも可能です。FSBL によって PS のブートが開始し、PL のロードまたはコンフィギュレーションを実行できるようになります。PL コンフィギュレーションは、後に実行することもできます。FSBL は通常、ユーザー アプリケーションをロードするか、オプションとして U-Boot などの SSBL (第 2 段階ブートローダー) をロードします。SSBL はザイリンクスまたはサード パーティからサンプルを入手できますが、独自のものを作成することも可能です。SSBL は、いずれかのプライマリ ブート デバイス、または USB、イーサネットなどその他のソースからコードをロードすることでブート プロセスを継続します。FSBL で PL をコンフィギュレーションしなかった場合は SSBL でそれを行うことができますが、ここでも先延ばしにしておくことができます。

スタティック メモリ インターフェイス コントローラー (NAND、eMMC、またはクワッド SPI) は、デフォルト設定でコンフィギュレーションされます。デバイスのコンフィギュレーション速度を上げるために、ブート イメージ ヘッダーにある情報でこれらの設定を変更可能です。ブート後に ROM のブート イメージをユーザーが読み出したり、呼び出すことはできません。

ハードウェアおよびソフトウェアのデバッグ サポート

Zynq UltraScale+ MPSoC で使用されるデバッグ システムは、ARM 社の CoreSight アーキテクチャに基づいています。これは各 Cortex-A53 および Cortex-R5 プロセッサのエンベデッド トレース コントローラー (ETC)、エンベデッド トレース マクロセル (ETM)、およびシステム トレース マクロセル (STM) を含む ARM CoreSight コンポーネントを使用します。これにより、イベント トレース、ブレークポイントやトリガーのデバッグ、クロス トリガー、メモリへのバス エラーのデバッグなど高度なデバッグ機能が可能になります。プログラマブル ロジックは、ザイリンクスの Vivado ロジック アナライザーでデバッグできます。

デバッグ ポート

JTAG ポートは 3 つあり、チェーン接続して使用するか個別に使用できます。チェーン接続した場合には、1 つのポートを使用して、チップレベルの JTAG 機能、ARM プロセッサ コードのダウンロードやランタイム制御動作、PL コンフィギュレーション、および Vivado ロジック アナライザーを使用する PL デバッグが可能です。これにより、ザイリンクスのソフトウェア開発キット (SDK) や Vivado ロジック アナライザーなどのツールがザイリンクスが提供する 1 つのダウンロード ケーブルを共有できます。

JTAG チェーンがわかれている場合、一方のポートは ARM DAP インターフェイスへ直接アクセスするために使用されます。CoreSight インターフェイスによって、ARM 準拠のデバッグ ツールや Development Studio 5 (DS-5™) などのソフトウェア開発ツールが使用可能になります。もう一方の JTAG ポートは、コンフィギュレーション ビットストリームのダウンロードや Vivado ロジック アナライザーを使用したデバッグなど、ザイリンクス FPGA ツールによって PL アクセスするために使用されます。このモードの場合、ユーザーはスタンドアロン FPGA と同じ方法でダウンロードおよび PL のデバッグが可能です。

注文情報

表 10 に、このデバイス ファミリで提供されているスピード グレードおよび温度グレードを示します。

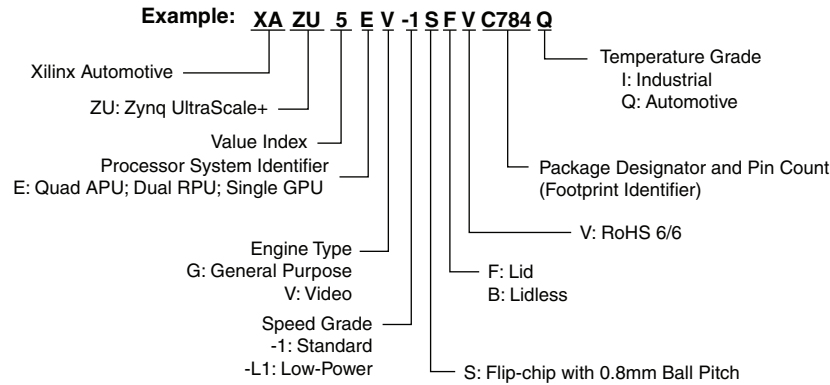
表 10: スピード グレード、温度グレード、動作電圧

デバイス ファミリ	デバイス	スピード グレードと温度範囲	
		インダストリアル (I)	オート モーティブ (Q)
		-40°C ~ +100°C	-40°C ~ +125°C
XA Zynq UltraScale+	EG および EV デバイス	-1I (0.85V)	-1Q (0.85V)
		-1L (0.72V)	

注記:

1. Zynq UltraScale+ MPSoC では、PL が低電圧 (0.72V) で動作している場合、PS は公称電圧 (0.85V) で動作します。

図 1-3 に示す注文情報は、XA Zynq UltraScale+ MPSoC のすべてのパッケージに適用されます。



-L1 is the ordering code for the -1L speed grade.

DS894_03_022317

図 1-3: XA Zynq UltraScale+ MPSoC の注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年7月13日	1.2	表 3、「アプリケーションプロセッシングユニット (APU)」、および「リアルタイムプロセッシングユニット (RPU)」を更新。
2017年3月23日	1.1	表 3、表 10、および図 1-3 を更新。
2016年11月9日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

この文書は暫定的な情報を含むものであり、通知なしに内容が変更されることがあります。この文書に記述される情報は、販売前の製品・サービスに関するもので、情報目的としてのみ提供されており、この文書で参照されている製品・サービスの販売申込みまたは製品の商品化を試みたものとしては意図されておらず、また解釈されるものでもありません。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。