

概要

防衛グレードのザイリンクス UltraScale™ 高性能 FPGA ファミリは、数多くの革新的な機能によって特に総消費電力の削減を実現しながら幅広いシステム要件に対応します。

防衛グレード Kintex® UltraScale FPGA: 対コスト性能に優れた高性能 FPGA で、モノリシック デバイスと次世代スタックド シリコン インターコネクト (SSI) テクノロジを採用したデバイスの両方で展開します。DSP およびブロック RAM の対ロジック比率が高く、低コストのパッケージに次世代トランシーバーが搭載されているこの FPGA は、さまざまな機能を対コスト性能が最適になるよう組み合わせることで備えています。

防衛グレード Virtex® UltraScale FPGA: 業界で最も高い性能を誇る FPGA も、モノリシック デバイスと次世代 SSI テクノロジを採用したデバイスの両方で展開し、最高のシステム容量、帯域幅、そして性能を提供します。Virtex UltraScale ファミリは、システムレベルの機能を数多く統合しているだけでなく、これまでにないメモリ性能やシリアル コネクティビティを提供することで重要な市場とアプリケーション要件に対応するよう最適化されています。

長年にわたる軍事機関との提携ならびに防衛産業における提携を経てザイリンクスは、これまで 4 世代のデバイスで防衛グレードの信頼性およびセキュリティを実現する数多くの進歩の先駆者となってきました。

防衛グレード デバイスの主な特長は次のとおりです。

- 全拡張温度範囲でのテスト
- マスク セット管理
- MIL-PRF-38535 Pb 規格に完全に準拠
- より長期的な生産/供給体制
- 偽造防止機能
- 高耐久性パッケージ
- 情報保証 (AI) メソッドロジを提供
- 改ざん防止 (AT) テクノロジを提供

防衛グレード ファミリの比較

表 1: 防衛グレード デバイスのリソース

	Kintex UltraScale	Virtex UltraScale
システム ロジック セル (K)	530 ~ 1,451	783 ~ 1,176
ブロック メモリ (Mb)	21.1 ~ 75.9	44.3 ~ 60.8
DSP (スライス)	1,920 ~ 5,520	600 ~ 768
DSP 処理速度 (GMAC/s)	7,297	1,015
トランシーバー	8 ~ 64	40 ~ 64
トランシーバーの最大速度 (Gb/s)	16.3	28.2
最大シリアル帯域幅 (全二重) (Gb/s)	2,086	3,610
PCIe® 用統合ブロック	3 ~ 6	2 ~ 4
メモリ インターフェイス性能 (Gb/s)	2,400	2,400
I/O ピン	520 ~ 728	520 ~ 702
I/O 電圧 (V)	1.0 ~ 3.3	1.0 ~ 3.3

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。AMBA、AMBA Designer、ARM、ARM1176JZ-S、CoreSight、Cortex、PrimeCell は EU およびその他の各国の ARM 社の登録商標です。PCI、PCIe、および PCI Express は、PCI-SIG の商標であり、ライセンスに基づいて使用されています。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

機能の概略

I/O、トランシーバー、PCIe、100G Ethernet、150G Interlaken

データは、高性能なパラレル SelectIO™ インターフェイスと高速シリアルトランシーバー コネクティビティを共に使用し、オンチップ/オフチップに伝送されます。I/O ブロックは I/O 規格と電圧を柔軟にサポートすることで、最先端のメモリ インターフェイスおよびネットワーク プロトコルを提供します。UltraScale デバイスに搭載されるシリアルトランシーバーは、最大 28.2Gb/s でデータを転送し、前世代のトランシーバーと比較してビットあたりの消費電力を大幅に削減しながら、25G+ のバックプレーン デザインを可能にします。UltraScale デバイスのトランシーバーはいずれも PCIe Gen3、Gen4 (rev 0.5) に必要なデータ レートをサポートしており、PCIe 用統合ブロックを利用すると最大で Gen4 x8 および Gen3 x16 エンドポイントおよびルート ポート デザインをサポートできます。150Gb/s Interlaken および 100Gb/s Ethernet (100G MAC/PCS) 用の統合ブロックは、UltraScale デバイスの性能を拡張し、Nx100G スイッチおよびブリッジアプリケーションをシンプルに、そして高い新信頼性でサポートします。

クロックおよびメモリ インターフェイス

UltraScale デバイスは、クロック合成、バッファリング、コンポーネントの配線を含む優れたクロック管理回路を備え、さまざまなデザイン要件に対応する高機能なフレームワークを提供します。クロックはクロック ネットワークによって柔軟に分配できるため、クロック信号に関連したスキュー、消費電力、そして遅延が最小限に抑えられます。クロック管理テクノロジーは専用のメモリ インターフェイス回路と密接に統合されているため、DDR4 など高性能な外部メモリがサポートされます。また、UltraScale デバイスではパラレルメモリ インターフェイスだけでなく、ハイブリッド メモリ キューブ (HMC) などのシリアルメモリもサポートされます。

配線、SSI、ロジック、ストレージ、信号処理

コンフィギュラブル ロジック ブロック (CLB) には、6 入力のルックアップ テーブル (LUT) とフリップフロップ、27x18 乗算器を持つ DSP スライス、ビルトイン FIFO を備え ECC をサポートする 36Kb ブロック RAM が含まれ、これらはすべて高性能で低レイテンシの豊富なインターコネクで接続されます。CLB はロジック機能以外にも、シフトレジスタ、マルチプレクサー、キャリア ロジック機能を提供します。LUT は分散メモリとして構成でき、高機能でコンフィギュラブルなブロック RAM を補います。96 ビット XOR ファンクション、27 ビット前置加算器、30 ビット A 入力を備える DSP スライスは、乗算、積和算、パターン検出など多数の独立したファンクションを実行します。SSI テクノロジーを採用したデバイスでは、デバイスのインターコネクのほかに、低レイテンシの専用インターフェイス タイルを使用して SLR (Super Logic Region) 間をまたぐように信号を配線できます。このような組み合わせ配線リソースにより、次世代のバス データ幅も問題なくサポートされます。

コンフィギュレーション、暗号化、システム モニター

コンフィギュレーションおよび暗号化ブロックは、FPGA が適切に動作するために欠かすことのできないさまざまなデバイス レベルの機能を実行します。この高性能なコンフィギュレーションブロックは、PCIe などのプロトコルを経由した外部メディアからのデバイス コンフィギュレーションを可能にします。コンフィギュレーションに必ずしも多目的 I/O ピンを使用する必要はありません。コンフィギュレーションブロックは、暗号化しない場合のコンフィギュレーションと同じパフォーマンスで、256 ビットの AES-GCM 復号化を実行可能です。差分電力解析 (DPA) はサイドチャネル テクニックで、電源ラインに直列に低抵抗を挿入するか、近接した位置での電磁プローブによって電圧をモニターすることで、機能中の電子デバイスにおけるデジタル スイッチングによる消費電力変化のサンプルを観測し、記録します。その後、信号処理と統計手法を用いて記録されたデータからキー データが抽出されます。ザイリンクスの UltraScale デバイスは、任意のキーで不正に収集される可能性のあるサイドチャネル データの量を制限することで DPA 耐性を提供します。DPA 耐性の詳細は、『UltraScale FPGA での改ざん防止設計の開発』(XAPP1098) を参照してください。さらに、SEU の検出と訂正およびパーシャル リコンフィギュレーションをサポートするだけでなく、AES キーの格納にバックアップ バッテリー付きの RAM または eFUSE テクノロジーが使用できることで、さらに高いレベルのセキュリティが提供されます。システム モニターでは、オンチップの温度および電源センサーによって物理的環境や最大で 17 個の外部アナログ入力をモニタリングできます。

防衛グレードの Kintex および Virtex デバイスは、ザイリンクス Security Monitor 4.0 IP コアでサポートされています。『Kintex および Virtex UltraScale FPGA における Security Monitor 4.0 の統合と検証』(XAPP1281) が、ザイリンクス セキュリティ開発者サイト (https://www.xilinx.com/member/design_security.html) からダウンロード可能です。

全拡張温度範囲でのテスト

防衛グレード FPGA 製品は、ミリタリ (M)、拡張 (E)、インダストリアル (I) の温度グレードで提供されています。

- ミリタリ: -55°C ~ +125°C
- 拡張: 0°C ~ +100°C
- インダストリアル: -40°C ~ +100°C

全拡張温度範囲のテストには、室温に高温および低温を加えた機能とパラメーターのテストが含まれます。ザイリンクスは、ウェハのソートではすべてのダイに対して、最終出荷テストではすべてのデバイスに対してテストを実施しています。また、デジタルロジック、IP、メモリエlement、I/O バウンダスキャンなど多岐にわたる、さまざまなテスト用デザイン (DFT) 手法を実装することで、製品に対するテストカバレッジを継続的に改善しています。ザイリンクスは最高レベルのテストカバレッジを達成しており、ザイリンクスウェブサイトで公開されている、カスタマーからの返品不良率 (PPM) がこれを示しています。

マスクセット管理

ザイリンクスの防衛グレード製品では、マスク変更は認められていません。既に認証されているミッションクリティカルなアプリケーションに不確定要素が入る余地は許されず、デバイス製造に使用されたマスクセットを変更することでカスタマーレビューが必要になったり、装置そのものの再認証が必要になる可能性があります。コマースグレードのデバイスでは継続的なイールドの向上を目的とした変更の可能性があります、防衛グレード製品はそのライフサイクルを通して厳密に同じです。

MIL-PRF-38535 Pb 含有規格に完全に準拠

ザイリンクスの防衛グレード製品は、含有する Pb に関して、すべてのはんだインターフェイスで MIL-PRF-38535 に完全に準拠し、少なくとも 3% の Pb を含むデバイスを提供します。航空宇宙および防衛関連アプリケーションの多くは、マテリアルに 97% を超える錫 (Sn) を含んではないという政府の規制に従う必要があります。錫が 97% 以上含まれる場合、錫ウイスカーが生じるリスクが発生します。3% の Pb から成るはんだ端子を含むコンポーネントは、錫ウイスカーを生じさせるものではありません。さらに、最も一般的に使用される鉛フリーのはんだは、鉛と錫のはんだよりももろいことで知られているため、震動や衝撃の高いアプリケーションでは延性のある錫と鉛のはんだ接合部とすることが求められています。

高耐久性パッケージ

高耐久性パッケージには独自の四隅リッドが付いています。リッド各辺には広い開口部があります。防衛グレード RF/RL/RB/RS デバイスに使用されているリッドは、コンフォーマルコーティング前のボードレベルのクリーニング工程を簡潔にします。コンフォーマルコーティングの工程では、ボードにエッチ処理を施しコーティングに必要な密着度を達成します。フリップチップパッケージの構造では使用されている有機材からのガス抜き用に小さな開口部があるため、溶剤クリーナー (腐食性のエッチ) あるいはその他の腐食性薬品の選択はフリップチップのパッケージングで問題を引き起こす可能性があります。四隅リッドにすると、リッドに広い開口部がありデバイス全体を洗い流すことが可能なため、クリーニング性が向上し、製造工程も短縮されます。防衛グレード (XQ) デバイスは量産リリース前に MIL-STD-883 グループ D 仕様の追加ストレステストを完了します。要望に応じて『防衛グレード Kintex UltraScale および Virtex UltraScale 品質評価レポート』が入手可能です。

防衛グレード製品の MIL-STD-883 グループ D 認証テストには次が含まれます。

- 物理的寸法 (TM 2016)
- 熱衝撃 (TM 1011 条件 B 15 サイクル)
- 温度サイクル (TM 1010 条件 C 100 サイクル)
- 耐湿性 (TM 1004)
- 振動 - さまざまな周波数 (TM 2007 条件 A 最低限)
- 定加速度 - 遠心 (TM 2001 条件 D 最低限 - Y1 方向のみ)
- 塩水噴霧 (TM 1009 条件 A 最低限)

偽造防止機能

ザイリンクス防衛グレード製品は、複数レベルの偽造防止保護機能を提供します。同等のコマースデバイスと違い、防衛デバイスは独自の四隅リッド構造を持つため、デバイスパッケージそのものがまず保護機能を果たしています。

パッケージが異なることで、偽造者にとって防衛グレード デバイスは著しく高価になり、コマースデバイスを単に防衛グレード デバイスとリマークして販売することはできなくなります。さらに、低倍率で観察可能なマイクロ透かし文字と複雑なパターンを用いた固有のレーザーマーキングも偽造防止機能を強固なものにします。

防衛グレード Kintex UltraScale FPGA の特長

表 2: 防衛グレード Kintex UltraScale FPGA の特長

	XQKU040	XQKU060	XQKU095	XQKU115
システム ロジック セル	530,250	725,550	1,176,000	1,451,100
CLB フリップフロップ	484,800	663,360	1,075,200	1,326,720
CLB LUT	242,400	331,680	537,600	663,360
最大分散 RAM (Mb)	7.0	9.1	4.7	18.3
ブロック RAM/FIFO (ECC 付き) (36Kb)	600	1,080	1,680	2,160
総ブロック RAM (Mb)	21.1	38.0	59.1	75.9
CMT (MMCM が 1 個、PLL が 2 個)	10	12	16	24
I/O DLL	40	48	64	64
最大 HP I/O ⁽¹⁾	416	520	650	624
最大 HR I/O ⁽²⁾	104	104	52	104
DSP スライス	1,920	2,760	768	5,520
システム モニター	1	1	1	2
PCIe Gen3 x8	3	3	4	6
150G Interlaken	0	0	2	0
100G Ethernet	0	0	2	0
GTH 16.3Gb/s トランシーバー ⁽³⁾	20	32	32	64
GTY 16.3Gb/s トランシーバー ⁽⁴⁾	0	0	32	0

注記:

1. HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
2. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。
3. RS/RB パッケージの GTH トランシーバーは、最大 12.5Gb/s のデータ レートをサポートします。詳細は、表 3 を参照してください。
4. Kintex UltraScale デバイスの GTY トランシーバーは、最大 16.3Gb/s のデータ レートをサポートします。表 3 を参照してください。

防衛グレード Kintex UltraScale デバイスとパッケージの 各組み合わせにおける最大 I/O 数

表 3: 防衛グレード Kintex UltraScale デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ (1)(2)(3)	パッケージ サイズ (mm)	XQKU040	XQKU060	XQKU095	XQKU115
		HR、HP GTH	HR、HP GTH	HR、HP GTH、GTY(4)	HR、HP GTH
RSA784(5)(6)	23x23	104、364 8			
RBA676(5)	27x27	104、208 16			
RFA1156	35x35	104、416 20	104、416 28	52、468 20、8	
RFA1517(6)	40x40		104、520 32		
RLA1517(6)	40x40				104、520 48
RLD1517	40x40				104、234 64
RLF1924	45x45				104、624 64
RFB2104(6)	47.5x47.5			52、650 32、32	
RLB2104(6)	47.5x47.5				104、598 64

- 注記:
1. パッケージ記載の詳細は、「[防衛グレード UltraScale 注文情報](#)」を参照してください。
 2. RB/RF/RL パッケージのボールピッチは 1.0mm です。RS パッケージのボールピッチは 0.8mm です。
 3. パッケージコードの最後の文字と番号の並び (例: B2104) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。
 4. Kintex UltraScale デバイスの GTY トランシーバーは、最大 16.3Gb/s のデータレートをサポートします。
 5. RS/RB パッケージの GTH トランシーバーは、最大 12.5Gb/s のデータレートをサポートします。
 6. Vivado Design Suite は現時点ではこの製品をサポートしていません。このデバイスとパッケージの組み合わせのリードタイムおよび入手性については、ad_marketing@xilinx.com にお問い合わせください。

防衛グレード Virtex UltraScale FPGA の特長

表 4: 防衛グレード Virtex UltraScale FPGA の特長

	XQVU065	XQVU095
システム ロジック セル	783,300	1,176,000
CLB フリップフロップ	716,160	1,075,200
CLB LUT	358,080	537,600
最大分散 RAM (Mb)	4.8	4.8
ブロック RAM/FIFO (ECC 付き) (各 36Kb)	1,260	1,728
総ブロック RAM (Mb)	44.3	60.8
CMT (MMCM が 1 個、PLL が 2 個)	10	16
I/O DLL	40	64
最大 HP I/O ⁽¹⁾	468	650
最大 HR I/O ⁽²⁾	52	52
DSP スライス	600	768
システム モニター	1	1
PCIe Gen3 x8	2	4
150G Interlaken	3	6
100G Ethernet	3	4
GTH 16.3Gb/s トランシーバー	20	32
GTY 28.2Gb/s トランシーバー	20	32

注記:

1. HP は High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートします。
2. HR は High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートします。

防衛グレード Virtex UltraScale デバイスとパッケージの各組み合わせにおける最大 I/O 数

表 5: 防衛グレード Virtex UltraScale デバイスとパッケージの各組み合わせにおける最大 I/O 数

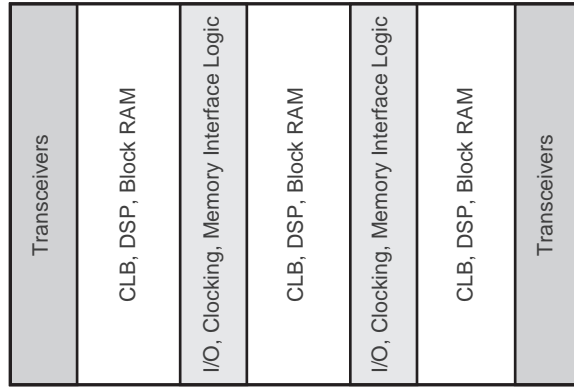
パッケージ ⁽¹⁾⁽²⁾⁽³⁾	パッケージ サイズ (mm)	XQVU065	XQVU095
		HR、HP GTH、GTY	HR、HP GTH、GTY
RFC1517 ⁽⁴⁾	40x40	52、468 20、20	52、468 20、20
RFB2104 ⁽⁴⁾	47.5x47.5		52、650 32、32

注記:

1. パッケージ記載の詳細は、「[防衛グレード UltraScale 注文情報](#)」を参照してください。
2. ボールピッチはすべてのパッケージで 1.0mm です。
3. パッケージコードの最後の文字と番号の並び (例: B2104) が同じパッケージは、すべての UltraScale アーキテクチャ デバイス間でフットプリントの互換性があります。このファミリー内で、フットプリントに互換性のあるデバイスは太線で囲まれています。
4. Vivado Design Suite は現時点ではこれらのデバイスとパッケージの組み合わせをサポートしていません。デザインおよび注文が可能になる前に追加の認証およびテストを完了する必要があります。このデバイスとパッケージの組み合わせのリードタイムおよび入手性については、ad_marketing@xilinx.com にお問い合わせください。

デバイス レイアウト

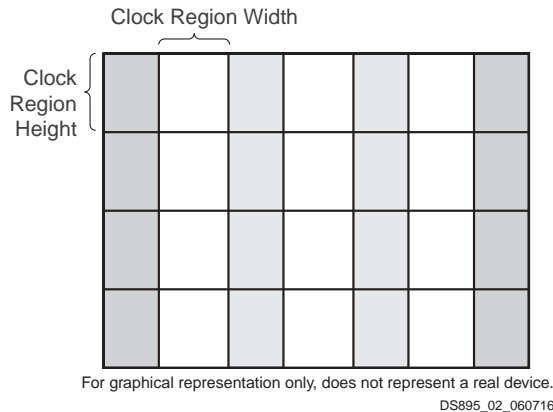
UltraScale デバイスは、カラムそして格子状に配列されています。リソース カラムの組み合わせ比率はデバイスによって多様で、デバイスの集積度、ターゲットとする市場とアプリケーション、デバイス コストなどに合わせて最適な性能を提供します。図 1-1 に、リソースをグループ分けしたカラムを示すデバイスレベルの図を示します。ここでは、図をシンプルにするため、PCIe 用統合ブロック、コンフィギュレーション ロジック、システム モニターは示していません。



DS895_01_060716

図 1: リソースがカラム状に配列された FPGA

デバイス内のリソースは、セグメント化されたクロック領域に分割されています。クロック領域の高さは CLB 60 個分です。I/O バンク 52 個、DSP スライス 24 個、ブロック RAM 12 個、またはトランシーバー チャネル 4 個もクロック領域の高さに相当します。デバイス サイズやクロック領域におけるリソースの組み合わせにかかわらず、クロック領域の幅は基本的に同じであることから、デザインにおけるタイミングの結果が再利用可能です。セグメント化された各クロック領域には、水平方向と垂直方向にそれぞれ領域の幅と高さ分のクロック配線があります。これらのクロック配線は、クロック領域の境界で分割できるため、このアーキテクチャでは高性能で低消費電力のクロック分散が可能になります。図 1-1 に領域に分割された FPGA を図示します。



For graphical representation only, does not represent a real device.

DS895_02_060716

図 1: クロック領域数に分割された FPGA

入力/出力

すべての UltraScale デバイスには、外部コンポーネントとの通信用に I/O ピンがあります。

UltraScale FPGA にある I/O ピン数はデバイスおよびパッケージによって異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。I/O は High Range (HR) または High Performance (HP) のいずれかに分類されます。HR I/O は、1.2 ~ 3.3V までの最も広範な I/O 電圧をサポートします。HP I/O は最高性能の動作向けに最適化されており、1.0 ~ 1.8V の電圧をサポートします。

I/O ピンはすべてバンクに構成されており、1つのバンクに HP または HR I/O ピンは 52 本あります。各バンクには 1つの共通 V_{CCO} 出力バッファ電源があり、これは特定の入力バッファにも電源を供給します。HR バンクは 2 分割可能で、それぞれに V_{CCO} 電源を持つことができます。一部のシングルエンドの入力バッファには、内部生成の、あるいは外部に基準電圧 (V_{REF}) が必要です。 V_{REF} ピンは PCB から直接駆動するか、各バンク内部にある V_{REF} 生成回路を使用して内部生成できます。

I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 V_{CCO} は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスループットおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ペアを 100Ω の内部抵抗で終端できるオプションもあります。すべての UltraScale デバイスは LVDS 以外に RSDS、BLVDS、差動 SSTL、差動 HSTL の差動規格をサポートします。また、各 I/O はシングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。

トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス (T_{DCI}) は、出力駆動インピーダンス (直列終端) を制御したり、あるいは V_{CCO} に対して入力信号を並列終端、 $V_{CCO}/2$ に対して分割 (テブナン) 終端を構成可能です。 T_{DCI} を使用した信号には、オフチップの終端は不要です。これはボードスペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリインターフェイスの実装時に、低消費電力化を図ることができます。

I/O ロジック

入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。入力と出力はすべて、5 ~ 15ps 単位で最大 1,250ps まで個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。IDELAY および ODELAY をカスケード接続することで、一方向の遅延量を 2 倍にできます。

ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビットシリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O ロジック内にシリアライザおよびデシリアライザ (SerDes) が必要です。各 I/O ピンには IOSERDES (ISERDES と OSERDES) があり、2、4、8 ビットの幅 (プログラム可能) でシリアルからパラレル、あるいはパラレルからシリアルへデータを変換します。I/O ロジックのこのような機能により、トランシーバーではなく SelectIO インターフェイスで Gigabit Ethernet/1000BaseX/SGMII などの高性能インターフェイスが可能になります。

高速シリアル トランシーバー

同一 PCB 上のデバイス間、バックプレーン経由、あるいは長距離間のシリアル データ転送は、100Gb/s や 400Gb/s まで拡張するカスタム ライン カードを実現する上でその重要性を増しています。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要です。

UltraScale FPGA アーキテクチャでは GTH および GTY トランシーバーが使用されます。どのトランシーバーも、4 つのグループ (トランシーバー クワッド) にグループ化されています。各シリアル トランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。表 6 に、各トランシーバーの性能を示します。

表 6: トランシーバーの性能

種類	Kintex UltraScale		Virtex UltraScale	
	GTH	GTY	GTH	GTY
数量	8 ~ 64	0 ~ 32	20 ~ 32	20 ~ 32
最大データ レート	16.3Gb/s	16.3Gb/s	16.3Gb/s	28.2Gb/s
最小データ レート	0.5Gb/s	0.5Gb/s	0.5Gb/s	0.5Gb/s
アプリケーション	<ul style="list-style-type: none"> バックプレーン PCIe Gen4 HMC 	<ul style="list-style-type: none"> バックプレーン PCIe Gen4 HMC 	<ul style="list-style-type: none"> バックプレーン PCIe Gen4 HMC 	<ul style="list-style-type: none"> 100G+ 光 チップ間 25G+ バックプレーン HMC

シリアル トランスミッターおよびレシーバーは高度な位相ロック ループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で通倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター

トランスミッターは基本的にパラレル-シリアル コンバーターで、変換比率は GTH で 16、20、32、40、64、80 で、GTY では 16、20、32、40、64、80、128、160 です。これにより、データパス幅とタイミング マージンのバランスの取れた高性能が求められるデザインにも対応できます。トランスミッターの出力は、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビット シリアル 出力信号は、差動信号によって 2 つのパッケージ ピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー

レシーバーは基本的に、入力ビット シリアル 差動信号をパラレル ストリーム ワードに変換するシリアル-パラレル コンバーターで、GTH は 16、20、32、40、64、80 ビットに、GTY は 16、20、32、40、64、80、128、160 ビットに対応します。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは基準クロック入力を使用してクロックの認識を開始し、入力差動データ ストリームを受け取ってそれを DC 自動ゲイン制御、リニア イコライザー、DFE (Decision Feedback Equalizer) を介することで、PC ボード、ケーブル、光インターコネクトやほかのインターコネクト特性を補います。データ パターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。パラレル データは RXUSRCLK クロックを使用してデバイス ロジックに転送されます。短いチャネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。レシーバーの DC 自動ゲイン制御、リニア イコライザー、DFE はオプションで自動適合に設定でき、さまざまなインターコネクトの特性を自動的に判断して補正することができます。これによって、10G+ や 25G+ のバックプレーンにもより多くのマージンを確保できるようになります。

Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCIe、SATA/SAS、QPI のアプリケーションで有用です。

PCI Express デザイン用統合インターフェイス ブロック

UltraScale アーキテクチャには、エンドポイントまたはルート ポートとしてコンフィギュレーション可能な PCIe 用の統合ブロックが搭載されています。UltraScale デバイスは、PCI Express Base Specification Revision 3.0 に準拠しています。

ルート ポートは、ルート コンプレックス相当の機能を提供し、PCI Express プロトコルを用いたチップ間のカスタム通信を可能にするだけでなく、イーサネット コントローラーやファイバー チャネル HBA などの ASSP エンドポイント デバイスを FPGA に接続します。

このブロックはシステム デザイン要件に合わせた柔軟なコンフィギュレーションが可能で、表 7 に示すように各データ レートで最大レーン幅の動作をサポートします。

表 7: PCIe のデータ レート別最大レーン幅

	Kintex UltraScale ⁽¹⁾	Virtex UltraScale ⁽¹⁾
Gen1 (2.5Gb/s)	x8	x8
Gen2 (5Gb/s)	x8	x8
Gen3 (8Gb/s)	x8	x8

注記:

1. Kintex UltraScale および Virtex UltraScale デバイスのトランシーバーは、Gen4 データ レート (16Gb/s) で動作可能です。

高性能アプリケーション向けには、ブロックを高度にバッファードすることで、1,024 バイトまでの柔軟性に優れた最大ペイロード サイズを提供します。また、シリアル コネクティビティ用に統合された高速トランシーバーと、データ バッファード用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データ リンク層、そしてトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCIe 用統合ブロック、トランシーバー、ブロック RAM、クロック リソース) をエンドポイントまたはルート ポート ソリューションに活用できるようにする軽量、コンフィギュラブル、かつ簡単に使用できる LogiCORE™ IP ラッパーを提供しています。リンク幅と速度、最大ペイロード サイズ、FPGA のロジック インターフェイス速度、基準クロック周波数、およびベース アドレスレジスタのデコードとフィルタリングなど、数多くのパラメーターをシステム設計者が制御できます。

Interlaken 用統合ブロック

一部の UltraScale デバイスは、Interlaken 用統合ブロックを備えています。Interlaken は 10Gb/s ~ 150Gb/s の通信速度に対応するよう設計された、拡張可能なチップ間インターコネクト プロトコルです。UltraScale アーキテクチャの Interlaken 用統合ブロックは、Interlaken 仕様のリビジョン 1.2 に準拠し、1 レーンから 12 レーンに渡るデータ ストライプ/デストライプをサポートします。可能なコンフィギュレーションは、12.5Gb/s までで 1 ~ 12 レーン、25.78125Gb/s までで 1 ~ 6 レーンで、各統合ブロックあたり最大 150Gb/s をサポートする柔軟性を備えています。複数の Interlaken ブロックを持つ UltraScale デバイスでは、これらを活用することで簡単に、信頼性の高い Interlaken スイッチおよびブリッジをデザインできます。

100G Ethernet 用統合ブロック

IEEE Std 802.3ba に準拠する UltraScale アーキテクチャの 100G イーサネット統合ブロックは、ユーザーによるカスタマイズと統計集計をサポートする、低レイテンシの 100Gb/s イーサネット ポートを提供します。10 x 10.3125Gb/s (CAUI) および 4 x 25.78125Gb/s (CAUI-4) のコンフィギュレーションが可能なこの統合ブロックには、100G MAC と PCS ロジックの両方が含まれ、IEEE Std 1588v2 1-step および 2-step ハードウェア タイムスタンプに準拠します。

クロック管理

UltraScale デバイスのクロック生成および分散コンポーネントは、メモリ インターフェイスと入力/出力回路を含むカラムに隣接した位置にあります。クロックと I/O が近くに配置されていることにより、メモリ インターフェイスの I/O やその他の I/O プロトコルへのクロッキングが低レイテンシになります。各 CMT (クロック マネージメント タイル) には、MMCM (ミックスド モード クロック マネージャー) が 1 つ、PLL が 2 つ、クロック分散バッファと配線、そして外部メモリ インターフェイスの実装専用の回路が含まれています。

MMCM (ミックスド モード クロック マネージャー)

MMCM は、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。この MMCM の中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、DRP を介してコンフィギュレーションおよび通常動作でプログラム可能な 3 つの周波数分周器 (D、M、O) があります。前置分周器 D は入力周波数を低減させ、位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つを駆動するよう選択できます。分周器はそれぞれ、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM には入力ジッターのフィルター モードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、広帯域モードでは位相オフセットが優先されます。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1,600 MHz では 11.2ps となります。

PLL

MMCM の一部の機能を持つ PLL は各クロック マネージメント タイルに 2 つ含まれ、メモリ インターフェイス専用回路に必要なクロックを提供することを主な役割としています。PLL の中心となる回路は MMCM と同様で、PFD から VCO とプログラム可能な M、D、O カウンターに信号を入力します。各 PLL にはデバイス ファブリックへの分周出力が 2 つと、メモリ インターフェイス回路へのクロックおよびイネーブル信号が各 1 つあります。

クロック分配

UltraScale デバイスのクロックは、多数の水平トラックと垂直トラックを駆動するバッファを介してデバイス全体に分配されます。各クロック領域には水平および垂直それぞれの方向にクロック配線が 24 本あり、さらに隣接する MMCM および PLL への垂直クロック配線が 24 本あります。クロック領域内では、クロック信号が 16 個のゲート制御可能なリーフ クロックを経由してデバイス ロジック (CLB など) に配線されます。

クロック バッファにはいくつかのタイプがあります。BUFGCE および BUFCE_LEAF バッファはそれぞれ、グローバルレベルとリーフレベルのクロック ゲーティング機能を提供します。BUFGCTRL はグリッチのないクロック マルチプレクサーおよびゲーティング機能を提供します。BUFGCE_DIV にはクロック ゲーティングに加えて、入力クロックを 1 ~ 8 分周する機能があります。BUFG_GT ではトランシーバー クロックを 1 ~ 8 分周できます。

メモリ インターフェイス

メモリ インターフェイスに求められるデータ レートは増加の一途で、現在そして次世代のメモリ テクノロジーに対応する、高性能で信頼性の高いインターフェイスを実現するための専用回路が必要となっています。すべての UltraScale デバイスは CMT と I/O カラムの間に専用の PHY ブロックを備え、外部メモリ (DDR4、DDR3、QDRII+、RLDRAM3 など) への高性能 PHY ブロックの実装をサポートします。各 I/O バンクにある PHY ブロックは、アドレス/制御およびデータ バスの信号プロトコルを生成するだけでなく、高性能なメモリ規格との信頼性の高い通信を確立するために不可欠なクロック/データの正確なアライメントを担います。複数の I/O バンクを使用して、ビット数の多いメモリ インターフェイスを構築することも可能です。

UltraScale FPGA では外部パラレル メモリ インターフェイスだけでなく、ハイブリッド メモリ キューブ (HMC) などの外部シリアルメモリとも高速シリアル トランシーバーを介して通信できます。UltraScale アーキテクチャの トランシーバーはすべて、HMC プロトコルを、最大 15Gb/s のライン レートでサポートします。UltraScale デバイスでは、1つの FPGA で最大帯域幅の HMC コンフィギュレーションを 64 レーン サポート可能です。

コンフィギュラブル ロジック ブロック

UltraScale アーキテクチャのコンフィギュラブル ロジック ブロック (CLB) はすべて、8つの LUT と 16個のフリップフロップを含みます。LUT は、出力が1つの6入力 LUTとして、または出力は別々でアドレスまたはロジック入力が共通の2つの5入力 LUTとして構成可能です。各 LUT はオプションとしてフリップフロップでラッチできます。CLB には LUT およびフリップフロップ以外にも、演算 キャリヤー ロジックおよびマルチプレクサーが含まれ、これらを使用することでよりビット数の大きなロジック ファンクションが作成できます。

1つの CLB には1つのスライスが含まれ、スライスには、SLICEL および SLICEM の2つの種類があります。SLICEM の LUT は、64ビット RAM、32ビットシフトレジスタ (SRL32)、または2つの SRL16として構成可能です。UltraScale アーキテクチャの CLB は従来世代のザイリンクス デバイスの CLB に比べ配線と接続が増加しています。また、制御信号も追加されていることからレジスタのパッキング効率が向上し、結果として全体的なデバイス使用率が改善されます。

インターコネク

UltraScale アーキテクチャはさまざまな長さ (CLB 1、2、4、5、12、または 16 個分) の垂直および水平方向の配線リソースを備えているため、すべての信号をソースからデスティネーションへ容易に転送できます。このため、最も集積度の高いデバイスにおいても次世代の広いデータ バスをサポートでき、結果品質とソフトウェア ランタイムが同時に向上します。

スタックド シリコン インターコネク (SSI) テクノロジー

ザイリンクスは2世代目となる 3D SSI テクノロジーを採用することで、高容量デバイスを作成するにあたっての多くの難題を解決しています。SSI テクノロジーと実績ある製造およびアセンブリ技術を用いることで、1つのパッシブ インターポーザー層上で複数の SLR (Super Logic Region) を組み合わせることが可能となり、17,000 を超える低消費電力の内部 SLR 接続を持つデバイスが作成できるようになります。SLR 内の専用インターフェイススタイルにより、低レイテンシ、低消費電力で帯域幅の非常に広いコネクティビティが実現されます。表 8 に、SSI テクノロジーを使用する SLR の数およびサイズを示します。

表 8: UltraScale 3D IC SLR の数とサイズ

	Kintex UltraScale
デバイス	KU115
SLR の数	2
SLR の幅 (領域内)	6
SLR の高さ (領域内)	5

ブロック RAM

すべての UltraScale デバイスには、完全に独立した 2 つのポートを持ち、格納したデータのみを共有する 36Kb のブロック RAM が多数含まれます。各ブロック RAM は、1 つの 36Kb RAM または 2 つの独立した 18Kb RAM として構成可能です。読み出しまたは書き込みのメモリ アクセスは、クロックによって制御されます。ブロック RAM カラム内の接続により、垂直方向に隣接するブロック RAM 間で信号をカスケードできるため、サイズが大きく、高速なメモリ アレイや消費電力が大幅に削減された FIFO を簡単に作成できます。

すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付きます。入力アドレスは常にクロックされ (アドレスのラッチが無効でない限り)、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。また、ユーザー デザインで使用されていないブロック RAM サイトへの電源供給は自動的に切断されるため、総消費電力が削減されます。ブロック RAM すべてに、電力のゲーティングを動的に制御するためのピンが追加されています。

プログラム可能なデータ幅

各ポートは 32K×1、16K×2、8K×4、4K×9 (または 8)、2K×18 (または 16)、1K×36 (または 32)、512×72 (または 64) のいずれかに構成できます。ブロック RAM と FIFO のどちらとして構成しているかにかかわらず、2 つのポートには別々の比率を指定でき、これに対する制限はありません。各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを 16K×1 ~ 512×36 の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。シンプルデュアルポート (SDP) モードでのみ、18 ビット (18Kb RAM の場合) または 36 ビット (36Kb RAM の場合) を超えるデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。

エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビット エラーの訂正、ダブルビット エラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

FIFO コントローラー

各ブロック RAM は 36Kb または 18Kb の FIFO として構成できます。シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Programmable Full、Programmable Empty の 4 つのフラグを提供します。プログラム可能なフラグに対しては、フラグをアクティブにする FIFO カウンター値をユーザーが指定できます。FIFO の幅とワード数もプログラム可能で、1 つの FIFO で読み出しポートと書き込みポートに異なる幅を指定できます。また、よりワード数の大きな FIFO を簡単に作成するための専用カスケードパスがあります。

デジタル信号処理

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。UltraScale デバイスはいずれも専用の低消費電力 DSP スライスを数多く装備し、システム設計の柔軟性を維持しながら、高速処理と小型化を同時に実現しています。

各 DSP スライスは基本的に、専用の 27×18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成されます。乗算器は動作中にバイパスでき、2 つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはワードの 12 ビット加算/減算/累算)、またはオペランドが 2 つの 10 個の異なるロジック ファンクションから任意の 1 つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルタに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。96 ビット幅の専用 XOR ファンクション (ビット幅は 12、24、48、または 96 にプログラム可能) により、前方誤り訂正や CRC アルゴリズムをインプリメントする際の性能が向上します。

また、収束丸め (偶数丸めとも呼ばれる) あるいは対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジック ユニットと併用する場合には、96 ビット幅のロジック ファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミック シフター、メモリ アドレス ジェネレーター、多入力マルチプレクサー、メモリ マップされた I/O レジスタ ファイルが含まれます。また、アキュムレータは同期のアップ/ダウン カウンターとしても使用可能です。

システム モニター

UltraScale アーキテクチャのシステム モニター ブロックは、オンチップの温度と電源センサーおよび ADC までの外部チャネルによって物理的環境をモニタリングすることで、システム全体の安全性、セキュリティ、信頼性を向上させるために使用されます。

すべての UltraScale アーキテクチャ デバイスが少なくとも 1 つのシステム モニターを内蔵しています。詳細は、表 9 を参照してください。

表 9: システム モニターの主な機能

	Kintex UltraScale Virtex UltraScale
ADC	10 ビット 200kSPS
インターフェイス	JTAG、I2C、DRP

FPGA では、センサー出力と最大 17 のユーザー割り当てによる外部アナログ入力、10 ビット 200kSPS の ADC でデジタル化され、その計測値が内部 FPGA (DRP)、JTAG、PMBus、または I2C インターフェイスを介してアクセス可能なレジスタに格納されます。I2C および PMBus インターフェイスの場合、デバイス コンフィギュレーション前後に System Manager/Host でオンチップ モニタリングに簡単にアクセスできます。

コンフィギュレーション

UltraScale デバイスは、カスタマイズしたコンフィギュレーション データを SRAM タイプの内部ラッチに格納します。コンフィギュレーション データの格納領域は揮発性のため、デバイスへの電源投入ごとに再ロードする必要があります。この領域へは、コンフィギュレーション データをいつでも再ロードできます。コンフィギュレーション データは複数の方法およびデータ形式でロード可能で、これはモード ピンで決定します。さらにコンフィギュレーション プロセスをシンプルにするためのコンフィギュレーション データパス専用ピンもあります。

UltraScale デバイスは、オプションの AES-GCM (Advanced Encryption Standard - Galois/Counter Mode) 復号/認証ロジックを用いたセキュアブートと非セキュアブートをサポートしています。認証のみが必要な場合は、RSA アルゴリズムによる認証も利用できます。Kintex UltraScale および Virtex UltraScale ファミリーにおける RSA 認証については、『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』(UG570) を参照してください。

ザイリンクスの UltraScale デバイスは、任意のキーで不正に収集される可能性のあるサイドチャネルデータの量を制限することで DPA 耐性を提供します。DPA 耐性の詳細は、『UltraScale FPGA での改ざん防止デザインの開発』(XAPP1098) を参照してください。

UltraScale デバイスには複数のコンフィギュレーション方法があり、堅牢なフィールド アップデートの方法も用意されています。これは特に、最終的な製品が出荷された後でデザインを更新する際に役立ちます。つまり、初期バージョンのデザインで製品を発売できるため、製品をいち早く市場に投入できることとなります。この機能によって、製品がすでにフィールド展開されていても最新のデザインをエンドユーザーに提供することが可能になります。

FPGA のコンフィギュレーション

SPI (シリアル NOR) インターフェイス (x1、x2、x4、およびデュアル x4 モード) と BPI (パラレル NOR) インターフェイス (x8 および x16 モード) の 2 つは、FPGA のコンフィギュレーションによく使用される方法です。この方法では、ユーザーが SPI または BPI フラッシュを FPGA に直接接続し、FPGA 内部のコンフィギュレーション ロジックがフラッシュからビットストリームを読み出して自己コンフィギュレーションを実行するため、外部コントローラーは必要ありません。FPGA がオンザフライで自動的にバス幅を検出するため、外部からの制御や切り替えは不要で、サポートされるバス幅は、SPI では x1、x2、x4、デュアル x4 で、BPI では x8 と x16 です。また、バス幅が広いほど、コンフィギュレーション速度は高くなり、電源を投入してから FPGA が起動するまでに必要な時間が短縮されます。

マスター モードの場合、FPGA は内部生成されたクロックからコンフィギュレーション クロックを駆動可能ですが、コンフィギュレーションをより高速で実行するため、外部のコンフィギュレーション クロック ソースを使用することもできます。これにより、マスター モードの使い易さを活かしたコンフィギュレーションが可能になります。一方、最大 32 ビット幅のスレーブ モードもサポートされており、これは特にプロセッサによるコンフィギュレーションの場合に有用です。さらに、新しい MCAP (Media Configuration Access Port) によって PCIe 用統合ブロックとコンフィギュレーション ロジックが直接接続されるため、PCI Express を経由した場合のコンフィギュレーションがシンプルになります。

パッケージ

UltraScale デバイスは、複数の有機フリップチップ パッケージで入手可能で、それぞれ異なる数の I/O およびトランシーバーをサポートします。サポートされる最大パフォーマンスは、パッケージのタイプと材質によって異なります。パッケージ タイプ別のパフォーマンス仕様は該当デバイスのデータシートを参照してください。

フリップチップ パッケージの場合、シリコン デバイスは高度なフリップチップ プロセスでパッケージ サブストレートに実装されます。デカップリング キャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナル インテグリティが最適化されます。

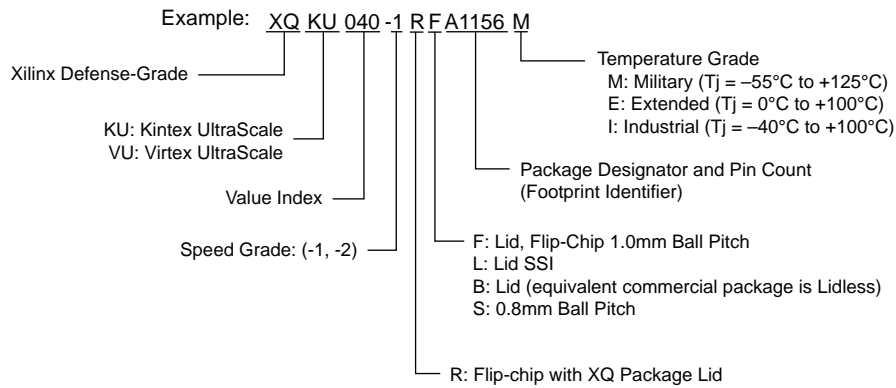
防衛グレード UltraScale 注文情報

表 10 に、このデバイス ファミリで提供されているスピード グレードおよび温度グレードを示します。

表 10: スピード グレードと温度範囲

デバイス ファミリ	デバイス	スピード グレードと温度範囲		
		ミリタリ (M)	インダストリアル (I)	拡張 (E)
		-55°C ~ +125°C	-40°C ~ +100°C	0°C ~ +100°C
Kintex UltraScale	XQKU040 XQKU060 XQKU095	-1M (0.95V)	-2I (0.95V) -1I (0.95V)	-2E (0.95V)
	XQKU115			
Virtex UltraScale	XQVU065 XQVU095	-1M (0.95V)	-2I (0.95V) -1I (0.95V)	-2E (0.95V)

図 1-1 に示す注文情報は、Kintex UltraScale および Virtex UltraScale FPGA のすべてのパッケージに適用されます。デバイス パッケージ マークの詳細は、『UltraScale/UltraScale+ FPGA パッケージおよびピン配置ユーザー ガイド』(UG575) の「パッケージ マーク」を参照してください。



- 1) All XQ package have eutectic tin lead solder balls and internal solder contents are > 3%.
- 2) See UG575: *Kintex UltraScale and Virtex UltraScale FPGAs Packaging and Pinouts User Guide* for more information.
- 3) All packages other than RS are flip-chip with 1.0mm ball pitch

DS895_03_120516

図 1: デバイス注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年1月31日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとし、また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので

<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

この文書は暫定的な情報を含むものであり、通知なしに内容が変更されることがあります。この文書に記述される情報は、販売前の製品・サービスに関するもので、情報目的としてのみ提供されており、この文書で参照されている製品・サービスの販売申込みまたは製品の商品化を試みたものとしては意図されておらず、また解釈されるものでもありません。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。