



重要な製品情報：必ずお読み下さい



XC18V00 PROM のエラッタおよび XC18V00 データシートの確認

DS026-E01 (v1.1) 2004 年 3 月 10 日

エラッタのお知らせ



これらのエラッタは、XC18V00 PROM にのみに該当するものであり、その他の PROM には全く影響はありません。XC18V00 PROM 以外の PROM をご使用の場合は、各デバイスに該当のエラッタをご確認下さい。

この度は、弊社の XC18V00 デバイスをご注文いただき誠にありがとうございます。弊社では、このデバイスの品質において万全を期しておりますが、このデバイスに該当のエラッタが確認されましたのでお知らせ致します。このエラッタは、ほとんどのアプリケーションにおいて影響ありませんが、ご注文頂きましたデバイスがご使用のアプリケーションの必要条件を満たしているかにつきましては、この通知に記載のエラッタおよびデータシートの仕様にてご確認いただけますようお願い致します。

最新のエラッタについて

このエラッタの内容は、最新の確認事項に基づいて常に更新されます。印刷された文書、またはお手元のコンピュータ保存文書としてご覧になる場合は、最新版であることを確認して下さい。最新版を入手される際は、[mysupport](http://www.xilinx.co.jp/support) よりユーザー登録が必要となります。このエラッタの詳細につきましては、弊社のテクニカルサポートまたは販売代理店までお問い合わせ下さい。なお、お問い合わせ先につきましては、http://www.xilinx.co.jp/support/services/contact_info.htm をご覧下さい。

該当デバイス

今回のエラッタに該当するデバイスのパート番号は以下の通りです。これらのデバイスは、トップマークに「ART」と記されています。

デバイスタイプ	XC18V512PC20C, XC18V512SO20C, XC18V512VQ44C, XC18V01PC20C, XC18V01SO20C, XC18V01VQ44C, XC18V02PC44C, XC18V02VQ44C, XC18V04PC44C, XC18V04VQ44C
パッケージ	VQ44, PC44, PC20, SO20
デートコード	すべて

表 1：該当デバイス

該当デバイスの確認方法

これらのエラッタは、トップマークに「ART」と記された (表 2 参照)、表 3 に記載の IDCODE のデバイスが対象となります。

44ピン VQFP および PLCC パッケージのトップマーク例	20ピン SOIC パッケージの トップマーク例	20ピン PLCC パッケージの トップマーク例
 XC18V04™ VQ44 ART 0233 5PM5A0233	XC18V01™ SART 0233  5BM3A0233	 XC18V01™ JART 0233 5BM5A0233

表 2 : デバイスのトップマーク例

デバイス	ID コード
XC18V512	05033093h
XC18V01	05034093h
XC18V02	05035093h
XC18V04	05036093h

表 3 : 該当の ID コード

使用上の注意

1. 外部抵抗がデータシート推奨の 4.7 K Ω またはそれ以下の値で PROM の OE/RESET# ピンおよび FPGA の INIT ピンに接続されていることを確認して下さい。
2. FPGA の DONE 信号を使用して PROM の CE# を駆動する場合は、信号が仕様範囲内であり、立ち上がり/立ち下がり時間が短いことを確認して下さい。FPGA の DONE 信号で LED を点灯し、PROM の CE# を駆動する場合は、外部バッファを使用して LED を駆動して下さい。
3. マスタモードの FPGA の CCLK ピンを、外部クロックとしてではなくコンフィギュレーション CLK ソースとして使用して下さい。

重要な製品情報

断続的なコンフィギュレーション エラー

概要

このエラッタに該当の PROM デバイスを使用した場合、特定の条件において FPGA コンフィギュレーションが断続的にエラーとなります。このエラーは、コンフィギュレーション信号である CCLK、OE/RESET#、および CE# の同期化が行われずに生じたエラーであるため、PROM のデータには全く影響ありません。これらのエラッタは、ほとんどのアプリケーションに該当しません。断続的なコンフィギュレーション エラーの原因およびエラー状態の一覧を表 4 に示します。

状態		原因 CCLK を駆動する外部フリーランニングクロック	CCLK を駆動する FPGA ソースのクロック			
			プルアップなし OE/RESET# (INIT#)		プルアップあり OE/RESET# (INIT#)	
			LED がある CE# (DONE)	LED がない CE# (DONE)	LED がある CE# (DONE)	LED がない CE# (DONE)
反転ビットパターン	シリアルビットストリーム	√	√	√	√	
	パラレルビットストリーム					
追加 32 ビットパターン	SpartanXL 以前のデバイス XC4K 以前のデバイス	√				
	Spartan-II 以降のデバイス S Virtex 以降のデバイス					
無視される 32 ビットパターン		√				

√ このマークは、コンフィギュレーション エラーが生じたことを示します。

表 4 : エラー内容

このエラッタの影響

ほとんどのコンフィギュレーション アプリケーションは FPGA のクロック ソースで CCLK 信号 (マスタシリアルまたはマスタパラレル コンフィギュレーション モード) を駆動しているため、今回のエラッタが発生することはありません。また、前頁の「使用上の注意」に従ってコンフィギュレーションを行う場合にも問題ありません。

外部フリーランニング クロックを使用して CCLK 信号 (スレーブ シリアルまたはスレーブ パラレル コンフィギュレーション モード) を駆動する場合には、このエラーを回避することはできません。このため、外部フリーランニング クロックを使用される場合は、オーダー コードを SCD0799 に変換し、表 1、2、3 で示された該当デバイス以外のものご注文ください。

断続的なコンフィギュレーション エラーの原因

エラーの状態は、表 1、2、3 で記載の各該当デバイスによって異なります。断続的なコンフィギュレーション エラーは、次のいずれか (または複数) が原因で発生します。

- OE/RESET# (INIT#) 信号の立ち上がりが遅い場合
データシートでは、FPGA INIT および PROM OE/RESET# 信号ラインのプルアップを高速に行うには、4.7 KΩ (またはそれ以下) の外部抵抗が必要であると示されています。 FPGA INIT および PROM OE/RESET# 信号ラインの立ち上がりが遅い場合、システム ノイズが発生し、PROM 内部のアドレスカウンタを破壊し、FPGA のコンフィギュレーションが適切に行われなくなります。
- 階段状電圧の CE# (DONE) 信号の場合
FPGA のデータシートで規定されているように、FPGA の DONE ピンのシンク電流は 12mA を超えな

ようにして下さい。(特に)LED を駆動する回路には注意して下さい。DONE ピンが、バッファを使用せず直接 LED と CE# ピンを駆動する場合、この規定に違反します。FPGA の drive_done オプションについても同様です。

- PROM V_{CC} の後に FPGA V_{CC} に電源を投入したときに、CE#-DONE および OE/RESET#-INIT 信号は、ゆっくり遷移する場合があります (FPGA への電源投入時、および信号が FPGA により Low になる前)。
- フリーランニング クロックを使用したコンフィギュレーション デザインの場合

OE/RESET# (INIT#) 信号の立ち上がりが遅い場合

PROM (図 1 参照) を介してこの信号を正常に伝搬するには、プルアップ抵抗が必要となります。図 2 に正常な OE/RESET#(INIT#) 信号を示します。立ち上がりが遅い場合、PROM の入力バッファを介して伝搬するときにシステム ノイズが発生し (図 3 参照)、これにより短時間のリセット パルスが生成され、内部回路の同期化が行われなくなる場合があります。このエラーの発生率は、コンフィギュレーション サイクルの 1% ~ 5% と確認されました。

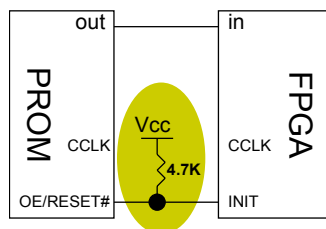


図 1 : 4.7KΩ のプルアップ抵抗

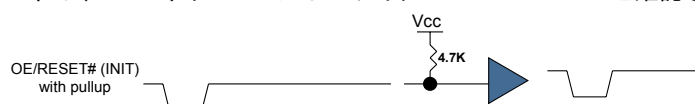


図 2 : プルアップ 抵抗がある OE/RESET# (INIT#)

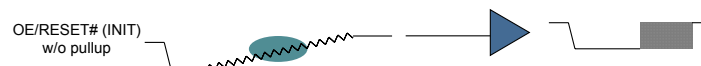


図 3 : プルアップ 抵抗がない OE/RESET# (INIT#)

推奨

データ シートの仕様に従い、4.7 KΩ (またはそれ以下) の外部抵抗を PROM の OE/RESET# ピンおよび FPGA の INIT ピンに接続して下さい。また、FPGA TICCK は必ず仕様 (500ns) を満たすようにして下さい。これにより、PROM における OE/RESET# 信号の立ち上がり時間 (Trise) および、立ち下がり時間 (Tfall) が 500ns に変換されます。

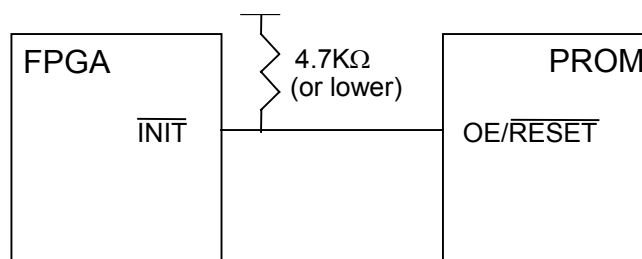


図 4 : 推奨抵抗値

階段状電圧の CE# (DONE) 信号

バッファを使用しない LED が CE# (DONE) 信号に接続されている場合、FPGA のシンク電流はデータシートに記載された仕様の 12mA を超えてしまいます (図 5 参照)。この場合、CE# (DONE) 信号は、複数の入力パルスと同一の中間電圧に保持されます (図 7 参照)。これらのパルスは、PROM を介し伝搬されるため、内部回路が同期化されなくなります。このエラーの発生率は、コンフィギュレーション サイクルの最大 50 % と確認されました。図 6 に LED に未接続の正常な CE# (DONE) 信号を示します。

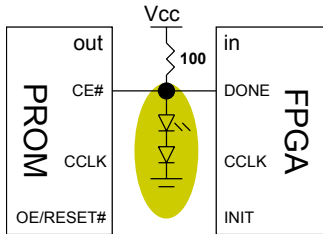


図 5 : バッファを使用しない LED

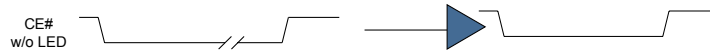


図 6 : LED がついていない CE# (DONE) 信号

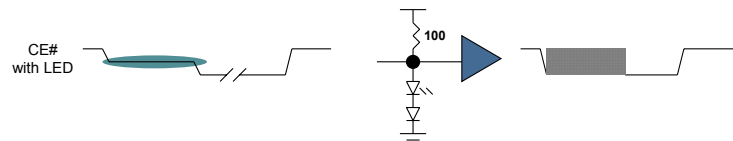


図 7 : バッファを使用しない LED のついた CE# (DONE) 信号

推奨

スタンバイ時の消費電力を低減するため FPGA の DONE ピンを使用し PROM CE# を駆動する場合は、信号が仕様内であり、立ち上がり/立ち下がり時間が短くなっていることを確認します。また、LED を駆動するには外部バッファを使用します (図 8 参照)。CE# を駆動するために DONE ピンを使用する場合は、CE# を LED に接続することができます (図 9 参照)。

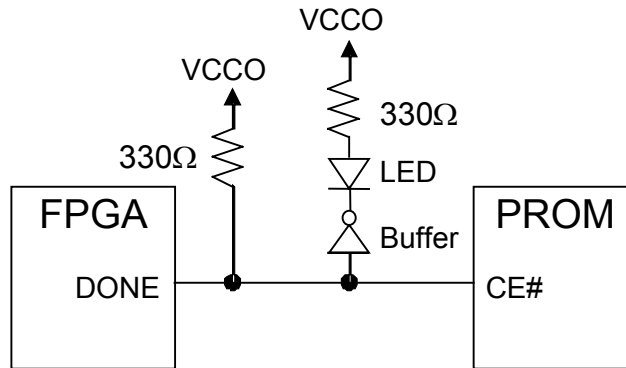


図 8 : (バッファを介した LED 回路)

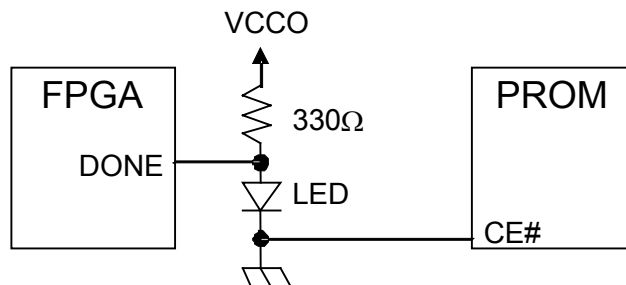


図 9 : (バッファを使用しない LED)

PROM V_{CC} の後に FPGA V_{CC} に電源を投入した場合

推奨

1. PROM に電源を投入する前に FPGA に電源が投入できない場合には、電源投入時に DONE 信号の前の INIT 信号の遷移が Low になっていること確認して下さい。その確認方法として、DONE で低抵抗のプルアップを使用し、INIT で高抵抗のプルアップを使用する方法があります。例えば、DONE 信号を 330Ω のプルアップレジスタに接続し、INIT 信号を 3.3KΩ のプルアップレジスタに接続します。
2. 別の方法として、PROM CE# から FPGA の DONE 信号を解除し、CE# を Groun に接続する方法があります。PROM CE# が Ground に接続されている際に、複数のコンフィギュレーション データラインの競合を防ぐためには、FPGA デザインの FPGA INIT# をつねに Low (これにより PROM を OE/RESET# Low で駆動) に設定して駆動する必要があり、そうでない場合には PROM に接続されている FPGA コンフィギュレーション データピン (DIN または D[0-7]) を使用してはいけません。

フリーランニング クロックを使用したコンフィギュレーション システムの場合

ほとんどの FPGA のアプリケーションでは、CE# (DONE) 信号および OE/RESET (INIT#) 信号と同期する CCLK 信号を使用していますが、非同期システム (図 10 参照) の場合、フリーランニング クロックがコンフィギュレーション クロック (CCLK) 信号を駆動します。これにより OE/RESET# (INIT#) 信号が中間位相 (図 11 参照) の場合に PROM の内部カウンタが CCLK 遷移として認識し、追加または不足パルスが生じる場合があります。このエラーの発生率は、コンフィギュレーション サイクルの 0.1% ~ 1% と確認されました。

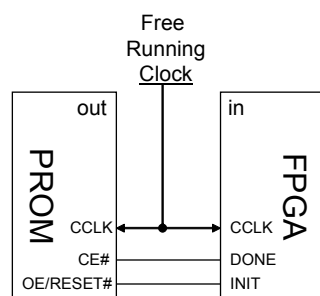


図 10 : 非同期システム

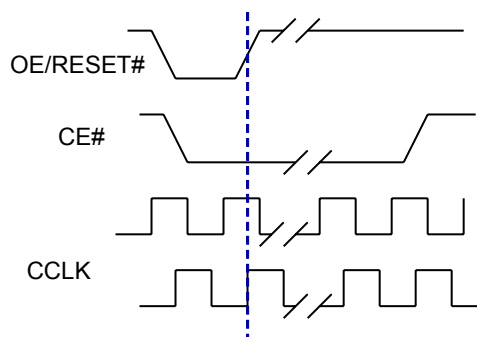


図 11 : CCLK と OE/RESET# の競合

推奨

フリーランニング クロックが使用されている場合にエラーを回避することはできません。このため、外部フリーランニング クロックを使用される場合は、オーダー コードを SCD0799 に変換し、表 1、2、3 で示された該当デバイス以外のものをご注文ください。

エラー内容およびエラー原因

反転ビットのパターン

ビットカウンタおよび Div8 回路が非同期の場合 (図 12 参照)、ビットの反転が生じ、1 バイト内のデータビットがバイトごとに反転してしまいます (図 13 参照)。このような反転ビットパターンが生じる原因を表 4 に示しています。

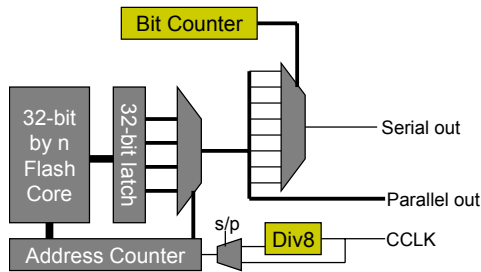
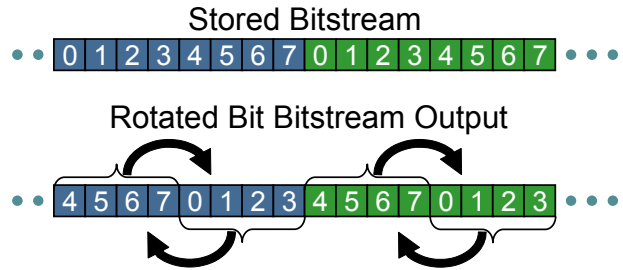


図 12 : カウンタ回路



Above diagram shows example of circuits being 4 bits out of sync

図 13 : 反転ビットパターンの例

32 ビット追加されるパターン

アドレスカウンタが最初のインクリメントを行わず、最初の 32 ビットを繰り返します。このような 32 ビット追加されるパターンが発生する原因を表 4 に示しています。

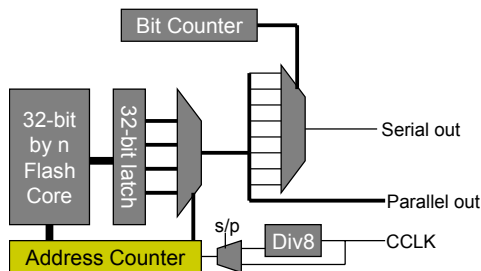


図 14 : カウンタ回路

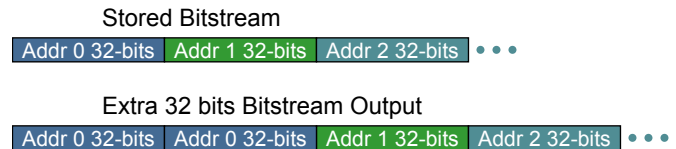


図 15 : 32 ビット追加されるパターンの例

32 ビット無視されるパターン

アドレス カウンタがインクリメントを 2 回以上行ない、2 番目の 32 ビットを無視します。このような 32 ビット無視されるパターンが発生する原因を表 4 に示しています。

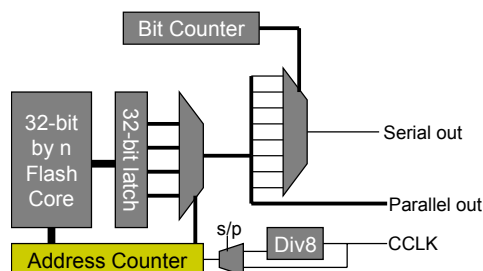


図 16 : カウンタ回路

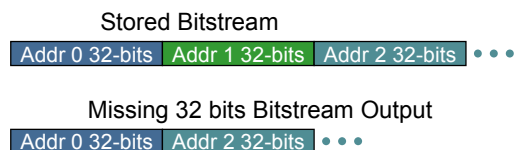


図 17 : 32 ビット無視されるパターンの例

デザインの修正

前述のとおり、この通知に記載のエラッタはほとんどのアプリケーションには影響ありません。FPGA のクロックソースで CCLK 信号 (マスタシリアルおよびマスタパラレルコンフィギュレーションモード) を駆動し、「使用上の注意」に従っている場合は、お手元のデバイスをそのままご使用下さい。エラッタ該当デバイスに対しましては、現在弊社にてエラー修正作業を行っております。このエラー修正内容につきましては、表 5 をご覧下さい。新規のマスクリビジョンの量産デバイスは、2004 年の中旬にリリース予定となっております。このリリースと同時に弊社より、該当デバイスをご使用のお客様に対しまして新規のマスクリビジョンデバイスの注文方法および変更内容を通知する PCN (カスタマ変更通知) をリリース致します。

		修正内容			
		OE/RESET# および CE# 入力バッファにヒステリシスを追加する	各バイトインクリメントでビットおよびバイト(div8)カウンタを再同期化する	内部リセットをコンフィギュレーションクロックに同期化する	リセット/プリロード中に内部リセット/プリロードを阻止する
機 状 態	反転ビットパターン	√	√		√
	追加される 32 ビットパターン			√	
	無視される 32 ビットパターン			√	
原 因	立ち上がりが遅い OE/RESET# (INIT#)	√	√		√
	階段状電圧の CE# (DONE)	√	√		√
	外部フリーランニングクロック			√	

表 5 : デザインの修正内容

お問い合わせ先

このエラッタに関しましてご質問などございましたら、弊社のテクニカル サポートまたは販売代理店までお問い合わせ下さいますようお願い致します。お問い合わせ先につきましては www.xilinx.co.jp/support/services/contact_info.htm をご覧下さい。

また、この通知についてのご意見などございましたら qa_com@xilinx.com まで英語にてメールをお送りいただけますようお願い致します。

この通知は、英語版資料 (DS026-E1, バージョン 1.1、2004 年 3 月 10 日発行) を翻訳したものです。