



## 重要な製品情報：必ずお読み下さい



### Virtex-II Pro X FPGA: スピードグレード -5 および -6 のエラッタおよびデータシート DS083 の確認

DS083-E01 (v2.3) 2004 年 6 月 30 日

エラッタ



このエラッタは、Virtex-II Pro X FPGA のスピードグレード -5 および -6 のエンジニアリング サンプルおよびステップ 0 の量産デバイスにのみ適用されるものであり、その他の FPGA デバイスには適用されません。Virtex-II Pro X FPGA 以外のデバイスをご使用の場合は、各デバイスに該当のエラッタをご確認下さい。

平素は、弊社の Virtex-II Pro X FPGA デバイスをご注文いただき誠にありがとうございます。

この通知に記載のエラッタおよび回避策は、すべての Virtex-II Pro X のエンジニアリング サンプルおよびステップ 0 の量産デバイス (すべてのパッケージタイプ) のスピードグレード -5 および -6 の製品にのみ適用されます。スピードグレード -7 のエンジニアリング サンプル デバイスに該当のエラッタにつきましては、DS083-E02 をご参照下さい。

### 最新版のエラッタ

エラッタの内容は、最新の確認事項に基づいて常に更新されます。印刷された文書またはお手元のコンピュータ保存文書としてご覧になる場合は、そのエラッタが最新版であることを確認して下さい。最新版を入手される際には、[mysupport](#) よりユーザー登録が必要になります。

このエラッタの詳細につきましては、弊社のテクニカル サポートまたは販売代理店までお問い合わせ下さい。なお、お問い合わせ先につきましては、[www.xilinx.com/support/services/contact\\_info.htm](http://www.xilinx.com/support/services/contact_info.htm) をご覧下さい。

### エラッタが適用されるデバイス

このエラッタは、次の表に示すデバイスにのみ適用されます。

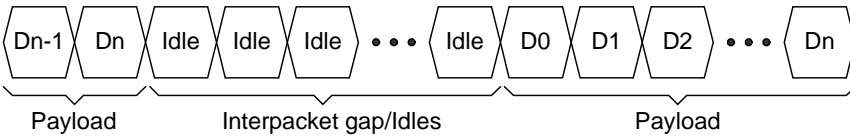
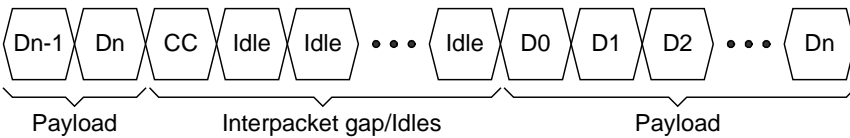
デバイス タイプ	XC2VPX20 -6, XC2VPX20 -5
パッケージ	すべて
データコードまたは他の識別特徴	エンジニアリング サンプルおよびステップ 0 の量産デバイス

## エラッタの内容および回避策

データ シート DS083 の仕様に対するエラッタを次に示します。これらのエラッタは、デザインに影響を与える場合と与えない場合があります。

回避策の詳細についても示します。

エラッタ	デバイスの仕様	エラッタの内容および回避策	デザインでの影響
1	AVCCAUXRX	AVCCAUXRX を 1.8V $\pm$ 3% に設定して下さい。	なし
2	チャンネルボンディング機能	<p>チャンネル ボンディング一致検出ロジックは、常にアクティブであり、ディスエーブルにできません。</p> <p><b>回避策：</b></p> <p>チャンネル ボンディングの機能を使用しない場合は、一致シーケンスを、実際のデータストリームで発生しない不正シーケンスに設定する必要があります。</p> <p>たとえば、最大ランレングスが 80 未満のシステムの場合、データストリームで再生されない不正シーケンスとして、次の設定が有効です。</p> <pre> CHAN_BOND_SEQ_1_1 = 11'b011111111111 CHAN_BOND_SEQ_1_2 = 11'b011111111111 CHAN_BOND_SEQ_1_3 = 11'b011111111111 CHAN_BOND_SEQ_1_4 = 11'b011111111111 CHAN_BOND_SEQ_2_1 = 11'b011111111111 CHAN_BOND_SEQ_2_2 = 11'b011111111111 CHAN_BOND_SEQ_2_3 = 11'b011111111111 CHAN_BOND_SEQ_2_4 = 11'b011111111111  CHAN_BOND_SEQ_1_MASK = 4'b0000 CHAN_BOND_SEQ_2_MASK = 4'b0000  CHAN_BOND_SEQ_2_USE = FALSE  CHAN_BOND_SEQ_LEN = 8 </pre> <p>チャンネル ボンディング機能を使用する場合には、データシートに従ってご使用下さい。</p>	回避策を適用

エラッタ	デバイスの仕様	エラッタの内容および回避策	デザインでの影響
3	クロックコレクシオンモード	<p>パケット間で受信されたアイドル データに複数のアイドル シンボルが含まれる場合、パケット データが破損する可能性があります。</p> <p><b>回避策 #1:</b> クロック コレクション シンボルは、最低 12 バイト離す必要があります。</p> <p>特別なクロック コレクション シンボルを標準アイドル パターンで使用することで、この問題を確実に回避できます。特定のプロトコルが使用されている場合、またはユーザーが NON-IDLE 文字をデータに挿入できる場合に、この回避策は有効です。</p> <p>さらに、クロック コレクションがチャネル ボンディングと共に使用される場合には、クロック コレクション キャラクタは、チャネル ボンディング シーケンスから最低 32 バイト離す必要があります。</p> <p>標準パケットの動作: &lt;packet&gt;&lt;idle&gt;&lt;packet&gt;&lt;idle&gt;&lt;packet&gt;</p> <p>回避策: &lt;packet&gt;&lt;CC symbol&gt;&lt;idle&gt;&lt;packet&gt;</p> <p>クロック コレクション シンボルは、パケットの始点または終点の隣接を含むアイドル シーケンスのどこでも挿入することができます。</p> <p>標準のモード (アイドルが、クロック コレクション キャラクタでもあるとき)</p>  <p>回避策 (CC は、クロック コレクション キャラクタを示す)</p>  <p><b>回避策 #2:</b> Virtex-II Pro X のクロック コレクションをオフにし、ザイリンクス提供のモジュールを使用してファブリック機能をインプリメントします。</p>	回避策を適用

エラッタ	デバイスの仕様	エラッタの内容および回避策			デザインでの影響
4	使用可能な MGT モード および対応する PMA モード (シリコン上での検証)  MGTモード および PMA モードの詳細は、『RocketIO X トランシーバ ユーザーガイド』を参照	MGT モード	使用する PMA モード	使用の不可	なし
		OC48 /4-2-1 [4byte-2byte-1byte]	30_16, 30_32	可	
		XAUI /4-2-1	25_20, 25_40	可	
		INFINIBAND /4-2-1	28_20, 28_40	可	
		PCI-EXPRESS /4-2-1	28_20, 28_40	可	
		AURORA /4-2-1	25_20, 25_40, 28_20, 28_40, 30_16, 30_32	可	
		CUSTOM	20_40, 20_80, 25_20, 25_40, 28_20, 28_40, 30_16, 30_32	可	
5	ESD 保護	RocketIO X ピンの ESD 保護は CDM 200V です。			なし
6	クロック要件	TX ファブリック インターフェイスのホールド タイムの問題 - ファブリック クロックおよび TXUSRCLK2 は補間する必要があります。  RX 内部ホールドタイムの問題 - RXUSRCLK および RXUSRCLK2 の周波数が同一の場合にのみ RXUSRCLK および RXUSRCLK2 が補間する必要があります。			なし
7	TXOUTCLK (PMAINITがアクティブな場合、およびパワーダウンした場合にアクティブでなくなる)	PMAINIT または POWERDOWN がアクティブのとき、TXOUTCLK はアクティブではありません。TXOUTCLK を使用して TXUSRCLK/TXUSRCLK2 を生成するクロック方法では、TXOUTCLK はアクティブになりません。  また、一度パワーダウンすると、MGT はパワーダウンの状態から変わりません。  <b>回避策:</b> (1) PMA_ATTRIBUTE レジスタ 0x0f に 0x00 を書き込んで MGT をパワーダウンして下さい。  また、レジスタ 0x0f に 0x0f を書き込んで、パワーダウンを解除して下さい。  または  (2) PMAINIT または POWERDOWN 信号を使用する場合には、別のクロック方法を使用して下さい。			なし

エラッタ	デバイスの仕様	エラッタの内容および回避策	デザインでの影響
8	Lock の解除	レシーバのリファレンス クロックと RXRECCLK の間に周波数オフセットがある場合には、PMARXLOCK がレシーバ操作中にアクティブ解除され、エラーを引き起こす場合があります。  <b>回避策:</b> (1) PMARXLOCKSEL を使用してレシーバを LOCK-to-DATA または LOCK-to REFERENCE のいずれかに設定して下さい。	なし
9	終端インピーダンス	Rx の差動終端インピーダンス = $115 \Omega \pm 10\%$ Tx の差動終端インピーダンス = $134 \Omega \pm 10\%$  <b>メモ:</b> 差動特性インピーダンス $100 \Omega$ をボード設計することで最適な操作を行うことができます。	なし

## お問い合わせ先

このエラッタについてご質問などがある場合は、弊社のテクニカル サポートまたは販売代理店までお問合せ頂きますようお願い致します。お問い合わせ先につきましては、以下のサイトをご覧ください。

[www.xilinx.co.jp/support/services/contact\\_info.htm](http://www.xilinx.co.jp/support/services/contact_info.htm)

この通知は、英語版資料 (DS083-E01、バージョン 2.3、2004 年 6 月 30 日発行) を翻訳したものです。