

## 重要な製品情報

# Platform Flash

### XCF08P、XCF16P、XCF32P PROM エンジニアリング サンプルのエラッタおよび Platform Flash PROM データシートの確認

お客様各位

この度は弊社の Platform Flash PROM XCF00P エンジニアリング サンプル (ES) デバイスをご注文いただき誠にありがとうございます。弊社では、このデバイスの品質において万全を期しておりますが、このデバイスに該当するエラッタが確認されましたのでお知らせ致します。ご注文頂きましたデバイスが、ご使用のアプリケーションの必要条件を満たしているかをこの通知でご確認いただけますようお願い致します。

#### 最新のエラッタについて

エラッタ通知の内容は、最新の確認事項に基づいて常に更新されます。印刷された文書、またはお手元のコンピュータ保存文書としてご覧になる場合は、最新版であることを確認して下さい。最新版を入手される際は、[mysupport](https://www.xilinx.com/support) よりユーザー登録が必要となります。

#### 該当デバイス

今回のエラッタに該当する XCF00P PROM のエンジニアリング サンプルのパート番号は以下の通りです。

表1. エラッタに該当する XCF00P Platform Flash PROM のエンジニアリング サンプル

デバイス タイプ	XCF08PFS48CES, XCF16PFS48CES, XCF32PFS48CES, XCF08PVO48CES, XCF16PVO48CES, XCF32PVO48CES
パッケージ	FS48, VO48
温度グレード	すべての CES
デートコード	すべて

#### 該当デバイスの確認方法

このエラッタは、デバイス タイプに XCF08P、XCF16P、XCF32P と記されたすべての Platform Flash PROM デバイスが該当します。また、これらのデバイスには、エンジニアリング サンプルであることを示す「ES」マークが記されており、JTAG IDCODE のリビジョンコード 0000 (バイナリ) が表示されています。

## 使用上の注意

### ソフトウェア/プログラミング

1. iMPACT 6.1.03i (またはそれ以降) を使用して下さい。
2. ザイリンクスのパラレルケーブル IV (PC4) は、ソフトウェアを 5 MHz に設定して使用して下さい。

### デバイス アプリケーション

1. 外部抵抗がデータシート推奨の 4.7 K $\Omega$  またはそれ以下の値で PROM の OE/RESET# ピンおよび FPGA の INIT ピンに接続されていることを確認して下さい。
2. FPGA の DONE 信号を使用して PROM CE# を駆動する場合は、信号が仕様範囲内であり、立ち上がり/立ち下がり時間が短いことを確認して下さい。FPGA の DONE 信号を使用して LED を点灯し、PROM CE# を駆動する場合は、外部バッファを使用して LED を駆動します。
3. マスタモードの FPGA の CCLK ピンを外部クロックとしてではなくコンフィギュレーション CLK ソースとして使用して下さい。
4. FPGA がパラレル (SelectMAP) コンフィギュレーションモードを使用している場合のみ、PROM BUSY ピンを FPGA BUSY ピンに接続して下さい。シリアルコンフィギュレーションモードの場合は、PROM BUSY ピンが未接続または Low であることを確認して下さい。
5. 電源投入時、300  $\mu$ s 以内に 0V から最低動作電圧まで立ち上がる  $V_{CCINT}$  を使用して下さい。

## TCK を 3 MHz 以上に設定する必要がある

### 概要

設計に関するタイミングの問題として、TCK の周波数を JTAG プログラミングと JTAG リードバックをする際は、3 MHz 以上に設定する必要があります。この設定は、バウンダリ スキャン テストまたは FPGA コンフィギュレーション (CLK タイミング) には影響しません。

### 問題内容

該当デバイスで、3 MHz 以下の TCK 周波数でのプログラミングあるいはリードバックが適切に行えなくなります。

### 回避策

PC4 を使用して iMPACT 6.1.03i (またはそれ以降) の TCK を 5 MHz に設定し、Platform Flash PROM (XCF08P、XCF16P、XCF32P) をプログラムおよびリードバックします。

## PROM CLK\_OUT の使用時に FPGA が正常に起動しない場合がある

### 概要

該当デバイスでは、DONE 信号をアサートした後 FPGA が正常に起動するために必要なクロックが十分に追加されない場合があります。これらのデバイスでは、DONE 信号がアサートされた後に 0 から 2 のクロックが追加されます。また、正常に起動するために 6 クロックまで追加が必要な FPGA もあります。

### 問題内容

該当 PROM デバイスで、信頼性のあるコンフィギュレーション クロックを生成できなくなります。

## 回避策

コンフィギュレーション クロック ソースとして マスタ FPGA CCLK を使用して下さい。

## PROM 圧縮/解凍機能が使用不可能になる

### 概要

該当 PROM デバイスの圧縮/解凍機能が使用できなくなります。

### 問題内容

これらのデバイスの圧縮/解凍機能は使用しないで下さい。

## フリーランニング CLK ソースの使用時に PROM で正確なデータが出力されない場合がある

### 概要

該当 PROM デバイスでは、OE/RESET# 入力で Low から High (出力イネーブル) に遷移する際、外部のフリーランニング クロックに同期化しないという現象が断続的に発生する場合があります。

### 問題内容

該当 PROM デバイスから正確なデータ ストリームが出力されなくなります。

### 回避策

コンフィギュレーション クロック ソースとして マスタ FPGA CCLK を使用して下さい。FPGA のマスタ クロックは、FPGA INIT# (PROM OE/RESET#) 信号がレベル High に問題なく遷移した後のみイネーブルになります。

## 消去およびプログラム動作の場合には、BUSY ピンが必ず LOW になる

### 概要

ロジック デザインの問題により、BUSY 入力信号がインシステム プログラミング回路を妨害します。

### 問題内容

BUSY 入力が High の場合、PROM の消去およびプログラムができない可能性があります。

### 回避策

インシステム プログラミング中、BUSY 入力信号が Low であることを確認して下さい。シリアルコンフィギュレーション モードの場合、この BUSY 入力ピンを未接続のままにします。内部プルダウン抵抗により未接続の BUSY 入力を Low に保ちます。パラレル コンフィギュレーション モードの場合、PROM BUSY ピンは FPGA BUSY ピンに接続します。コンフィギュレーション後に FPGA のデザインで FPGA BUSY ピンを High にしていないことを確認して下さい。パラレル モードでは、コンフィギュレーション前は BUSY ピンが Low になります。

## VCCINT の電源立ち上がり時間を 300 $\mu$ s 以内にする

### 概要

PROM には、 $V_{CCINT}$  電圧レベルが power-on reset しきい値 ( $T_{VCCPOR}$ ) を超えた後に PROM の power-on reset 回路を駆動する内部クロックがあります。この内部クロックは、 $V_{CCINT}$  電圧レベルが



低いほど高速になります。 $V_{CCINT}$  電圧レベルが推奨動作範囲である 1.65V-2.00V に近づいた時にこの内部クロックは低速になり、power-on reset 回路が正常に動作します。一方、 $V_{CCINT}$  の power-on 立ち上がり時間が長い場合は、 $V_{CCINT}$  電圧レベルが推奨動作範囲に到達しない場合でも power-on reset 回路がアクティブな可能性があります。低い  $V_{CCINT}$  電圧レベルでは内部クロック周波数が power-on reset 回路の許容範囲を超えてしまうため、power-on reset 回路のエラーが発生します。

### 問題内容

power-on reset 回路のエラーにより、PROM の JTAG IDCODE レジスタ、プログラミング レジスタ およびコンフィギュレーション ダウンロード レジスタの初期化が不正に行われる可能性があります。その結果、正しい JTAG IDCODE の表示、インシステム プログラミング動作、および FPGA へのコンテンツ ダウンロードが実行されません。

### 回避策

300  $\mu$ s 以内に 0V から最低推奨動作電圧へ立ち上がる  $V_{CCINT}$  を使用して下さい。この電圧立ち上がり時間が短い場合は、power-on reset シーケンスが実行される前に  $V_{CCINT}$  電圧が十分なレベルに達することができ、power-on reset 回路の初期化シーケンスが正常に完了します。

## お問い合わせ先

このエラッタに関しましてご質問などございましたら、弊社のテクニカル サポートまたは販売代理店までお問い合わせ下さいませよう願ひ致します。

[www.xilinx.co.jp/support/services/contact\\_info.htm](http://www.xilinx.co.jp/support/services/contact_info.htm)

この通知は、英語版 (DS123-E01、バージョン 1.3、2004 年 4 月 12 日発行) を翻訳したものです。