



これらのエラッタは、Spartan-3 XC3S50 FPGA の量産デバイスおよびエンジニアリング サンプルの両方に適用されます。その他の Spartan-3 FPGA では、ここに記載したエラッタは該当しません。記載されている以外のデバイスをご使用の場合は、各デバイスのエラッタをご確認下さい。

平素は、Spartan-3 XC3S50 デバイスをご使用頂き、誠にありがとうございます。弊社では、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。この文書をお読みになり、XC3S50 FPGA デバイスがお客様のアプリケーション要件を満たしているかをご確認下さい。弊社では、Spartan-3 アプリケーションに影響を与える可能性のある既知の問題をお客様にお知らせするよう努めております。また、この通知には、最新の Spartan-3 デザインに関する[アドバイザリ](#)も含まれています。

XC3S50J FPGA をご使用の場合は、XC3S50J および XC3S1000J FPGA デバイスを対象としたエラッタを別途ご確認頂けますようお願い致します。

最新版のエラッタ

エラッタの通知は、エラッタの特性上、新たに発見され次第更新されますことをご了承下さい。現在ご覧の通知が、印刷された文書、またはお手元のコンピュータに保存されている場合は、最新版であることをご確認下さい。最新版は、次のサイトより入手頂けます。

http://www.xilinx.co.jp/xlnx/xweb/xil_publications_display.jsp?category=-1210888

該当デバイス

このエラッタは、[表 1](#) に示す XC3S50 FPGA に適用されます。エラッタが適用されるエンジニアリング サンプル (ES マーク付) および量産デバイス (ES マークなし) を以下に示します。また、[エラッタの詳細](#) で、さらに特定の問題に影響を受けるデバイスについて説明します。

表 1: このエラッタが該当する Spartan-3 XC3S50 FPGA

デバイスタイプ	XC3S50
パッケージ	すべて該当
スピードグレード	すべて該当
デートコード	すべて該当

該当デバイス

これらのエラッタは、デバイスに「XC3S50」と記載されたすべての Spartan-3 FPGA デバイスに該当します。現在、XC3S50 FPGA は 2 つのウェハ工場で製造されております。エラッタが修正された最新のマスク セットは、UMC 300mm ウェハ工場 で 90nm プロセス テクノロジを使用して製造され、「EGQ」マスク/ファブリケーション/プロセスコードがマーキングされています。前リビジョン B マスク セットも UMC 300mm ウェハ工場 で 90nm プロセス テクノロジを使用して製造され、マスク/ファブリケーション/プロセスコードは「BGQ」です。UMC 200mm ウェハ工場 で 90nm プロセス テクノロジを使用して製造されたデバイスには、「BFQ」マスク/ファブリケーション/プロセスコードがマーキングされています。

[表 2](#) をご覧下さい。また、詳細は、[XCYN05009 「Spartan-3 ファミリの 300mm ウェハ工場として UMC を追加」](#) を参照して下さい。

表 2 : Spartan-3 製造工場別のマスク リビジョン、ファブリケーションおよびプロセス コード

製造工場	マスク リビジョン	ファブリケーション/ プロセスコード	トップ マーク例
UMC 200mm、90nm (8D)	A	FQ	図 1
	B		図 1
UMC 300 mm、90nm (12A)	A	GQ	該当しません
	B		図 2
	E		図 2



図 1 : UMC 200mm 工場 で製造されたファブリケーション/プロセス コードが「FQ」の Spartan-3 FPGA



図 2 : UMC 300mm 工場 で製造されたファブリケーション/プロセス コードが「GQ」の Spartan-3 FPGA

ハードウェア エラッタの概要

表 3 に XC3S50 FPGA に関する既知のハードウェア問題を示します。各既知の問題の詳細については、「[ハードウェア エラッタの詳細](#)」をご覧ください。また、表 3 には、エラッタが該当するマスク リビジョンも示しています。

表 3：ハードウェア エラッタの説明

内容	マスク/ファブ리케이션/ プロセス コード		
	「AFQ」 「BFQ」	「AGQ」	「EGQ」
VCCINT を最後に投入する電源シーケンスで、適切にコンフィギュレーションされない場合がある	該当	N/A	N/A
ファブ리케이션/プロセスコードが「GQ」で、デートコードが「0532」より前のデバイスはリードバック機能が使用できない	N/A	該当	「0532」以降には該当しない
マスク リビジョン	初期	改訂	最新

N/A=該当なし

ハードウェア エラッタの詳細

このエラッタの発行時における、既知の問題の詳細について示します。

VCCINT 電源を最後に投入する電源シーケンスで、適切にコンフィギュレーションされない場合がある

該当するアプリケーション

この問題は、VCCINT 電源が最後に Power-On Reset (POR) 電圧しきい値に達するアプリケーションで発生する場合があります。表 4 に示すように、この問題は、ファブ리케이션/プロセス コードが「FQ」と記載されているデバイスだけに該当します。

VCCINT が、最初、あるいは 2 番目に POR しきい値に達するアプリケーションでは問題ありません。

表 4：VCCINT 電源シーケンスの問題が該当する Spartan-3 XC3S50 FPGA

デバイス タイプ	XC3S50
マスク リビジョン コード	A または B
ファブ리케이션/プロセス コード	FQ のみ
パッケージ	すべて該当
スピード グレード	すべて該当
デート コード	すべて該当

問題内容

3 種類の電圧入力 (VCCINT、VCCAUX、およびバンク 4 への VCCO) が Spartan-3 と Spartan-3L の Power On Reset (POR) 回路の動作を制御します。電源を投入する際には、FPGA 内にあるこの POR 回路が 3 つの電源レールをモニタします。各レールの電圧がそれぞれの POR しきい値を越えると、FPGA はそのコンフィギュレーション プロセスを続行します。

問題が発生する可能性があるのは、VCCINT 電源供給が最後に有効な POR 電圧を越えた場合に限られ、かつ立ち上がり時間が 500µs より遅い場合です。コンフィギュレーションが適切に行われない場合、INIT_B は Low を維持し、PROG_B プログラム ピンが無視されます。ワースト ケースの電源シーケンスの場合でも、実際にエラーが発生する確率は非常に低く、通常数 PPM の値です。この問題は、低温で発生しやすくなっています。

修正方法または回避策

オプション 1: 300mm ウェハ工場で製造された Spartan-3 FPGA または 200mm ウェハ工場で特別にスクリーニングされた FPGA を使用して下さい。

200mm ウェハ工場で製造された FPGA が必要な場合 (ほとんどのアプリケーションは不要) は、通常のデバイス ナンバーの後に「0961」を追加して注文して下さい。特別にスクリーニングされたデバイスが出荷されます。

オプション 2: POR しきい値レベルを超える順序が VCCINT が最後とならない電源投入シーケンスに変更して下さい。

VCCINT は、VCCAUX が最小 POR しきい値 ($VCCAUXT = 0.8V$) に達する前、またはそれと同時に最大 POR しきい値 ($VCCINTT = 1.0V$) に達する必要があります。図 3 に、この場合の電源投入シーケンスにおけるしきい値の関係を示します。

または、VCCINT は、バンク 4 に電源入力する VCCO_4 が最小 POR しきい値 ($VCCO4T = 0.4V$) に達する前、またはそれと同時に最大 POR しきい値 ($VCCINTT = 1.0V$) に達する必要があります。図 3 には、このような電源投入シーケンスにおけるしきい値の関係も示しています。

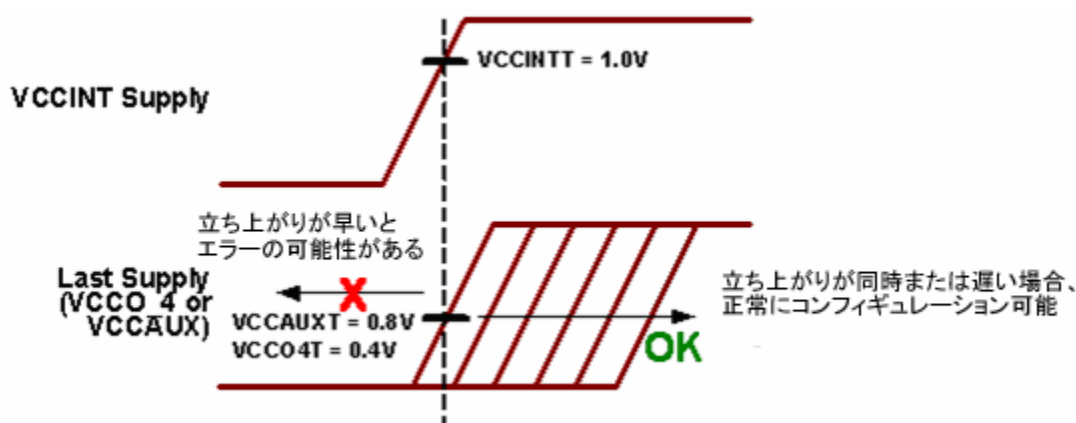


図 3: VCCINT 電源の投入順序が最後とならない場合の条件

消費電力が最小となるシーケンスは、VCCAUX が最初、または VCCINT と同時に供給され、次に VCCO_4 が電源入力される場合です。VCCAUX の前に VCCINT が電源入力される場合、VCCINT 電源では、VCCAUX 電源が最大 POR しきい値に達するまで過渡電流が消費されます。この過渡電流は、数百ミリアンペア (mA) です。この追加分となる電流は、コンフィギュレーション完了には必要ないため、VCCAUX 電源が規定値に達する時点で停止します。

このような電源投入シーケンスの制限は、I/O バンク 0 から 3 および I/O バンク 5 から 7 への VCCO 入力には適用されません。これは、これらの電圧レールは POR 回路への入力ではないためです。

オプション 3: VCCINT 電源を最後に投入する必要があるシステムでは、図 4 に示すように、最大 POR しきい値電圧 ($VCCINTT = 1.0V$) までの立ち上がり時間が $500\mu S$ より短いことを確認して下さい。

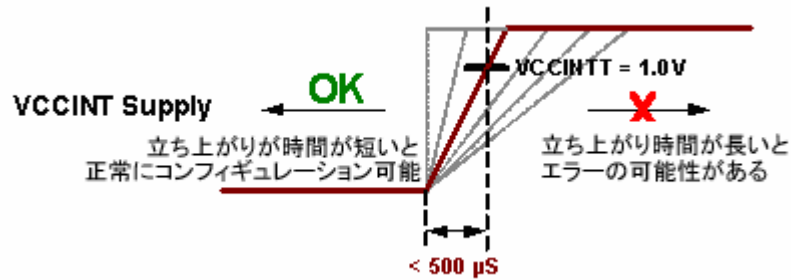


図 4 : VCCINT 電源を最後に投入する場合の立ち上がり時間

ファブリケーションプロセスコードが「GQ」で、デートコードが「0532」より前のデバイスはリードバック機能が使用できない

該当するアプリケーション

表 5 に示すように、この問題は、図 2 に示したファブリケーションプロセスコードが「BGQ」と記載されている XC3S50 FPGA でリードバック機能を使用する場合に発生します。

表 5 : リードバックの問題が該当する Spartan-3 XC3S50 FPGA

デバイスタイプ	XC3S50
マスクリビジョンコード	B (すべてのデートコード) E (「0532」より前のデートコード)
ファブリケーション/プロセスコード	GQ のみ
パッケージ	すべて該当
スピード グレード	すべて該当
デートコード	すべて該当

スレーブ パラレルとマスタ パラレル リードバック、および JTAG リードバックを含むデバイスのリードバック機能すべてがこの問題の影響を受けます。それ以外の動作状態では、XC3S50 FPGA は正常に機能します。

問題内容

表 5 に示すデバイスでは、リードバック機能が使用できません。

修正方法または回避策

ファブリケーション/プロセスコードが「FQ」の XC3S50 FPGA のリードバック機能は問題ありません。マスク/ファブリケーション/プロセスコードが「EGQ」の XC3S50 FPGA で、デートコードが「0532」またはそれ以降に製造されたデバイスのリードバック機能も問題ありません。

アドバイザリ

ここでは、XC3S50 FPGA アプリケーションに影響を与える可能性のあるソフトウェアの変更に関するアドバイザリの内容を記載します。[表 6](#) に、アドバイザリの概要とその問題に対応するソフトウェアのバージョンを示します。

表 6: アドバイザリおよびソフトウェア アップデート

アドバイザリ	ISE バージョン
ISE 6.3i サービス パック 1 (SP1) またはそれ以降のバージョンを使用してビットストリームのアップデートが必要	ISE 6.3i, SP 1
Spartan-3 DCM に必要な新規 FACTORY_JF 設定	ISE 8.2i

ISE 6.3i サービス パック 1 (SP1) またはそれ以降のバージョンを使用してビットストリームのアップデートが必要

Spartan-3 ブロック RAM の内部タイミングは、FPGA コンフィギュレーションのビットストリームの設定により制御されます。歩留まり解析に基づいて、Spartan-3 デバイスに新たに最適化されたビットストリームが必要であることが判明しました。これらの新しい設定により、ブロック RAM の内部タイミングが向上し、その結果、製品を利用できる可能性が向上します。この設定は、ブロック RAM 内の内部タイミングのみ改善するもので、FPGA アプリケーションにおけるいかなるタイミングにも影響を及ぼしません。向上した内部ブロック RAM タイミングの実効パスは、書き込みイネーブル タイミングと入力ラッチ イネーブル タイミングの関係です。

これらの新しいビットストリーム設定は、ザイリンクス ISE 6.3i サービス パック 1 よりデフォルトで設定されています。新しいバージョンは、2004 年 9 月 13 日よりザイリンクス ウェブ サイトから入手できます。デートコードが、2004 年 33 週目を意味する「0433」以降の XC3S1500 FPGA は、新しいビットストリーム設定でテストされています。[図 5](#) に Spartan-3 FPGA のトップ マーク例を示します。デバイス タイプおよびデートコードなどのハイライトされた部分から、該当デバイスを識別して下さい。



図 5: Spartan-3 パッケージ マークの例

ザイリンクス ISE 6.3i 開発ソフトウェア サービス パック 1 以前のバージョンを使用して作成した Spartan-3 FPGA コンフィギュレーション ビットストリームは、再生成する必要があります。再生成されたビットストリームは、どの Spartan-3 デバイスでも問題なく使用できます。

Spartan-3 DCM に必要な新規 FACTORY_JF 設定

該当するアプリケーション

この問題は、デジタル クロック マネージャ (DCM) を使用するアプリケーションに影響を与える可能性があります。次の場合のみ問題が生じます。

- DCM を 1 個以上使用するアプリケーション
- 固定/可変モードのいずれかの位相シフトを使用する DCM がある場合
- 位相シフトが負の値、または 600ps 未満の正の値である場合

これら 3 つの条件に該当しない場合、この問題は生じません。

問題内容

DCM は、プロセス、電圧、および温度 (PVT) による影響を自動的に補正し、定期的にタップ遅延の設定を更新します。このようにタップ遅延を更新する割合は、FACTORY_JF という内部属性によって制御されます。弊社では、最適な FACTORY_JF 設定値が FACTORY_JF=8080 であることを確認しました。これ以外の値を設定する場合、プロセス、電圧、および温度を適切にトラックできない可能性があります。

FACTORY_JF=8080 以外の値を使用すると、DCM で LOCKED 出力が適切にアサートされずにロック状態が解除されるため、クロック出力が不適切になる場合がまれにあります。

修正方法または回避策

ザイリンクス ISE 8.2i 以降のソフトウェアでは、最適な設定値が適用されます。それ以前のバージョンをご使用の場合、デザインでインスタンス化された各 DCM に対して FACTORY_JF=8080 となるように設定を修正できます。[表 7](#) に、DCM 設定を更新する最適な方法を現在の設計状況別に示します。

表 7: FACTORY_JF DCM 設定の更新方法オプション

方法	設計状況	修正後の手順
FPGA Editor	デザイン完成、今後変更の予定なし	Bitstream Generator の再実行
制約ファイル	設計段階	インプリメンテーションの再実行
VHDL または Verilog ソースコード	設計段階	フロー全体の再実行

FPGA Editor

デザインが完成し、変更の予定がない場合、FPGA Editor を使用して FACTORY_JF 設定を更新する方法が最も容易です。

- FPGA Editor を起動するためには、Windows PC で [スタート] → [ザイリンクス ISE 6] → [アクセサリ] → [FPGA Editor] をクリックします。
- [File] → [Open] を選択します。次に、[図 6](#) に示すように、完成したデザインの *.ncd ファイルを選択し、Edit Mode を [Read Write] に設定します。

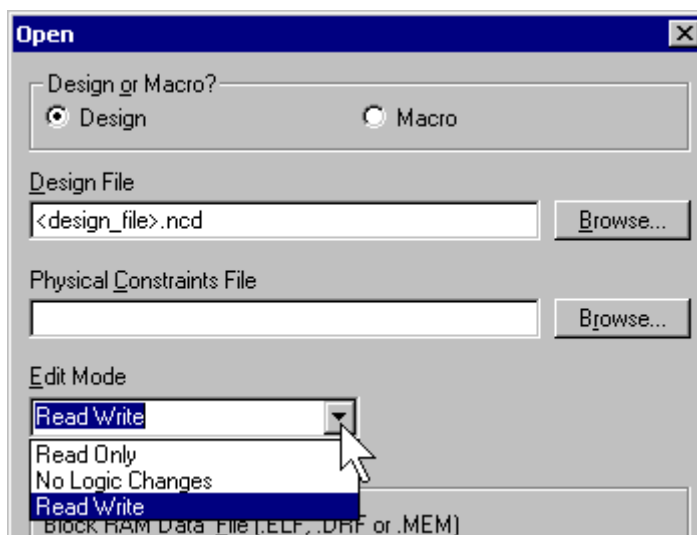


図 6 : FPGA Editor で修正する場合

- 各 DCM に対して次のように設定します。
 - カーソルを使用し、DCM ブロックを選択します。
 - 右側にあるコマンド ボタンのバーから [editblock] をクリックします。
 - 図 7 に示すように、アイコン バーから修正モードのボタンをクリックします。



図 7 : DCM の設定を変更するために [Edit Mode] ボタンをクリック

- 図 8 に示すように、FACTORY_JF DCM 属性の設定で 2 つの 0X80 オプションをオンにします。

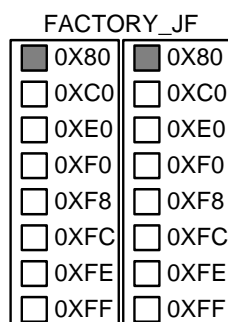


図 8 : DCM FACTORY_JF 設定の修正ブロック

- すべての DCM 設定の修正後にデザインを保存します。
- Bitstream Generator を再実行します。

制約ファイル

設計途中のデザインで修正を行う場合にはユーザー制約を適用する方法が容易です。既存のユーザー制約ファイル (UCF) を修正するか、新しいファイルを作成し、デザイン内のすべての DCM に対して、次の制約を適用して下さい。

```
INST <dcm_inst> FACTORY_JF = "8080";
```

VHDL の場合

VHDL の場合、DCM コンポーネント宣言および DCM のすべてのコンポーネント インスタンスシートで FACTORY_JF 値を更新して下さい。次に示すコードの一部は、XST VHDL の例です。その他のロジック合成パッケージでの VHDL ソースは、わずかな差異がある場合があります。

```
component DCM -- DCM component declaration
  generic(
    ...
    FACTORY_JF : bit_vector := x"8080";
    ...
  );
...

DCM_INST : DCM -- DCM instantiation
  generic map(
    ...
    FACTORY_JF => x"8080",
    ...
  )
```

Verilog の場合

Verilog の場合、次の XST Verilog コードの一部に示すように、FACTORY_JF 値を更新して下さい。

```
DCM DCM_INST (
  ...
);
...
// synthesis attribute FACTORY_JF of DCM_INST is "8080"
...
// synopsys translate_off
...
defparam DCM_INST.FACTORY_JF = 16'h8080;
...
// synopsys translate_on
```

Clock Wizard を使用する場合

Clock Wizard は、ユーザーの入力に基づいて、自動的に VHDL または Verilog 記述を生成します。この Clock Wizard を使用する際には、HDL ソースを前述の VHDL または Verilog の例に従って更新して下さい。また、Clock Wizard を実行するごとにソースファイルが上書きされることに予めご注意ください。

その他の参考資料

- ザイリンクス アンサー #21559 : 「FACTORY_JF 属性の正しい値」

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?getPagePath=21559

ソフトウェア要件

各エラッタに該当のデバイスを使用される場合は、次のザイリンクス ソフトウェアをインストールし、ビットストリーム ファイルを生成して下さい。

- ISE 8.2i 以降
(最新版は次のサイトより入手頂けます)

www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

お問い合わせ先

このエラッタについてご質問などがある場合は、弊社の販売代理店までお問い合わせ頂けますようお願い致します。お問い合わせ先につきましては、次のサイトをご覧ください。または、ザイリンクス テクニカル サポートまでお問い合わせ下さい。

www.xilinx.co.jp/company/contact.htm

ザイリンクス サポート サイトは、次のリンクからご覧頂けます。

www.xilinx.co.jp/support/mysupport.htm

改訂履歴

日付	バージョン	変更内容
2004/6/8	1.0	初版リリース
2004/12/20	2.2	VCCINT 電源シーケンス の問題に関する記載を追加。 リードバック 問題に関する記載を追加。エラッタに該当する Spartan-3 FPGA マスク バージョン、製造工場、およびプロセス テクノロジーを識別する トップ マーク に関する情報を追加。 エラッタが該当するマスク リビジョン を明記。ISE 6.3i サービス パック 1 に実装されている ブロック RAM ビット ストリーム 設定に関する追記。 DCM FACTORY_JF の新規設定 に関する説明を追加。
2005/1/7	2.3	表 2 に UMC 200 mm、90 nm 工場 (8D) で製造されたデバイスのマスク「A」リビジョンを追加。UMC 300 mm、90 nm 工場 (12A) で製造されたデバイスの VCCINT 電源シーケンス の問題が削除されたため、 表 3 および 修正方法または回避策 を更新。
2005/8/8	2.4.1	表 2 および 表 3 を変更し、エラッタが修正されたマスクリビジョン E (デート コード「0532」以降)を追加。マスクリビジョン E (デート コード「0532」以降)ではエラッタが修正されたため、 リードバック機能 を変更。 VCCINT 電源 を変更し、オプションを追加。アドバイザリの DCM FACTORY_JF の新規設定 に関する説明を追加
2006/12/14	2.5	300mm 製造工場に関して XC�05009 へのリンクを追加。 DCM FACTORY_JF の新規設定 を更新し、ISE8.2i では、自動的に新しい設定が含まれることを記載。

このエラッタは、英語版 (DS099-E02、バージョン 2.5、2006 年 12 月 14 日発行) を翻訳したものです。