



これらのエラッタは、Spartan-3 XC3S2000 FPGA の量産デバイスおよびエンジニアリング サンプルの両方に適用されます。その他の Spartan-3 FPGA では、ここに記載したエラッタは該当しません。記載されている以外のデバイスをご使用の場合は、各デバイスのエラッタをご確認下さい。

平素は、Spartan-3 XC3S2000 デバイスをご使用頂き、誠にありがとうございます。弊社では、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。この文書をお読みになり、XC3S2000 FPGA デバイスがお客様の使用条件に該当するかをご確認下さい。弊社では、Spartan-3 アプリケーションに影響を与える可能性のある既知の問題をお客様にお知らせするよう努めております。また、この通知には、最新の Spartan-3 デザインに関する[アドバイザリ](#)も含まれています。

## 最新版のエラッタ

エラッタの通知は、エラッタの特性上、新たに発見され次第更新されることをご了承下さい。現在ご覧になっている通知が、印刷された文書、またはお手元のコンピュータに保存されている場合は、最新版であることをご確認下さい。最新版は、次のサイトより入手頂けます。

[http://www.xilinx.co.jp/xlnx/xweb/xil\\_publications\\_display.jsp?category=-1210888](http://www.xilinx.co.jp/xlnx/xweb/xil_publications_display.jsp?category=-1210888)

## 該当デバイス

このエラッタは、[表 1](#) に示す XC3S2000 FPGA にも適用されます。エラッタが適用されるエンジニアリング サンプル (ES マーク付) および量産デバイス (ES マークなし) を以下に示します。[エラッタの詳細](#)では、特定の問題に影響を受けるデバイスについてさらに説明します。

表 1: このエラッタが該当する Spartan-3 XC3S2000 FPGA

デバイスタイプ	XC3S2000
パッケージ	すべて該当
スピードグレード	すべて該当
デートコード	すべて該当

## 該当デバイスの確認方法

これらのエラッタは、デバイス マークに「XC3S2000」と記載されたすべての Spartan-3 FPGA デバイスに該当します。XC3S2000 FPGA は、UMC 300mm ウェハ工場で、90nm プロセス テクノロジを使用して製造されています。最新のマスク セットには、「EGQ」マスク/ファブリケーション/プロセスコードがマーキングされており、初期のマスク セットには「BGQ」とマーキングされています。[表 2](#) をご覧下さい。

表 2: Spartan-3 製造工場、マスク、およびファブリケーション/プロセス コード

製造工場	マスク リビジョン	ファブリケーション/ プロセス コード	トップ マーク例
UMC 300mm, 90nm (12A)	B (初期) E (最新)	GQ	<a href="#">図 2</a>



図 1 : UMC 300mm 工場で製造されたファブリケーション/プロセス コードが「GQ」の Spartan-3 FPGA

## ハードウェア エラッタの概要

表 3 に、XC3S2000 FPGA に関する既知のハードウェア問題を示します。各既知の問題の詳細については、「[ハードウェア エラッタの詳細](#)」をご覧ください。表 3 には、エラッタが該当するマスクリビジョンも示しています。

表 3 : ハードウェア エラッタの概要

内容	マスク/ファブリケーション/ プロセス コード
	「BGQ」
<a href="#">デートコードが「0532」より前のデバイスはリードバック機能が使用できない</a>	該当
マスク リビジョン	初期

## ハードウェア エラッタの詳細

このエラッタの発行時における、既知の問題の詳細について示します。

### デートコードが「0532」より前のデバイスはリードバック機能が使用できない

#### 該当するアプリケーション

表 4 に示すように、この問題は、図 1 に示したにファブリケーション/プロセス コードが「BGQ」と記載された XC3S2000 FPGA でリードバック機能を使用する場合に発生します。

表 4: リードバックの問題が該当する Spartan-3 XC3S2000 FPGA

デバイスタイプ	XC3S2000
マスクリビジョンコード	B (すべてのデートコード) E (「0532」より前のデートコード)
ファブリケーション/プロセスコード	GQ のみ
パッケージ	すべて該当
スピードグレード	すべて該当
デートコード	すべて該当

スレーブ パラレルとマスタ パラレル リードバック、および JTAG リードバックを含むデバイスのリードバック機能すべてが、この問題の影響を受けます。それ以外の動作状態では、XC3S2000 FPGA は正常に機能します。

#### 問題内容

表 4 に示すデバイスでは、リードバック機能が使用できません。

### 修正方法または回避策

マスク/ファブ리케이션/プロセスコードが「EGQ」の XC3S2000 で、デートコードが「0532」またはそれ以降に製造されたデバイスのリードバック機能も問題ありません。また、通常のデバイス ナンバー（SCD コードではない）を使用して XC3S2000 を注文され、出荷予定日が 2005 年 8 月 15 日以降のデバイスには、自動的に最新のマスク リビジョンが含まれるため、リードバック機能は問題ありません。

## アドバイザリ

XC3S2000 FPGA アプリケーションに影響を与える可能性のあるソフトウェアの変更に関するアドバイザリの内容を記載します。表 5 に、アドバイザリの概要とその問題に対応するソフトウェアのバージョンを示します。

表 5: アドバイザリおよびソフトウェア アップデート

アドバイザリ	ISE バージョン
<a href="#">ISE 6.3i サービス パック 1 (SP1) またはそれ以降のバージョンを使用してビットストリームのアップデートが必要</a>	ISE 6.3i、 SP 1
<a href="#">Spartan-3 DCM に必要な新規 FACTORY JF 設定</a>	ISE 8.2i

### ISE 6.3i サービス パック 1 (SP1) またはそれ以降のバージョンを使用してビットストリームのアップデートが必要

Spartan-3 ブロック RAM の内部タイミングは、FPGA コンフィギュレーションのビットストリームの設定により制御されます。歩留まり解析に基づいて、Spartan-3 デバイスに新たに最適化されたビットストリームが必要であることが判明しました。これらの新しい設定により、ブロック RAM の内部タイミングが向上し、その結果、製品を利用できる可能性が向上します。この設定は、ブロック RAM 内の内部タイミングのみ改善するもので、FPGA アプリケーションにおけるいかなるタイミングにも影響を及ぼしません。向上した内部ブロック RAM タイミングの実効パスは、書き込みイネーブル タイミングと入力ラッチイネーブル タイミングの関係です。

これらの新しいビットストリーム設定は、ザイリンクス ISE 6.3i サービス パック 1 よりデフォルトで設定されています。新しいバージョンは、2004 年 9 月 13 日よりザイリンクス ウェブ サイトから入手できます。デートコードが、2004 年 33 週を意味する「0433」以降の XC3S2000 FPGA は、新しいビットストリーム設定で検査されています。図 2 に Spartan-3 FPGA のトップ マーク例を示します。デバイス タイプおよびデートコードなどのハイライトされた部分から、該当デバイスを識別して下さい。

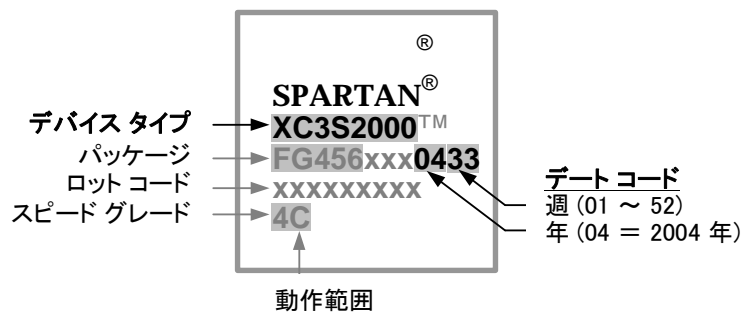


図 2: Spartan-3 パッケージ マークの例

ザイリンクス ISE 6.3i 開発ソフトウェア サービス パック 1 以前のバージョンを使用して作成した Spartan-3 FPGA コンフィギュレーション ビットストリームは、再生成する必要があります。再生成されたビットストリームは、どの Spartan-3 デバイスでも問題なく使用できます。

## Spartan-3 DCM に必要な新規 FACTORY\_JF 設定

### 該当するアプリケーション

この問題は、デジタル クロック マネージャ (DCM) を使用するアプリケーションに影響を与える可能性があります。次の条件が該当すると問題が生じます。

- DCM を 1 個以上使用するアプリケーション
- 固定/可変モードのいずれかの位相シフトを使用する DCM がある場合
- 位相シフトが負の値、または 600ps 未満の正の値である場合

これら 3 つの条件に該当しない場合、この問題は生じません。

### 問題内容

DCM は、プロセス、電圧、および温度 (PVT) の変更を自動的に補正し、定期的にタップ遅延の設定を更新します。このようにタップ遅延を更新する割合は、FACTORY\_JF という内部属性によって制御されます。弊社では、最適な FACTORY\_JF 設定値が FACTORY\_JF=8080 であることを確認しました。これ以外の値を設定する場合、プロセス、電圧、および温度を適切にトラックできない可能性があります。

FACTORY\_JF=8080 以外を使用する際には、可能性は低いものですが、DCM で LOCKED 出力が適切にアサートされず、ロック状態が解除されるために、クロック出力が不適切となることがあります。

### 修正方法または回避策

ザイリンクス ISE 8.2i 以降では、最適な設定値が適用されます。それ以前のバージョンをご使用の場合、デザインでインスタンス化された各 DCM に対して FACTORY\_JF=8080 となるように設定を修正して下さい。表 6 に、DCM 設定を更新する最適な方法を現在の設計状況別に示します。

表 6: FACTORY\_JF DCM 設定の更新方法オプション

方法	設計状況	修正後の手順
<a href="#">FPGA Editor</a>	デザイン完成、今後変更の予定なし	Bitstream Generator の再実行
<a href="#">制約ファイル</a>	設計段階	インプリメンテーションの再実行
<a href="#">VHDL</a> または <a href="#">Verilog</a> ソースコード	設計段階	フロー全体の再実行

### FPGA Editor

デザインが完成し、変更の予定がない場合、FPGA Editor を使用して FACTORY\_JF 設定を更新する方法が最も容易です。

- FPGA Editor を起動するためには、Windows PC で [スタート] → [ザイリンクス ISE 6] → [アクセサリ] → [FPGA Editor] をクリックします。
- [File] → [Open] を選択します。次に、[図 3](#) に示すように、完成したデザインの \*.ncd ファイルを選択し、Edit Mode を [Read Write] に設定します。

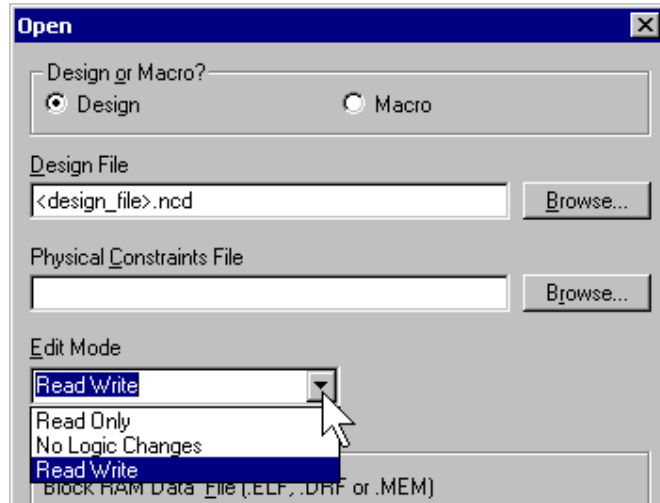


図 3 : FPGA Editor で修正する場合

- 各 DCM に対して次のように設定します。
  - カーソルを使用し、DCM ブロックを選択します。
  - 右側にあるコマンド ボタンのバーから [editblock] をクリックします。
  - 図 4 に示すように、アイコン バーから修正モードのボタンをクリックします。



図 4 : DCM の設定を変更するために [Edit Mode] ボタンをクリック

- 図 5 に示すように、FACTORY\_JF DCM 属性の設定で 2 つの 0X80 オプションをオンにします。

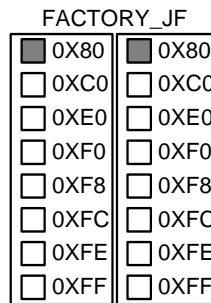


図 5 : DCM FACTORY\_JF 設定の修正ブロック

- すべての DCM 設定の修正後にデザインを保存します。
- Bitstream Generator を再実行します。

### 制約ファイル

設計途中のデザインで修正を行う場合にはユーザー制約を適用する方法が容易です。既存のユーザー制約ファイル (UCF) を修正するか、新しいファイルを作成し、デザイン内のすべての DCM に対して、次の制約を適用して下さい。

```
INST <dcm_inst> FACTORY_JF = "8080";
```

### VHDL の場合

VHDL の場合、DCM コンポーネント宣言および DCM のすべてのコンポーネント インスタンスシートで FACTORY\_JF 値を更新して下さい。次に示すコードの一部は、XST VHDL の例です。その他のロジック合成パッケージでの VHDL ソースは、わずかな差異がある場合があります。

```
component DCM -- DCM component declaration
  generic(
    ...
    FACTORY_JF : bit_vector := x"8080";
    ...
  );
...
```

```
DCM_INST : DCM -- DCM instantiation
  generic map(
    ...
    FACTORY_JF => x"8080",
    ...
  )
```

### Verilog の場合

Verilog の場合、次の XST Verilog コードの一部に示すように、FACTORY\_JF 値を更新して下さい。

```
DCM DCM_INST (
  ...
);
...
// synthesis attribute FACTORY_JF of DCM_INST is "8080"
...
// synopsys translate_off
...
defparam DCM_INST.FACTORY_JF = 16'h8080;
...
// synopsys translate_on
```

### Clock Wizard を使用する場合

Clock Wizard は、ユーザーの入力に基づいて、自動的に VHDL または Verilog 記述を生成します。この Wizard を使用する際には、HDL ソースを前述の VHDL または Verilog の例に従って更新して下さい。また、Clock Wizard を実行するごとにソース ファイルが上書きされることに予めご注意ください。

## ソフトウェア要件

各エラッタに該当のデバイスを使用される場合は、次のザイリンクス ソフトウェアをインストールし、ビットストリーム ファイルを生成して下さい。

- ISE 8.2i 以降  
(最新版は次のサイトより入手頂けます)

[www.xilinx.co.jp/xlnx/xil\\_sw\\_updates\\_home.jsp](http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp)

## お問い合わせ先

このエラッタについてご質問などがある場合は、弊社の販売代理店までお問い合わせ頂けますようお願い致します。お問い合わせ先につきましては、以下のサイトをご覧ください。または、ザイリンクス テクニカル サポートまでお問い合わせ下さい。

[www.xilinx.co.jp/company/contact.htm](http://www.xilinx.co.jp/company/contact.htm)

ザイリンクス サポート サイトは、次のリンクからご覧頂けます。

[www.xilinx.co.jp/support/mysupport.htm](http://www.xilinx.co.jp/support/mysupport.htm)

## 改訂履歴

日付	バージョン	変更内容
2004/12/20	2.2	<a href="#">VCCINT 電源シーケンス</a> の問題に関する記載を追加。 <a href="#">リードバック</a> 問題に関する記載を追加。エラッタに該当する Spartan-3 FPGA マスクバージョン、製造工場、およびプロセス テクノロジーを識別する <a href="#">トップマーク</a> に関する情報を追加。 <a href="#">エラッタが該当するマスク リビジョン</a> を明記。ISE 6.3i サービス パック 1 に実装されている <a href="#">ブロック RAM ビットストリーム</a> 設定に関する追記。 <a href="#">DCM FACTORY JF の新規設定</a> に関する説明を追加。
2005/1/7	2.3	UMC 300mm、90nm 工場 (12A) で製造されたデバイスの <a href="#">VCCINT 電源シーケンス</a> の問題が削除されたため、 <a href="#">表 3</a> を更新。
2005/8/8	2.4	表 2 および表 3 を変更し、エラッタが修正されたマスクリビジョン E (デート コード「0532」以降)を追加。マスクリビジョン E (デート コード「0532」以降)ではエラッタが修正されたため、 <a href="#">リードバック機能</a> を変更。 <a href="#">VCCINT 電源</a> を変更し、オプションを追加。アドバイザリの <a href="#">DCM FACTORY JF の新規設定</a> に関する説明を追加。
2006/12/14	2.5	<a href="#">DCM FACTORY JF の新規設定</a> を更新し、ISE8.2i では、自動的に新しい設定が含まれることを記載。

このエラッタは、英語版 (DS099-E07、バージョン 2.5、2006 年 12 月 14 日発行) を翻訳したものです。