



このエラッタは、Spartan-3 XC3S4000 および XC3S4000L FPGA の量産デバイスおよびエンジニアリング サンプルの両方に適用されます。その他の Spartan-3 FPGA では、ここに記載したエラッタは該当しません。記載されている以外のデバイスをご使用の場合は、各デバイスのエラッタをご確認ください。

平素は、Spartan-3 XC3S4000 および XC3S4000L FPGA デバイスをご使用頂き、誠にありがとうございます。弊社では、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。この文書をお読みになり、XC3S4000 または XC3S4000L FPGA デバイスがお客様の使用条件に該当するかをご確認ください。弊社では、Spartan-3 アプリケーションに影響を与える可能性のある既知の問題をお客様にお知らせするよう努めております。また、この通知には、最新の Spartan-3 デザインに関する[アドバイザリ](#)も含まれています。

最新版のエラッタ

エラッタの通知は、エラッタの特性上、新たに発見され次第更新されることをご了承下さい。現在ご覧になっている通知が、印刷された文書、またはお手元のコンピュータに保存されている場合は、最新版であることをご確認ください。最新版は、次のサイトより入手頂けます。

http://www.xilinx.co.jp/xlnx/xweb/xil_publications_display.jsp?category=-1210888

該当デバイス

これらのエラッタは、[表 1](#) に示す XC3S4000 または XC3S4000L FPGA デバイスにのみ適用されます。エラッタが適用されるエンジニアリング サンプル (ES マーク付) および量産デバイス (ES マークなし) を以下に示します。[エラッタの詳細](#)では、特定の問題に影響を受けるデバイスについてさらに説明します。

表 1: このエラッタが該当する Spartan-3 XC3S4000 FPGA

デバイス タイプ	XC3S4000 XC3S4000L
パッケージ	すべて該当
スピード グレード	すべて該当
デートコード	すべて該当

該当デバイスの確認方法

これらのエラッタは、XC3S4000L を含む、デバイス マークに「XC3S4000」と記載されたすべての Spartan-3 FPGA デバイスに該当します。エラッタが修正された最新のマスク セットは、UMC 300mm ウェハ工場で 90nm プロセス テクノロジーを使用して製造されたものであり、「EGQ」マスク/ファブリケーション/プロセス コードがマーキングされています。前リビジョンのマスク セット A もまた UMC 300mm ウェハ工場で 90nm プロセス テクノロジーを使用して製造されたものであり、マスク/ファブリケーション/プロセス コードは、「AGQ」です。UMC 200mm ウェハ工場で 90nm プロセス テクノロジーを使用して製造されたマスク セットには、「AFQ」マスク/ファブリケーション/プロセス コードがマーキングされています。詳細は、[表 2](#) をご覧ください。

表 2 : Spartan-3 製造工場、マスク、およびファブリケーションプロセス コード

工場	マスク リビジョン	ファブリケーション/ プロセス コード	トップ マーク例
UMC 200mm、90nm (8D)	A		図 1
UMC 300mm、90nm (12A)	A	GQ	図 2
	E		

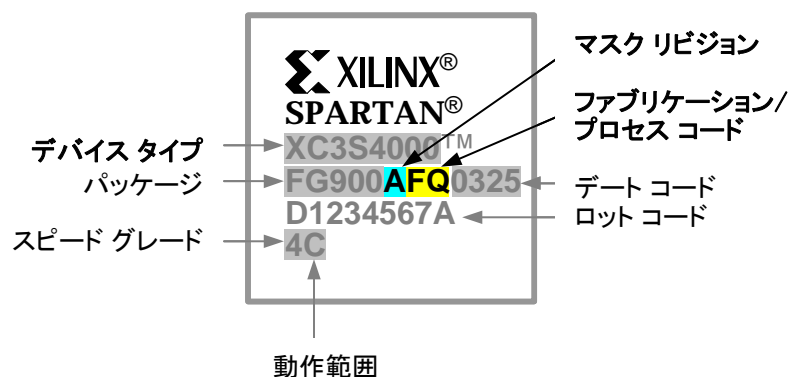


図 1 : UMC 200mm 工場で製造されたファブリケーション/プロセス コードが「FQ」の Spartan-3 FPGA



図 2 : UMC 300mm 工場で製造されたファブリケーション/プロセス コードが「GQ」の Spartan-3 FPGA

ハードウェア エラッタの概要

[表 3](#) に XC3S4000 または XC3S4000L FPGA に関する既知のハードウェア問題を示します。各問題の詳細は、「[エラッタの詳細](#)」をご覧ください。また、[表 3](#) には、エラッタが該当するマスクリビジョンも示しています。

表 3 : ハードウェア エラッタの概要

Errata Issue	Mask/Fabrication/Process Code		
	「AFQ」	「AGQ」	「EGQ」
CLK2X フィードバックを使用すると DCM がロックしない場合がある	該当	N/A	N/A
VCCINT を最後に投入する電源シーケンスで、適切にコンフィギュレーションされない場合がある	該当	N/A	N/A
UPDATE_DR 時に JTAG INTEST 命令を使用すると、コンフィギュレーション専用入力ピンが不正な値に設定される場合がある	該当	N/A	N/A
HSWAP_EN 入力が High の場合、コンフィギュレーションの終わりにユーザー I/O のプルアップ抵抗が一時的にイネーブルとなる	該当	N/A	N/A
ファブリケーション/プロセスコードが「GQ」で、デートコードが「0532」より前のデバイスはリードバック機能が使用できない	N/A	該当	「0532」以降には該当しない
マスク リビジョン	初期	改訂	最新
製品	XC3S4000	XC3S4000 XC3S4000L	XC3S4000 XC3S4000L

N/A=該当なし

ハードウェア エラッタの詳細

このエラッタの発行時における、既知の問題の詳細について示します。

CLK2X フィードバックを使用すると DCM がロックしない場合がある

該当するアプリケーション

この問題は、DCM CLK2X 出力信号を DCM への CLKFB フィードバック入力として使用したアプリケーションでのみ発生します。

表 4 に示すように、この問題に該当するデバイスは、図 1 に示したマスク/ファブリケーション/プロセスコードが「AFQ」の XC3S4000 FPGA のみです。

表 4 : CLK2X フィードバックの問題が該当する Spartan-3 XC3S4000 FPGA

デバイスタイプ	XC3S4000
マスクリビジョンコード	A のみ
ファブリケーション/プロセスコード	FQ のみ
パッケージ	すべて該当
スピードグレード	すべて該当
デートコード	すべて該当

問題内容

DCM が、CLK0 または CLK2X の出力クロックを BUFGMUX を介して監視することによって、配線ネットワークの遅延を補正します。デザインで CLK2X 出力を DCM のフィードバッククロックとして使用した場合、ロックされた出力ピンが Low になり、DCM が数十ミリ秒後に停止してしまいます。

修正方法または回避策

CLK2X の代わりに BUFGMUX を介した CLK0 からのフィードバックを使用し、CLK_FEEDBACK 属性を 2X から 1X に変更します。この変更は、DCM のパフォーマンスには影響ありません。CLK2X 出力は、有効であり使用可能となっていますが、CLKFB ピンへのフィードバックには使用できません。

この問題は、[図 2](#) に示したマスク/ファブリケーション/プロセス コードが「GQ」と記載されている XC3S4000L FPGA および XC3S4000 FPGA で修正されています。

VCCINT 電源を最後に投入する電源シーケンスで、適切にコンフィギュレーションされない場合がある

該当するアプリケーション

この問題は、VCCINT 電源が最後に Power-On Reset (POR) 電圧しきい値に達するアプリケーションで発生する場合があります。[表 5](#) に示すように、この問題は、ファブリケーション/プロセス コードが「FQ」と記載されているデバイスに該当します。

VCCINT が、最初、あるいは 2 番目に POR しきい値に達するアプリケーションでは問題ありません。

表 5: VCCINT 電源シーケンスの問題が該当する Spartan-3 XC3S4000 FPGA

デバイス タイプ	XC3S4000
マスクリビジョン コード	A のみ
ファブリケーション/プロセス コード	FQ のみ
パッケージ	すべて該当
スピード グレード	すべて該当
デートコード	すべて該当

問題内容

3 種類の電圧入力 (VCCINT、VCCAUX、およびバンク 4 への VCCO) が Spartan-3 と Spartan-3L の Power On Reset (POR) 回路の動作を制御します。電源を投入する際には、FPGA 内にあるこの POR 回路が 3 つの電源のレールをモニタします。各レールの電圧がそれぞれの POR しきい値を越えると、FPGA はコンフィギュレーション プロセスを続行します。

問題が発生する可能性があるのは、VCCINT 電源供給が最後に POR 電圧を越えた場合に限られ、かつ立ち上がり時間が 500 μ S より遅い場合です。コンフィギュレーションが適切に行われない場合、INIT_B は Low を維持し、PROG_B プログラム ピンが無視されます。最悪の電源シーケンスの場合でも、実際にエラーが発生する確率は非常に小さく、通常数 PPM の値です。この問題は、温度が低い場合に発生しやすくなっています。

修正方法または回避策

オプション 1: 300mm ウェハ工場で製造された Spartan-3 FPGA を使用して下さい。

オプション 2: POR しきい値レベルを超える順序が VCCINT が最後とならない電源投入シーケンスに変更して下さい。

VCCINT は、VCCAUX が最小 POR しきい値 (VCCAUXT = 0.8V) に達する前、またはそれと同時に最大 POR しきい値 (VCCINTT = 1.0V) に達する必要があります。[図 3](#) に、この場合の電源投入シーケンスにおけるしきい値の関係を示します。

または、VCCINT は、バンク 4 に電源入力する VCCO_4 が最小 POR しきい値 (VCCO4T = 0.4V) に達する前、またはそれと同時に最大 POR しきい値 (VCCINTT = 1.0V) に達する必要があります。[図 3](#) には、このような電源投入シーケンスにおけるしきい値の関係も示しています。

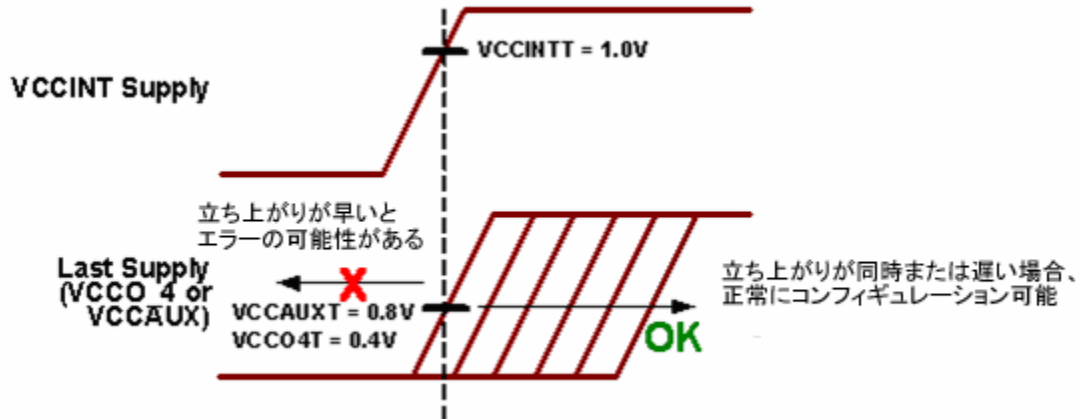


図 3 : VCCINT 電源の投入順序が最後とならない場合の条件

消費電力が最小となるシーケンスは、VCCAUX が最初、または VCCINT と同時に供給され、次に VCCO_4 が電源入力される場合です。VCCAUX の前に VCCINT が電源入力される場合、VCCINT 電源では、VCCAUX 電源が最大 POR しきい値に達するまで過渡電流が消費されます。この過渡電流は、数百ミリアンペア (mA) です。この追加分となる電流は、コンフィギュレーション完了には不要なため、VCCAUX 電源が規定値に達する時点で停止します。

このような電源投入シーケンスの制限は、I/O バンク 0 から 3 および I/O バンク 5 から 7 への VCCO 入力には適用されません。これは、これらの電圧レールは POR 回路への入力ではないためです。

オプション 3 : VCCINT 電源を最後に投入する必要があるシステムでは、[図 4](#) に示すように、最大 POR しきい値電圧 (VCCINTT = 1.0V) までの立ち上がり時間が 500µs より短いことを確認して下さい。

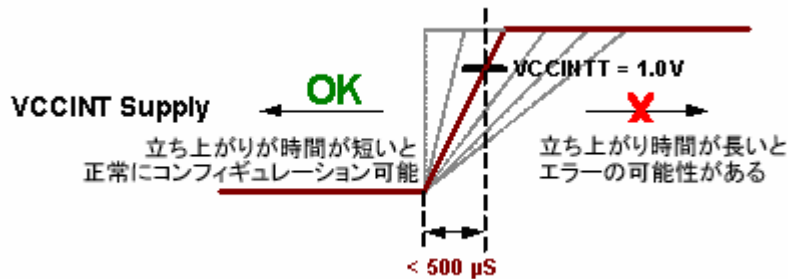


図 4 : VCCINT 電源を最後に投入する場合の立ち上がり時間

UPDATE_DR 時に JTAG INTEST 命令を使用すると、コンフィギュレーション専用入力ピンが不正な値に設定される場合がある

該当するアプリケーション

この問題は、JTAG INTEST 機能を使用したアプリケーションでのみ発生します。通常この機能は、JTAG ベースのデバイスの試験手順に含まれています。

この問題は、コンフィギュレーション データのダウンロードに JTAG インターフェイスを使用したアプリケーションには影響しません。

[表 6](#) に示すように、この問題に該当するデバイスは、[図 1](#) に示したマスク/ファブ리케이션/プロセス コードが「AFQ」の XC3S4000 FPGA のみです。

表 6 : JTAG INTEST 命令の問題が該当する Spartan-3 XC3S4000 FPGA

デバイスタイプ	XC3S4000
マスクリビジョンコード	A のみ
ファブリケーション/プロセスコード	FQ のみ
パッケージ	すべて該当
スピード グレード	すべて該当
デートコード	すべて該当

問題内容

JTAG INTEST を実行中、コンフィギュレーション専用入力ピンが予期できない形で High または Low になります。

デバイスのコンフィギュレーション後、M2、M1、M0 および HSWAP_EN ピンが予期できない形で、High または Low に駆動されてしまいます。INTEST を実行しても、コンフィギュレーション前であれば、ピンの状態は FPGA に影響を与えません。

ただし、UPDATE_DR 中に INTEST の動作が HSWAP_EN を Low に駆動すると、コンフィギュレーションが最初から再度行われてしまいます。これは、内部のチェーンで PROG_B が HSWAP_EN の次にあり、HSWAP_EN に Low を入れると PROG_B に状態がシフトし、デバイスのリコンフィギュレーションが誤って行われるためです。

修正方法または回避策

JTAG INTEST を使用した試験中に HSWAP_EN に 0 を入れないで下さい。JTAG の実行中、HSWAP_EN が High を維持している場合は、実行中に PROG_B ピンは Low になりません。ただし、その他のコンフィギュレーション専用ピンでは、値は特定できません。

この問題は、[図 2](#) に示したマスク/ファブリケーション/プロセス コードが「GQ」と記載されている XC3S4000L FPGA および XC3S4000 FPGA で修正されています。

HSWAP_EN 入力が High の場合、コンフィギュレーションの終わりにユーザー I/O のプルアップ抵抗が一時的にイネーブルとなる

該当するアプリケーション

この問題は、コンフィギュレーション中に I/O ピンの弱プルアップ抵抗をオフにするため、HSWAP_EN で High を駆動または、HSWAP_EN を未接続とした場合に発生します。このため、コンフィギュレーション後にプルアップ抵抗を使用することには影響なく、コンフィギュレーション後は HSWAP_EN の値は High/Low のいずれでも問題ありません。

[表 7](#) に示すように、この問題に該当するデバイスは、[図 1](#) に示したマスク/ファブリケーション/プロセスコードが「AFQ」と記載されている XC3S4000 FPGA のみです。

表 7 : HSWAP_EN の問題が該当する Spartan-3 XC3S4000 FPGA

デバイスタイプ	XC3S4000
マスクリビジョンコード	A のみ
ファブリケーション/プロセスコード	FQ のみ
パッケージ	すべて該当
スピード グレード	すべて該当
デートコード	すべて該当

問題内容

HSWAP_EN が High の場合 (デフォルト)、コンフィギュレーションに関連のないすべてのピンで弱プルアップ抵抗がオフになり、これらのピンがハイインピーダンスの状態になります。また、コンフィギュレーションの終わりのプロセスで I/O が動作する直前に各ユーザー I/O ピン内のプルアップ抵抗が一時的にオンになります。

修正方法または回避策

HSWAP_EN を Low に駆動し、プルアップをアクティブにしてコンフィギュレーションを実行して下さい。コンフィギュレーション中にフロート状態を使用できず、出力を固定する必要がある場合、この方法で回避することを推奨します。また、プルアップがイネーブルな場合は、出力の状態は保証されます。

コンフィギュレーション中に I/O を Low にする必要がある場合は、外部プルダウンを使用してロジックを 0 にして下さい。

この問題は、[図 2](#) に示したマスク/ファブリケーション/プロセス コードが「GQ」と記載されている XC3S4000L FPGA および XC3S4000 FPGA で修正されています。

ファブリケーション/プロセスコードが「GQ」で、デートコードが「0532」より前のデバイスはリードバック機能が使用できない

該当するアプリケーション

[表 8](#) に示すように、この問題は、[図 2](#) に示したファブリケーション/プロセスコードが「AGQ」と記載されている XC3S4000 または XC3S4000L FPGA でリードバック機能を使用する場合に発生します。

表 8 : リードバックの問題が該当する Spartan-3 XC3S4000 FPGA

デバイスタイプ	XC3S4000 XC3S4000L
マスク リビジョン コード	A (すべてのデートコード) E («0532」より前のデートコード)
ファブリケーション/プロセスコード	GQ のみ
パッケージ	すべて該当
スピード グレード	すべて該当
デートコード	すべて該当

スレーブ パラレルとマスタ パラレル リードバック、および JTAG リードバックを含むデバイスのリードバック機能すべてが、この問題の影響を受けます。それ以外の動作状態では、XC3S4000 または XC3S4000L FPGA は正常に機能します。

問題内容

[表 8](#) に示すデバイスのリードバック機能が使用できません。

修正方法または回避策

ファブリケーション/プロセスコードが「FQ」の XC3S4000 FPGA のリードバック機能は問題ありません。マスク/ファブリケーション/プロセスコードが「EGQ」の XC3S4000 FPGA で、デートコードが「0532」またはそれ以降に製造された XC3S4000 および XC3S4000L デバイスのリードバック機能も問題ありません。また、通常のデバイス ナンバー (SCD コードではない) を使用して XC3S4000 および XC3S4000L FPGA を注文され、出荷予定日が 2005 年 8 月 15 日以降のデバイスには、自動的に最新のマスク リビジョンが含まれるため、リードバック機能は問題ありません。

アドバイザー

ここでは、XC3S4000 または XC3S4000L FPGA アプリケーションに影響を与える可能性のあるソフトウェアの変更に関するアドバイザーの内容を記載します。[表 9](#) に、アドバイザーの概要とその問題に対応するソフトウェアのバージョンを示します。

表 9: アドバイザリおよびソフトウェア アップデート

アドバイザー	ISE バージョン
ISE 6.3i サービス パック 1 (SP1) またはそれ以降のバージョンを使用してビットストリームのアップデートが必要	ISE 6.3i, SP 1
Spartan-3 DCM に必要な新しい FACTORY_JF 設定	ISE 8.2i

ISE 6.3i サービス パック 1 (SP1) またはそれ以降のバージョンを使用してビットストリームのアップデートが必要

Spartan-3 ブロック RAM の内部タイミングは、FPGA コンフィギュレーションのビットストリームの設定により制御されます。歩留まり解析に基づいて、Spartan-3 デバイスに新たに最適化されたビットストリームが必要であることが判明しました。これらの新しい設定により、ブロック RAM の内部タイミングが向上し、その結果、製品を利用できる可能性が向上します。この設定は、ブロック RAM 内の内部タイミングのみ改善するもので、FPGA アプリケーションにおけるいかなるタイミングにも影響を及ぼしません。向上した内部ブロック RAM タイミングの実効パスは、書き込みイネーブル タイミングと入力ラッチ イネーブルのタイミング関係です。

これらの新しいビットストリーム設定は、ザイリンクス ISE 6.3i サービス パック 1 よりデフォルトで設定されています。新しいバージョンは、2004 年 9 月 13 日よりザイリンクス ウェブ サイトから入手できます。デートコードが、2004 年 33 週を意味する「0433」以降の XC3S4000 FPGA は、新しいビットストリーム設定で検査されています。[図 5](#) に Spartan-3 FPGA のトップ マーク例を示します。デバイス タイプおよびデートコードなどのハイライトされた部分から、該当デバイスを識別して下さい。

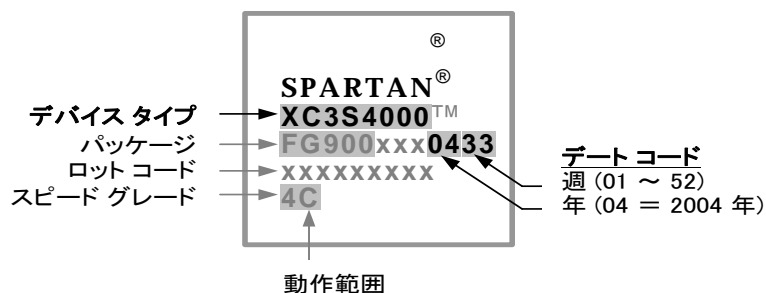


図 5: Spartan-3 パッケージ マークの例

ザイリンクス ISE 6.3i 開発ソフトウェア サービス パック 1 以前のバージョンを使用して作成した Spartan-3 FPGA コンフィギュレーション ビットストリームは、再生成する必要があります。再生成されたビットストリームは、どの Spartan-3 デバイスでも問題なく使用できます。

Spartan-3 DCM に必要な新規 FACTORY_JF 設定

該当するアプリケーション

この問題は、デジタル クロック マネージャ (DCM) を使用するアプリケーションに影響を与える可能性があります。次の場合のみ問題が生じます。

- DCM を 1 個以上使用するアプリケーション

- 固定/可変モードのいずれかの位相シフトを使用する DCM がある場合
- 位相シフトが負の値、または 600ps 未満の正の値である場合

これら 3 つの条件に該当しない場合、この問題は生じません。

問題内容

DCM は、プロセス、電圧、および温度 (PVT) の変更を自動的に補正し、定期的にタップ遅延の設定を更新します。このようにタップ遅延を更新する割合は、FACTORY_JF という内部属性によって制御されます。弊社では、最適な FACTORY_JF 設定値が FACTORY_JF=8080 であることを確認しました。これ以外の値を設定する場合、プロセス、電圧、および温度を適切にトラックできない可能性があります。

FACTORY_JF=8080 以外を使用する際には、可能性は低いものですが、DCM で LOCKED 出力が適切にアサートされず、ロック状態が解除されるために、クロック出力が不適切となることがあります。

修正方法または回避策

ザイリンクス ISE 8.2i 以降では、最適な設定値が適用されます。それ以前のバージョンをご使用の場合、デザインでインスタンス化された各 DCM に対して FACTORY_JF=8080 となるように設定を修正して下さい。表 10 に、DCM 設定を更新する最適な方法を現在の設計状況別に示します。

表 10: FACTORY_JF DCM 設定の更新方法オプション

方法	設計状況	修正後の手順
FPGA Editor	デザイン完成、今後変更の予定なし	Bitstream Generator の再実行
制約ファイル	設計段階	インプリメンテーションの再実行
VHDL または Verilog ソースコード	設計段階	フロー全体の再実行

FPGA Editor

デザインが完成し、変更の予定がない場合、FPGA Editor を使用して FACTORY_JF 設定を更新する方法が最も容易です。

- FPGA Editor を起動するためには、Windows PC で [スタート] → [ザイリンクス ISE 6] → [アクセサリ] → [FPGA Editor] をクリックします。
- [File] → [Open] を選択します。次に、[図 6](#) に示すように、完成したデザインの *.ncd ファイルを選択し、Edit Mode を [Read Write] に設定します。

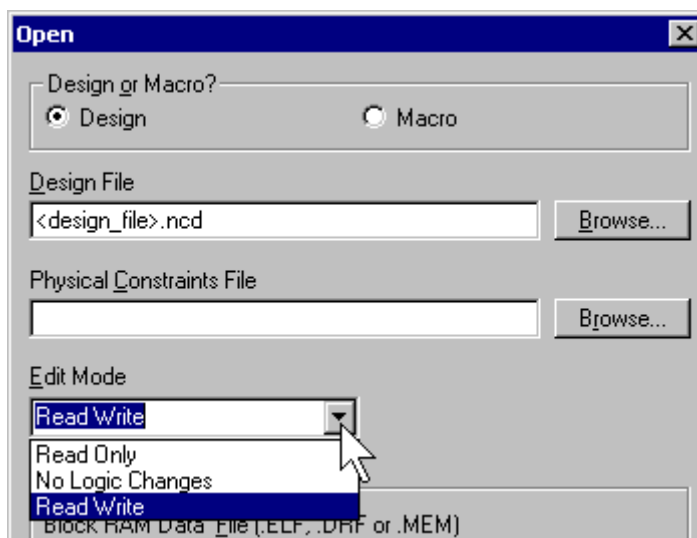


図 6 : FPGA Editor で修正する場合

- 各 DCM に対して次のように設定します。
 - カーソル使用し、DCM ブロックを選択します。
 - 右側にあるコマンド ボタンのバーから [editblock] をクリックします。
 - 図 7 に示すように、アイコン バーから修正モードのボタンをクリックします。



図 7 : DCM の設定を変更するために [Edit Mode] ボタンをクリック

- 図 8 に示すように、FACTORY_JF DCM 属性の設定で 2 つの 0X80 オプションをオンにします。

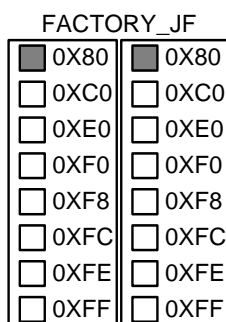


図 8 : DCM FACTORY_JF 設定の修正ブロック

- すべての DCM 設定の修正後にデザインを保存します。
- Bitstream Generator を再実行します。

制約ファイル

設計途中のデザインで修正を行う場合にはユーザー制約を適用する方法が容易です。既存のユーザー制約ファイル (UCF) を修正するか、新しいファイルを作成し、デザイン内のすべての DCM に対して、次の制約を適用して下さい。

```
INST <dcm_inst> FACTORY_JF = "8080";
```

VHDL の場合

VHDL の場合、DCM コンポーネント宣言および DCM のすべてのコンポーネント インスタンスシートで FACTORY_JF 値を更新して下さい。次に示すコードの一部は、XST VHDL の例です。その他のロジック合成パッケージでの VHDL ソースは、わずかな差異がある場合があります。

```
component DCM -- DCM component declaration
  generic(
    ...
    FACTORY_JF : bit_vector := x"8080";
    ...
  );
...
```

```
DCM_INST : DCM -- DCM instantiation
  generic map(
    ...
    FACTORY_JF => x"8080",
    ...
  )
```

Verilog の場合

Verilog の場合、次の XST Verilog コードの一部に示すように、FACTORY_JF 値を更新して下さい。

```
DCM DCM_INST (
  ...
);
...
// synthesis attribute FACTORY_JF of DCM_INST is "8080"
...
// synopsys translate_off
...
defparam DCM_INST.FACTORY_JF = 16'h8080;
...
// synopsys translate_on
```

Clock Wizard を使用する場合

Clock Wizard は、ユーザーの入力に基づいて、自動的に VHDL または Verilog 記述を生成します。この Wizard を使用する際には、HDL ソースを前述の VHDL または Verilog の例に従って更新して下さい。また、Clock Wizard を実行するごとにソース ファイルが上書きされることに予めご注意ください。

その他の参考資料

- [ザイリンクス アンサー #21559](http://www.xilinx.com/answers/21559) : 「FACTORY_JF 属性の正しい値」
<http://www.xilinx.com/answers/21559>

ソフトウェア要件

各エラッタに該当のデバイスを使用される場合は、次のザイリンクス ソフトウェアをインストールし、ビットストリーム ファイルを生成して下さい。

- ISE 8.2i 以降
(最新版は次のサイトより入手頂けます)

www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

お問い合わせ先

このエラッタについてご質問などがある場合は、弊社の販売代理店までお問い合わせ頂けますようお願い致します。お問い合わせ先につきましては、以下のサイトをご覧ください。または、ザイリンクス テクニカル サポートまでお問い合わせ下さい。

www.xilinx.co.jp/company/contact.htm

ザイリンクス サポート サイトは、次のリンクからご覧頂けます。

www.xilinx.co.jp/support/mysupport.htm

改訂履歴

日付	バージョン	変更内容
2003/12/16	1.5	初版リリース
2003/12/22	1.6	VCCO の立ち上がり時間についての問題の回避策への追記。LVDS への追記 (LVDS_EXT 規格はサポート外)
2004/2/9	1.7	エンジニアリング サンプルおよび量産デバイスの両方がエラッタに該当。VCCO の立ち上がり時間についての問題の更新。LVDS 問題の更新。出力電圧レベルおよびビットストリーム ファイルの生成方法についての詳細の追記。DCM の負の位相シフトに関する問題の追記。DCM の最大クロック出力周波数問題の追記。
2004/3/5	1.8	Spartan-3 のデータ シートに VCCO の立ち上がり時間についての問題、LVDS の問題、DCM の最大クロック出力周波数の問題、および I/O のリーク電流の問題を記載。これらの問題は、今後エラッタとしては除外。
2004/12/20	2.2	VCCINT 電源シーケンスの問題に関する記載を追加。エラッタに該当する Spartan-3 FPGA マスク バージョン、製造工場、およびプロセス テクノロジーを識別する トップ マーク に関する情報を追加。エラッタが該当する マスク リビジョン を明記。FG676 VREF 問題の説明を追加。DCM FACTORY JF の新規設定 に関する説明を追加。
2005/1/7	2.3	表 2 に記載した UMC 300mm、90nm 工場 (12A) で製造されたデバイスのマスク リビジョン コードを B から A に変更。 表 8 に記載したマスク リビジョン コードを A に変更。UMC 300mm、90nm 工場 (12A) で製造されたデバイスに対する VCCINT 電源シーケンス の問題が削除されたため、 表 3 および 修正方法または回避策 を更新。
2005/8/8	2.4	表 2 および 表 3 を変更し、エラッタが修正されたマスク リビジョン E (デート コード「0532」以降) を追加。マスク リビジョン E (デート コード「0532」以降) ではエラッタが修正されたため、 リードバック機能 を変更。 VCCINT 電源 を変更し、オプションを追加。アダプタイザリの DCM FACTORY JF の新規設定 に関する説明を追加。
2006/12/14	2.5	DCM FACTORY JF の新規設定 を更新し、ISE 8.2i では、自動的に新しい設定が含まれることを記載。

このエラッタは、英語版 (DS099-E08、バージョン 2.5、2006 年 12 月 14 日発行) を翻訳したものです。