

はじめに

ザイリンクス Virtex™-4 エンジニアリング サンプル プログラムにご参加いただき誠にありがとうございます。このプログラムでは、Virtex-4 XC4VLX25 FPGA のエンジニアリング サンプルを提供致しております。

弊社では、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

このエラッタが該当する XC4VLX25 デバイスを表 1 に示します。

表 1: エラッタが該当する XC4VLX25 FPGA

デバイス	XC4VLX25CES	JTAG ID: 0, 9
パッケージ	すべて	
スピード グレード	すべて	

ハードウェア エラッタの詳細 (JTAG ID = 0)

このエラッタの発行時における、ハードウェアに関する問題の詳細を示します (JTAG ID = 0)。

FIFO16

次のシーケンスが発生すると、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

- 読み出しまたは書き込みが、ALMOST_EMPTY_OFFSET または ALMOST_FULL_OFFSET のしきい値に達する
- ある読み出しおよび書き込みと、次の読み出しまたは書き込みのアクティブ クロック エッジが同時または非常に近い

ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用可能です。ただし、データシートに記載されたパフォーマンスを満たさない場合があります。詳細、回避方法、および関連するパフォーマンス情報は、アンサー レコード # 22462 を参照して下さい。

コンフィギュレーション

JTAG INTEST 命令はサポートされていません

『Virtex-4 コンフィギュレーション ガイド』で説明されている JAG INTEST 命令は、サポートされていません。

BSCAN_VIRTEX4 ライブラリ エlement

BSCAN_VIRTEX4 ライブラリ エlementを使用している場合、RESET がサポートされません。デザインで BSCAN_VIRTEX4 が、コンフィギュレーション後にインスタンス化されている場合は、USER2、USER3、および USER4 レジスタが使用できません。詳細は、アンサー レコード #20129 を参照して下さい。

JTAG TDO 出力

JTAG TDO 出力は、JTAG TAP ステート マシンが Shift-DR ステートまたは Shift-IR ステートから遷移するとき、TCK の立ち上がりエッジでトライ ステートになります。このため、TDI ピンのホールド タイムが長い場合は、シフトした最後のビットが「0」の場合でも、次のデバイスが「1」として認識する可能性があります。

回避策

Virtex-4 デバイスとそれに続く次のデバイス間の TCK スキューを負の値にして下さい。詳細は、アンサー レコード #19865 を参照して下さい。

FRAME_ECC

JTAG、8-bit SelectMAP™ モード、または 8-bit ICAP を使用してリードバックを行う場合、FRAME_ECC ロジックで、ビット エラーが正確に算出されません。

回避策

ICAP32 で、FRAME_ECC ブロックを使用して下さい。

ISERDES または IDELAY

IOBDELAY_TYPE 属性を VARIABLE に設定して ISERDES または IDELAY エレメントを使用した場合、CLKDIV (ISERDES) または CLK (IDELAY) 信号が反転します。これにより、内部配線遅延とセットアップ遅延は、半クロック周期以下になる必要があります。

回避策

リセット動作および遅延値を変更する動作の周波数は、約 200MHz と制限されています。ISERDES の信号 (DLYRST、DLYINC、DLYCE) および IDELAY の信号 (RST、INC、CE) を駆動するロジックを、可能な限り、ISERDES または IDELAY エレメントの近くに配置して下さい。このように配置することにより、トレース レポートでは、遅延がクロック サイクル時間の半分以下になります。詳細は、アンサー レコード #20125 を参照して下さい。

DSP48

CarryIn 入力レジスタ

FPGA ファブリックの CarryIn 入力レジスタ (属性 CARRYINREG = 1) は、サポートされていません。

回避策

CarryIn 入力レジスタの代わりに CLB レジスタを使用して、属性を CARRYINREG = 0 に設定して下さい。

対称型丸め込みロジック

DSP48 エレメントには、5 つの対称型丸め込みのモードがあります。パイプラインがない 4 つの丸め込みモードは、完全にサポートされていますが、パイプラインがある丸め込み (A x B) モード (CarryInSel[1:0] = 11) のみ、サポートされていません。

回避策

CLB に、キャリー用の等価ロジックを作成し、CarryInSel[1:0] = 00 を使用して、そのロジックを DSP48 の CarryIn 入力へ接続して下さい (属性を CARRYINREG = 0 に設定)。

DCM

1. DCM 属性 CLKOUT_PHASE_SHIFT を、VARIABLE_CENTER に設定できません。
2. CLKFX および CLKFX180 の両方またはいずれかを DCM のクロック出力として使用し、入力クロックの周波数 (CLKIN) が CLKIN_FREQ_DLL_(HF または LF)_(MS または MR)_MIN/MAX の周波数範囲を超える場合は、アンサー レコード #20529 に記載のマクロを使用することにより、適切な LOCKED 信号を生成させることができます。
3. ソース同期アプリケーションには、高パフォーマンス、低スキューを実現するため、ChipSync? の使用を推奨しています。DCM を使用する場合は、アンサー レコード #20529 に記載されているガイドラインに従い、CLKIN_CLKFB_PHASE の仕様が $\pm 300\text{ps}$ を満たすよう設定して下さい。

Pin-to-Pin タイミング

次の表に、JTAG ID = 0 の場合における XC4VLX25CES デバイスの正しい Pin-to-Pin タイミングを示します。

表 2: DCM を使用する場合の 12mA、Fast スルー レートの LVC MOS25 におけるグローバル クロック入力から出力までの遅延

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
DCM を使用する場合の 12mA、Fast スルー レートの LVC MOS25 におけるグローバル クロック入力から出力フリップフロップの出力までの遅延						
T _{ICKOFDCM}	DCM を使用する場合のグローバル クロックから OFF までの時間	XC4VLX25	2.60	2.93	3.11	ns

メモ:

- 1つのグローバル クロック入力、各カラム内で1本の垂直なクロック ラインを駆動し、そのグローバル クロック ネットによって、アクセス可能なすべての IOB および CLB フリップフロップがクロック入力されている場合の値を示しています。
- DCM の出力ジッタは、既にタイミング算出に含まれています。

表 3: DCM を使用しない場合の 12mA、Fast スルー レートの LVC MOS25 におけるグローバル クロック入力から出力までの遅延

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
DCM を使用しない場合の 12mA、Fast スルー レートの LVC MOS25 におけるグローバル クロック入力から出力フリップフロップの出力までの遅延						
T _{ICKOF}	DCM を使用しない場合のグローバル クロックから OFF までの時間	XC4VLX25	6.83	7.82	8.60	ns

メモ:

- 1つのグローバル クロック入力、各カラム内で1本の垂直なクロック ラインを駆動し、そのグローバル クロック ネットによって、アクセス可能なすべての IOB および CLB フリップフロップがクロック入力されている場合の値を示しています。

表 4: DCM を使用する場合の LVC MOS25 におけるグローバル クロックに対するセットアップおよびホールド

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
LVC MOS25 におけるグローバル クロック入力に対するセットアップおよびホールド タイム ⁽¹⁾						
T _{PSDCM} /T _{PHDCM}	DCM を使用し、遅延を使用しない場合のグローバル クロックから IFF までの時間	XC4VLX25	0.80 -0.59	0.87 -0.59	0.97 -0.59	ns

メモ:

- セットアップ タイムは、最も高速で、負荷が最小の場合のグローバル クロック入力信号に対して計測され、ホールド タイムは、最も低速で、負荷が最大の場合のグローバル クロック入力信号に対して計測されています。
- 計測では、CLK0 DCM ジッタを考慮しています。
IFF = 入力フリップフロップまたはラッチです。
- 各信号規格を使用した場合のデューティ サイクルのずれは、IBIS を使用して確認して下さい。

表 5: ソース同期モードで DCM を使用する場合の LVCMOS25 におけるグローバルクロック セットアップおよびホールド

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
DCM およびグローバルクロックバッファを使用する場合、フォワードしたクロック入力ピンに対するデータ入力セットアップおよびホールドタイムの例です ⁽¹⁾ 。クロックおよびデータ入力に異なる規格を使用するときは、「 Virtex-4 データシート 」の 21 ページ「IOB スイッチ特性」に記載されている値を参照し、セットアップおよびホールドタイムを修正して下さい。						
T_{PSDCM_0} / T_{PHDCM_0}	ソース同期モードで DCM を使用し、遅延を使用しない場合のグローバルクロックから IFF までの時間 ⁽²⁾	XC4VLX25	-0.67 0.97	-0.67 1.07	-0.67 1.21	ns

- メモ:
1. タイミング値は、DCM の Fine 位相調整機能を使用して計測しました。計測では、CLK0 DCM ジッタを考慮していますが、パッケージ スキューは含まれていません。
 2. IFF = 入力フリップフロップです。

表 6: DCM を使用しない場合の LVCMOS25 におけるグローバルクロックセットアップおよびホールド

シンボル	説明	デバイス	スピード グレード			単位
			-12	-11	-10	
LVCMOS25 におけるグローバルクロック入力信号に対する入力セットアップおよびホールドタイム ⁽¹⁾						
T_{PSFD} / T_{PHFD}	DCM は未使用で、遅延を使用する場合のグローバルクロックから IFF までの時間 ⁽²⁾	XC4VLX25	4.92 -0.35	6.20 -0.37	7.62 -0.62	ns

- メモ:
1. セットアップタイムは、最も高速で、負荷が最小の場合のグローバルクロック入力信号に対して計測され、ホールドタイムは、最も低速で、負荷が最大の場合のグローバルクロック入力信号に対して計測されています。
 2. IFF = 入力フリップフロップまたはラッチです。
 3. ホールドタイムが「0」とは、ホールドタイムがないか、負のホールドタイムであることを示します。負のホールドタイムは、保障された「ベストケース」値を示すわけではありません。

使用上の注意

ソフトウェア要件 (JTAG ID = 0)

各エラッタに該当するデバイスを使用される場合は、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- スピード ファイルのバージョン v1.57 以降、およびザイリンクス ISE 7.1i サービス パック 4 (SP4) 以降のソフトウェアを使用する必要があります。SP4 に関して質問がございましたら、ザイリンクス テクニカル サポートまでお問い合わせ下さい。ソフトウェアのサービス パックは次のウェブページから入手できます。

http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

制約ファイル (UCF ファイル) でデバイスのステップングを ES に設定する必要があります。

CONFIG STEPPING = "ES";

- Virtex-4 の機能に関連する ISE ソフトウェアの既知の問題については、次のサイトを参照して下さい。

http://support.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項 (JTAG ID = 0)

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されたことをお知らせ致します。ザイリンクスでは、この新しい仕様で設計することを推奨します。

VCCAUX 電源要件

デバイス コンフィギュレーション シーケンスでは、初期化中、VCCAUX に 750mA の電流が流れ (最大で 4ms 間)、ビットストリームの取り込み中は 250mA の電流が流れます。コンフィギュレーション後、ICCAUX を低減させるために、ザイリンクスでは次のことを推奨しています。

JTAG コンフィギュレーション モードの場合

デバイスのコンフィギュレーションには、ISE ソフトウェアで iMPACT™ または ChipScope™ を使用して下さい。

スレーブ シリアル コンフィギュレーション モードの場合

BitGen を使用してビットストリームを生成する場合、-g EngineeringSample:Serial オプションを使用して下さい。

スレーブ SelectMAP コンフィギュレーション モードの場合

BitGen を使用してビットストリームを生成する場合、-g EngineeringSample>SelectMAP8 オプションを使用して下さい。また、マスタ モードの場合は、デザインに VCCAUX_FIX モジュールを挿入して下さい。詳細は、アンサー レコード #20246 を参照して下さい。

IDELAY または ISERDES において IOBDELAY_TYPE を使用する場合のデザイン ガイドライン

IDELAY または ISERDES において、IOBDELAY_TYPE を FIXED または VARIABLE で使用する場合、初期化のため、RST/DLYRST に対して 1 パルスを入力する必要があります。

ハードウェア エラッタの詳細 (JTAG ID = 9)

このエラッタの発行時における、ハードウェアに関する問題の詳細を示します (JTAG ID = 9)。

FIFO16

JTAG ID = 9 の場合のエラッタは、JTAG ID = 0 と同様です。FIFO16 (ページ 1) を参照して下さい。

使用上の注意

ソフトウェア要件 (JTAG ID = 9)

各エラッタに該当するデバイスを使用される場合は、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- スピード ファイルのバージョン v1.57 以降、およびザイリンクス ISE 7.1i サービス パック 4 (SP4) 以降のソフトウェアを使用する必要があります。SP4 に関して質問がございましたら、ザイリンクス テクニカル サポートまでお問い合わせ下さい。ソフトウェアのサービス パックは次のウェブサイトから入手できます。

http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

制約ファイル (UCF ファイル) でデバイスのステッピングを ES に設定する必要があります。

```
CONFIG STEPPING = "1";
```

- Virtex-4 の機能に関連する ISE ソフトウェアの既知の問題については、次のサイトを参照して下さい。

http://support.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項 (JTAG ID = 9)

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されたことをお知らせ致します。ザイリンクスでは、この新しい仕様で設計することを推奨します。

デバイスの確認

図 1 に XC4VLX25 デバイスのパッケージ マークを示します。

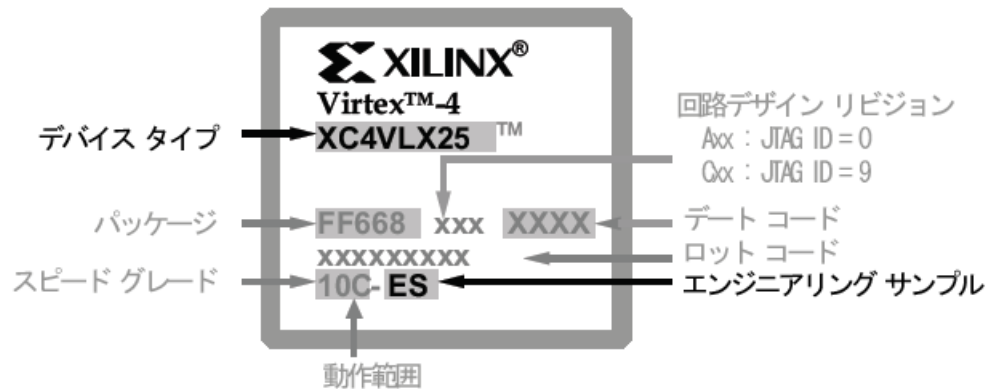


図 1: XC4VLX25CES パッケージ マーク例

お問い合わせ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

このエラッタに関しましてご質問などございましたら、弊社のテクニカル サポート

<http://www.xilinx.co.jp/support/clearxpress/websupport.htm> または販売代理店

<http://www.xilinx.co.jp/company/contact.htm> までお問い合わせ下さいませようようお願い致します。

エラッタの最新版の入手について

ご覧になっている通知が、印刷された文書、またはお手元のコンピュータ保存文書の場合は、最新版であることをご確認下さい。最新版は、次のザイリンクス ウェブ サイトより入手頂けますが、ユーザー登録が必要となります。

http://www.xilinx.co.jp/xlnx/xweb/xil_publications_index.jsp?category=Errata

今後、このエラッタの内容に変更が生じた場合には、MySupport に登録して頂くことで、アラートとして電子メールで受け取ることが可能となっております。MySupport のユーザー登録およびアラート通知の設定については、次のアンサー レコードを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-4 関連資料に適用されます。

『Virtex-4 ファミリー概要』(<http://www.xilinx.co.jp/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』(<http://www.xilinx.co.jp/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザーガイド』(<http://www.xilinx.co.jp/bvdocs/userguides/ug070.pdf>)

『XtremeDSP™ ユーザー ガイド』(<http://www.xilinx.co.jp/bvdocs/userguides/ug073.pdf>)

『Virtex-4 コンフィギュレーション ガイド』(<http://www.xilinx.co.jp/bvdocs/userguides/ug071.pdf>)

『Virtex-4 パッケージおよびピン配置の仕様』(<http://www.xilinx.co.jp/bvdocs/userguides/ug075.pdf>)

改訂履歴

日付	バージョン	説明
2004/10/19	1.0	初版リリース
2005/03/24	1.1	VCCAUX 電源要件に関する記載を修正。DSP48 CarryIn 入力レジスタに関する記載を追加。DCM に関する記載を追加。
2006/01/25	1.2	FIFO16 (ページ 1) のエラッタを追加。 JTAG ID 番号によって記載を分割。 JTAG ID = 0 セクションに Pin-to-Pin タイミング を追加。 ソフトウェア要件 (JTAG ID = 0) を更新。 補足および推奨事項 (JTAG ID = 0) に記載の規格を LVTTTL I/O から LVCMOS I/O に変更。System Monitor のエラッタを削除 (『Virtex-4 データシート』にも記載されていない)。 図 1 に回路デザイン リビジョンを追加。

このエラッタは、英語版 (EN001、バージョン 1.2、2006 年 1 月 25 日発行) を翻訳したものです。