

## はじめに

ザイリンクス Virtex™-4 エンジニアリング サンプル プログラムにご参加いただき誠にありがとうございます。このプログラムでは、Virtex-4 XC4VLX100 FPGA のエンジニアリング サンプルを提供致しております。

弊社では、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。

## 該当デバイス

このエラッタが該当する XC4VLX100 デバイスを表 1 に示します。

表 1: エラッタが該当する XC4VLX100 FPGA デバイス

| デバイス      | XC4VLX100CES | JTAG ID (リビジョンコード): 2、3、0 |
|-----------|--------------|---------------------------|
| パッケージ     | すべてに該当       |                           |
| スピード グレード | すべてに該当       |                           |

## ハードウェア エラッタの詳細 (JTAG ID = 2、3 のデバイス)

このエラッタの発行時における、ハードウェアに関する問題の詳細を示します (JTAG ID = 2、3 のデバイス)。

### FIFO16

次のシーケンスが発生すると、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

1. 読み出しまたは書き込みが、ALMOST EMPTY OFFSET または ALMOST FULL OFFSET のしきい値に達する
2. ある読み出しまたは書き込みと、次の読み出しまたは書き込みのアクティブクロック エッジが同時または非常に近い

ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用できますが、データシートに記載されたパフォーマンスを満たさない場合があります。詳細、回避方法、および関連するパフォーマンス情報は、アンサー レコード # 22462 を参照して下さい。

## 使用上の注意

### ソフトウェア要件 (JTAG ID = 2、3 のデバイス)

各エラッタに該当するデバイスをご使用の場合には、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- スピード ファイルのバージョン v1.57 以降、およびザイリンクス ISE 7.1i サービス パック 4 (SP4) 以降のソフトウェアを使用する必要があります。SP4 に関して質問がございましたら、ザイリンクス テクニカル サポートまでお問い合わせ下さい。ソフトウェアのサービス パックは次のウェブページから入手できます。

[http://www.xilinx.co.jp/xlnx/xil\\_sw\\_updates\\_home.jsp](http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp)

制約ファイル (UCF ファイル) でデバイスのステップングを 1 に設定する必要があります。

CONFIG STEPPING = "1";

- Virtex-4 の機能に関連する ISE ソフトウェアの既知の問題については、次のサイトを参照して下さい。  
[http://support.xilinx.co.jp/xlnx/xil\\_ans\\_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713](http://support.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713)

## 補足および推奨事項 (JTAG ID = 2、3 のデバイス)

### Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スループレートに変更されたことをお知らせ致します。ザイリンクスでは、この新しい仕様で設計することを推奨します。

## ハードウェア エラッタの詳細 (JTAG ID = 0 のデバイス)

このエラッタの発行時における、ハードウェアに関する問題の詳細を示します (JTAG ID = 0)。

### FIFO16

JTAG ID = 0 の場合のエラッタは、JTAG ID = 2、3 の場合と同じです (1 ページの FIFO16 を参照)。

### コンフィギュレーション

#### JTAG TDO 出力

JTAG TDO 出力は、JTAG TAP ステートマシンが Shift-DR ステートまたは Shift-IR ステートから遷移するときに、TCK の立ち上がりエッジでトライステートになります。このため、TDI ピンのホールドタイムが長い場合は、シフトした最後のビットが「0」の場合でも、JTAG チェーン上の次のデバイスが「1」として認識する可能性があります。

#### 回避策

Virtex-4 デバイスとそれに続く次のデバイス間の TCK スキューを負の値にして下さい。詳細は、アンサーレコード #19865 を参照して下さい。

### FRAME\_ECC

JTAG、8-bit SelectMAP™ モード、または 8-bit CAP を使用してリードバックを行う場合、FRAME\_ECC ロジックで、ビットエラーが正確に算出されません。

#### 回避策

ICAP32 で、FRAME\_ECC ブロックを使用して下さい。

### DSP48

#### CarryIn 入力レジスタ

FPGA ファブリックの CarryIn 入力レジスタ (属性 CARRYINREG = 1) は、サポートされていません。

#### 回避策

CarryIn 入力レジスタの代わりに CLB レジスタを使用して、属性を CARRYINREG = 0 に設定して下さい。

#### 対称型丸め込みロジック

DSP48 エレメントには、5 つの対称型丸め込みのモードがあります。パイプラインがない 4 つの丸め込みモードは、完全にサポートされていますが、パイプラインがある丸め込み (A x B) モード (CarryInSel[1:0] = 11) のみ、サポートされていません。

#### 回避策

CLB に、キャリー用の等価ロジックを作成し、CarryInSel[1:0] = 00 を使用して、そのロジックを DSP48 の CarryIn 入力へ接続して下さい (属性を CARRYINREG = 0 に設定)。

### DCM

1. DCM 属性 CLKOUT\_PHASE\_SHIFT を、VARIABLE\_CENTER に設定できません。
2. CLKFX および CLKFX180 の両方またはいずれかを DCM のクロック出力として使用し、入力クロックの周波数 (CLKIN) が CLKIN\_FREQ\_DLL\_(HF または LF)\_(MS または MR)\_MIN/MAX の周波数範囲を超える場合

は、アンサー レコード #20529 に記載のマクロを使用することにより、適切な LOCKED 信号を生成させることができます。

3. ソース同期アプリケーションには、高パフォーマンス、低スキューを実現するため、ChipSync™ の使用を推奨しています。DCM を使用する場合は、アンサー レコード #20529 に記載されているガイドラインに従い、CLKIN\_CLKFB\_PHASE の仕様が ± 300ps を満たすよう設定して下さい。

## 使用上の注意

### ソフトウェア要件

各エラッタに該当するデバイスを使用する場合は、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- スピード ファイルのバージョン v1.57 以降、およびザイリンクス ISE 7.1i サービス パック 4 (SP4) 以降のソフトウェアを使用する必要があります。SP4 に関して質問がございましたら、ザイリンクス テクニカル サポートまでお問い合わせ下さい。ソフトウェアのサービス パックは次のウェブ ページから入手できます。

[http://www.xilinx.co.jp/xlnx/xil\\_sw\\_updates\\_home.jsp](http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp)

制約ファイル (UCF ファイル) でデバイスのステッピングを ES に設定する必要があります。

CONFIG STEPPING = "ES";

- Virtex-4 の機能に関連する ISE ソフトウェアの既知の問題については、次のサイトを参照して下さい。

[http://support.xilinx.co.jp/xlnx/xil\\_ans\\_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713](http://support.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713)

### 補足および推奨事項

#### Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されたことをお知らせ致します。ザイリンクスでは、この新しい仕様で設計することを推奨します。

## デバイスの確認

図 1 に XC4VLX100 デバイスのパッケージ マークを示します。

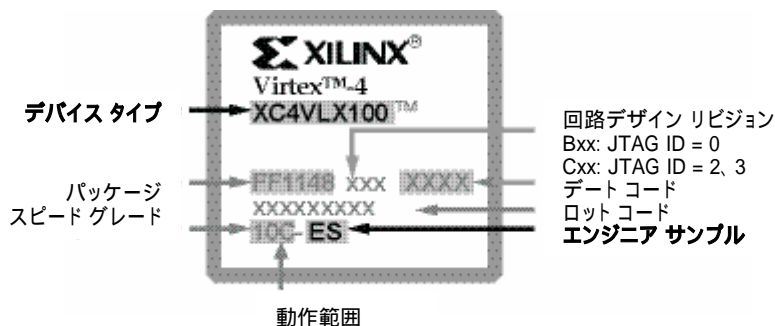


図 1: XC4VLX100CES パッケージ マーク例

## お問い合わせ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

このエラッタに関しましてご質問などございましたら、弊社のテクニカル サポート

<http://www.xilinx.co.jp/support/clearexpress/websupport.htm> または販売代理店

<http://www.xilinx.co.jp/company/contact.htm> までお問い合わせ下さいますようお願い致します。

## エラッタの最新版の入手について

ご覧の通知が、印刷された文書またはお手元のコンピュータ保存文書の場合は、最新版であることをご確認ください。最新版は、次のザイリンクス ウェブ サイトより入手頂けますが、ユーザー登録が必要となります。

[http://www.xilinx.co.jp/xlnx/xweb/xil\\_publications\\_index.jsp?category=Errata](http://www.xilinx.co.jp/xlnx/xweb/xil_publications_index.jsp?category=Errata)

今後、アラートとして電子メールで受け取ることが可能となっております。MySupport のユーザー登録およびアラート通知の設定については、次のアンサー レコードを参照して下さい。

[http://www.xilinx.co.jp/xlnx/xil\\_ans\\_display.jsp?getPagePath=18815](http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?getPagePath=18815)

このエラッタは、次の Virtex-4 関連資料に適用されます。

『Virtex-4 ファミリー概要』 (<http://www.xilinx.co.jp/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』 (<http://www.xilinx.co.jp/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザーガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug070.pdf>)

『XtremeDSP™ ユーザーガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug073.pdf>)

『Virtex-4 コンフィギュレーションガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug071.pdf>)

『Virtex-4 パッケージおよびピン配置の仕様』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug075.pdf>)

## 改訂履歴

| 日付         | バージョン | 説明   |
|------------|-------|--|
| 2004/12/09 | 1.0   | 初版リリース   |
| 2005/04/13 | 1.1   | DCM に関する記載を追加し、使用上の注意に関するガイドラインを更新。  |
| 2006/02/15 | 1.2   | <ul style="list-style-type: none"> <li>• <a href="#">FIFO16 (ページ 1)</a> のエラッタを追加。</li> <li>• <a href="#">ソフトウェア要件</a> を更新。</li> <li>• <a href="#">補足および推奨事項</a> に記載の規格を LVTTTL I/O から LVCMOS I/O に変更。 <a href="#">図 1</a> に回路デザイン リビジョンを追加。</li> <li>• System Monitor のエラッタを削除 (『Virtex-4 データシート』にも記載されていない)。</li> </ul> |

このエラッタは、英語版 (EN004、バージョン 1.2、2006 年 2 月 15 日発行) を翻訳したものです。