

はじめに

ザイリンクス Virtex™-4 エンジニアリング サンプル プログラムにご参加いただき誠にありがとうございます。このプログラムでは、Virtex-4 XC4VFX12 FPGA のエンジニアリング サンプルを提供致しております。弊社は、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

このエラッタが該当する XC4VFX12 デバイスを [表 1](#) に示します。

表 1: エラッタが該当する XC4VFX12 デバイス

デバイス	XC4VFX12CES	JTAG ID (リビジョンコード): 2, 0
パッケージ	すべて	
スピード グレード	すべて	

ハードウェア エラッタの詳細 (JTAG ID = 2)

このエラッタの発行時における、ハードウェアに関する既知の問題の詳細を示します。

FIFO16

次のシーケンスが発生すると、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

1. 読み出しまたは書き込みが、ALMOST EMPTY OFFSET または ALMOST FULL OFFSET のしきい値に達する。
 2. ある読み出しまたは書き込みと、次の読み出しまたは書き込みのアクティブクロック エッジが同時または非常に近い。
- ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用可能です。ただし、データシートに記載されたパフォーマンスを満たさない場合があります。詳細、回避方法、および関連するパフォーマンス情報は、アンサー レコード # 22462 を参照して下さい。

プロセッサ ブロック

動作周波数

APU コントロール インターフェイスを使用する場合、プロセッサ ブロックの最大動作周波数は、-10 スピード グレードで 275MHz、-11 スピード グレードで 325MHz、-12 スピード グレードで 350MHz です。

その他のプロセッサ ブロックに関するエラッタおよび使用上の注意については、ザイリンクス アンサー #20658 を参照して下さい。

使用上の注意

ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- このエラッタに該当するデバイスを使用してデザインする場合には、Speed specification のバージョン 1.57 以降およびザイリンクス ソフトウェア ISE 7.1i サービス パック 4 (SP4) あるいはそれ以降のバージョンを使用して下

さい。また、SP4 サポートに関するご質問はザイリンクス テクニカル サポートまでお問い合わせ下さい。サービスパックは次のサイトから入手可能です。

http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

ステップ 0 では、次のように制約ファイル (UCF ファイル) に設定する必要があります。

CONFIG STEPPING = "0";

- Virtex-4 の機能に関する ISE ソフトウェアの既知の問題については、次のザイリンクス アンサーを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されました。ザイリンクスでは、この新しい仕様で設計することを推奨します。

ハードウェア エラッタの詳細 (JTAG ID = 0)

このエラッタ (JTAG ID = 0 デバイス) の発行時における、ハードウェアに関する既知の問題の詳細を示します。

FIFO16

JTAG ID = 2 のエラッタと同様です (ページ 1、FIFO16 を参照)。

DSP48

CarryIn 入力レジスタ

FPGA ファブリックの CarryIn 入力レジスタ (属性 CARRYINREG = 1) は、サポートされていません。

回避策

CarryIn 入力レジスタの代わりに CLB レジスタを使用して、属性を CARRYINREG = 0 に設定して下さい。

対称型丸め込みロジック

DSP48 エレメントには、5 つの対称型丸め込みのモードがあります。パイプラインがない 4 つの丸め込みモードは完全にサポートされていますが、パイプラインがある丸め込み (A x B) モード (CarryInSel[1:0] = 11) のみ、サポートされていません。

回避策

CLB に、キャリー用の等価ロジックを作成し、CarryInSel[1:0] = 00 を使用して、そのキャリーを DSP48 の CarryIn 入力へ接続して下さい (属性を CARRYINREG = 0 に設定)。

DCM

1. DCM 属性 CLKOUT_PHASE_SHIFT を、VARIABLE_CENTER に設定できません
2. CLKFX および CLKFX180 の両方またはいずれかを DCM のクロック出力として使用し、入力クロックの周波数 (CLKIN) が CLKIN_FREQ_DLL_(HF または LF)_(MS または MR)_MIN/MAX の周波数範囲を超える場合は、ザイリンクス アンサー #20529 に記載のマクロを使用することにより、適切な LOCKED 信号を生成させることができます。
3. ソース同期アプリケーションには、高パフォーマンス、低スキューを実現するため、ChipSync™ の使用を推奨しています。DCM を使用する場合は、ザイリンクス アンサー #20529 に記載されているガイドラインに従い、CLKIN_CLKFB_PHASE の仕様が ±300ps を満たすよう設定して下さい。

プロセッサ ブロック

動作周波数

- 1) Power PC™405 プロセッサ (PPC405) コアの最大動作周波数は、-10 スピード グレードで 300MHz、-11 スピード グレードで 350MHz です。

回避策

ザイリンクスの提供する GNU コンパイラを使用してコードをコンパイルすることによって、フル周波数 (-10 スピード グレードで 350 MHz、 -11 スピード グレードで 400MHz) で動作させることができます。詳細については、ザイリンクス アンサー #21075 を参照して下さい。

その他のコンパイラを使用する場合の周波数は 1) に記載した値となります。

- 2) APU コントローラ インターフェイスを使用する場合、プロセッサ ブロックの最大動作周波数は、-10 スピード グレードで 275MHz、 -11 スピード グレードで 300MHz です。

その他のプロセッサ ブロックに関するエラッタおよび使用上の注意につきましては、ザイリンクス アンサー #20658 を参照して下さい。

使用上の注意

ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- このエラッタに該当するデバイスを使用してデザインする場合には、Speed specification のバージョン 1.57 以降およびザイリンクスソフトウェア ISE 7.1i サービス パック 4 (SP4) あるいはそれ以降のバージョンを使用して下さい。また、SP4 サポート に関するご質問はザイリンクス テクニカル サポートまでお問い合わせ下さい。サービスパックは次のサイトから入手可能です。

http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

ステップ ES では、次のように制約ファイル (UCF ファイル) に設定する必要があります。

CONFIG STEPPING = "ES";

- Virtex-4 の機能に関する ISE ソフトウェアの既知の問題については、次のザイリンクス アンサーを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されました。ザイリンクスでは、この新しい仕様で設計することを推奨します。

トレーサビリティ

図 1 に XC4VFX12 デバイスのパッケージ マーク例を示します。表 1 で示すその他のデバイス マーキングも類似しています。

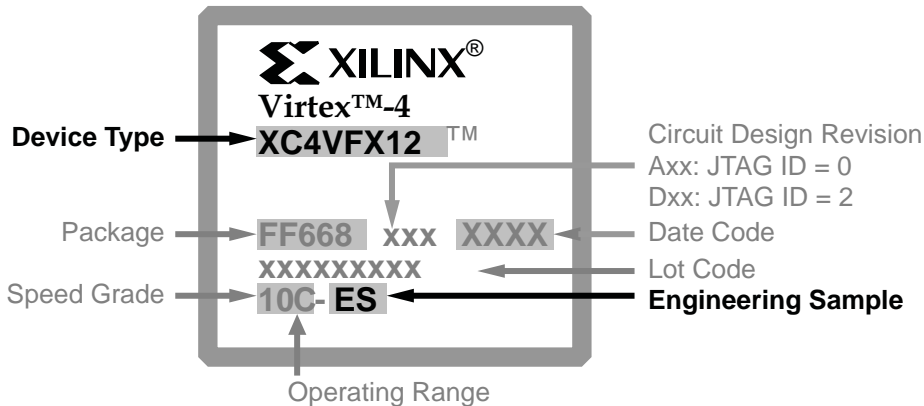


図 1: XC4VFX12CES パッケージ マーク例

お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://www.xilinx.co.jp/support/clearxpress/websupport.htm> または

販売代理店 <http://www.xilinx.co.jp/company/contact.htm> までお問い合わせ下さい。

最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手持のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。

http://www.xilinx.co.jp/xlnx/xweb/xil_publications_index.jsp?category=Errata

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-4 資料に適用します。

『Virtex-4 ファミリ概要』 (<http://www.xilinx.co.jp/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』 (<http://www.xilinx.co.jp/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザー ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug070.pdf)

『Virtex-4 FPGA の XtremeDSP ユーザー ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug073.pdf)

『Virtex-4 コンフィギュレーション ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug071.pdf)

『Virtex-4 パッケージ仕様』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug075.pdf)

『PowerPC 405 プロセッサ ブロック リファレンス ガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug018.pdf>)

改訂履歴

日付	バージョン	変更内容
2005/03/04	1.0	初版リリース
2005/03/24	1.1	プロセッサ ブロックの情報を変更。
2006/02/21	1.2	<ul style="list-style-type: none"> • JTAG の情報およびプロセッサ ブロックのセクションを変更。 • FIFO16 のセクションを追加。 • ソフトウェア要件 セクションの変更。 • 補足および推奨事項セクションの LVTTTL I/O 規格を LVCMOS I/O 規格に変更。 • システム モニタのエラッタは、『 Virtex-4 データシート 』に記載されていないため削除。

この通知は、英語版資料 (EN005、バージョン 1.2、2006 年 2 月 21 日発行) を翻訳したものです。